

비대칭 DG MOSFET의 채널도핑농도에 따른 드레인 유도 장벽 감소현상 분석

정학기*, 권오신

Analysis of Drain Induced Barrier Lowering of Asymmetric Double Gate MOSFET for Channel Doping Concentration

Hakkee Jung*, Ohshin Kwon

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 내 도핑농도에 대한 드레인 유도 장벽 감소 현상에 대하여 분석하고자한다. 드레인 유도 장벽 감소 현상은 드레인 전압에 의하여 소스 측 전위장벽이 낮아지는 효과로서 중요한 단채널 효과이다. 이를 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였으며 전위분포에 영향을 미치는 채널도핑 농도뿐만 아니라 상하단 산화막 두께, 하단 게이트 전압 등에 대하여 드레인 유도 장벽 감소 현상을 관찰하였다. 결과적으로 드레인 유도 장벽 감소 현상은 채널도핑 농도에 따라 큰 변화를 나타냈다. 단채널 효과 때문에 채널길이가 짧아지면 도핑농도에 따른 영향이 증가하였다. 도핑농도에 대한 드레인유도장벽감소 현상의 변화는 상하단 산화막 두께에 따라 큰 변화를 보였으며 산화막 두께가 증가할수록 도핑농도에 따른 변화가 증가하는 것을 알 수 있었다. 또한 하단게이트 전압은 그 크기에 따라 도핑농도의 영향이 변화하고 있다는 것을 알 수 있었다.

1. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 모델

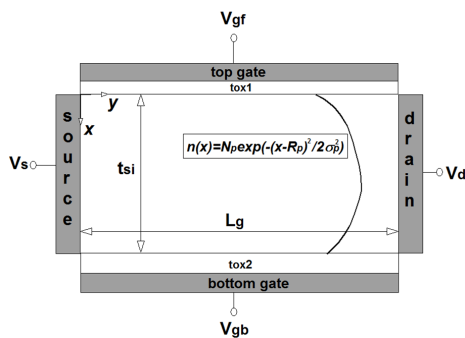


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig.1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압 V_{gf} 와 하단의 게이트 전압 V_{gb} 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이

중게이트 MOSFET의 경우 채널 내 도핑농도에 대한 드레인 유도 장벽 감소의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전위분포함수로는 가장 실험값에 근사한 가우시안 함수를 이용하였다. 먼저 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

식 (2)에서 알 수 있듯이 포아송 방정식을 이용하여 전위를 구할 때 채널 내 도핑농도는 전위분포 결정에 큰 변수가 된다. 또한 경계 조건에서 알 수 있듯이 산화막 커패시턴스는 산화막 두께에 따라 변화하므로 산화막 두께는 전위분포에 영향을 미칠 것이며 하단 게이트 전압도 전위 분포에 영향을 미칠 것이다. 이와 같이 채널 내 도핑농도 및 산화막 두께 그리고 하단 게이트 전압 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[1].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \text{erf}(\tau + b_1/2) + B_2 \text{erf}(\tau + b_2/2) + A \quad (4)$$

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 $A_n(x)$ 에 나타나는 상수는 참고문헌[2]에 표기하였다.

본 연구에서는 차단전류가 채널폭 당 $0.1\mu A$ 일 때 상단 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 t_{si} W면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{q(n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} v_{th} t_{si} W}{6} \quad (5)$$

이다. 식 (5)에 다음과 같은 전도중심 x_{eff} 값을 대입하여 차단 전류값을 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{q\phi(x,y_{\min})/kT} dx / \int_0^{t_{si}} e^{q\phi(x,y_{\min})/kT} dx \quad (6)$$

여기서 k 는 볼츠만상수이며 T 는 절대온도이다. 식 (6)에서 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입한다[2].

드레인 유도 장벽 감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상으로써 식 (7)로 표현할 수 있다.

$$DIBL = V_{th}(V_{ds} = 0 V) - V_{th}(V_{ds} = 1 V) \quad (7)$$

이러한 현상은 드레인 전압이 증가하면 문턱전압이 감소할 수 있다는 단채널 효과로서 식 (2) 및 경계조건 등에서 알 수 있듯이 전위분포에 영향을 미치는 채널 내 도핑농도, 산화막 두께 그리고 하단게이트 전압 등이 영향을 미칠 수 있다[3]. 그러나 비대칭 이중게이트 MOSFET에서는 아직 이에 대한 수식적 모델을 구하기 위한 기초 연구가 미흡한 상태이므로 본 연구에서는 채널 도핑 농도, 산화막 두께 그리고 하단게이트 전압 등에 따른 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 현상을 고찰할 것이다. 즉, 본 연구에서는 상기 서술한 바와 같이 식 (7)을 이용하여 채널도핑 농도를 파라미터로 채널길이, 상하단 산화막 두께 및 하단게이트 전압 등에 대한 비대칭 이중게이트

MOSFET의 드레인 유도 장벽 감소 현상에 대하여 고찰 할 것이다.

II. 비대칭 DG MOSFET의 DIBL에 대한 고찰

본 연구에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[4]에서 입증되었으므로 본 연구에서는 2장에서 제시한 드레인 유도 장벽 감소 모델을 이용하여 비대칭 이중게이트 MOSFET의 채널도핑농도를 파라미터로 하여 채널길이, 산화막 두께 변화 및 하단 게이트 전압에 대한 드레인 유도 장벽 감소의 변화를 고찰할 것이다.

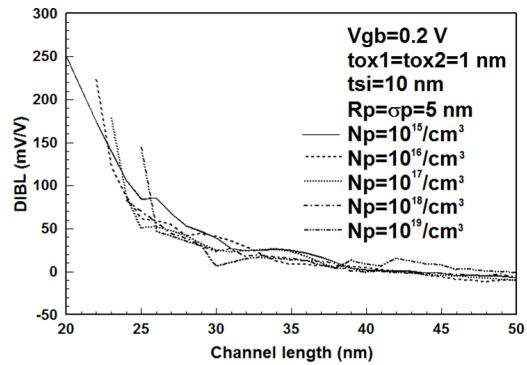


그림 2. 상하단 게이트 산화막 두께가 1 nm일 때 채널도핑농도를 파라미터로 하여 구한 채널길이 변화에 대한 DIBL의 변화

먼저 상하단 게이트 산화막 두께가 1 nm일 때, 최대 채널도핑농도를 $10^{15}/cm^3$ 에서 $10^{19}/cm^3$ 까지 변화 시키면서 채널길이에 대한 DIBL의 변화를 그림 2에 도시하였다. 그림 2에서 알 수 있듯이 채널길이가 감소할수록 단채널효과에 의하여 DIBL은 크게 증가하는 것을 알 수 있다. 또한 채널길이가 30 nm보다 클 경우 DIBL은 50 mV/dec 이하로 거의 무시할 수 있을 정도로 감소하며 최대 채널도핑농도에도 거의 영향을 받지 않고 있었다. 그러나 채널길이가 25 nm 이하로 감소하면 DIBL은 급격히 상승하며 채널도핑농도에도 영향을 받는 것으로 나타났다. 즉, 채널도핑농도가 증가할수록 채널길이가 더 긴 영역에서 DIBL의 급격한 상승이 나타나고 있었다. 그러므로 채널길이가 감소할수록 최대 채널도핑농도의 선택은 신중하여야 할 것이다.

상하단 산화막 두께의 변화가 채널도핑농도를 파라미터로 구한 채널길이에 대한 DIBL의 변화에 미치는 영향을 분석하기 위하여 그림 3에 모든 조건은 동일하게 유지하면서 단지 상단과 하단의 산화막 두께를 3

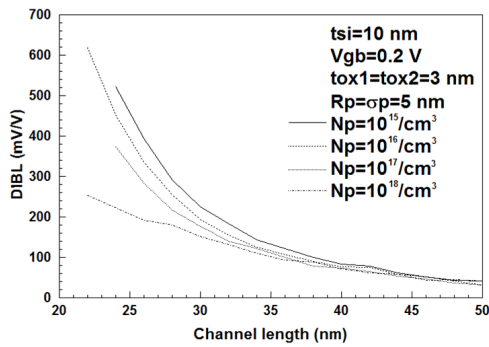


그림 3. 상하단 게이트 산화막 두께가 3 nm 일 때 채널도핑농도를 파라미터로 하여 구한 채널길이 변화에 대한 DIBL의 변화

Fig. 3. The change of DIBL for channel length with a parameter of channel doping concentration at top/bottom gate oxide thickness of 3 nm

nm로 증가시킨 경우, DIBL의 변화를 도시하였다. 그림 2와 비교해 볼 때 최대 채널도핑농도에 따라 DIBL의 채널길이에 대한 변화가 채널길이에 관계없이 뚜렷이 구분되고 있다는 것을 알 수 있다. 특히 DIBL의 절대값이 크게 증가하고 있었다. 또한 채널도핑농도에 대한 DIBL의 변화 경향도 상이하다는 것을 관찰할 수 있다. 즉, 계산한 채널길이 영역에서 DIBL은 50 mV/dec 이상의 값을 보였으며 25nm 이하에선 채널도핑농도와 관계없이 200 mV/dec 이상의 DIBL 값을 보이고 있었다. 그림 2와 달리 채널도핑농도가 증가하면 DIBL 값이 상대적으로 감소하는 경향을 보이고 있었으며 채널길이 감소에 대한 DIBL의 증가율도 감소하고 있다는 것을 관찰할 수 있다. 이와 같이 상단과 하단의 산화막 두께가 증가하면 DIBL은 크게 증가하며 채널도핑농도가 DIBL의 채널길이에 대한 변화에 더욱 중요한 영향을 미치는 것을 알 수 있었다.

III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널도핑농도, 상하단 게이트 산화막 두께 및 하단 게이트 전압의 변화에 대한 DIBL 현상에 대하여 분석하였다. 특히 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 구조를 다르게 제작할 수 있으므로 상단과 하단 게이트 산화막 두께 변화 및 하단 게이트 전압에 대한 DIBL의 변화를 관찰하였다. 결과적으로 상단과 하단의 산화막 두께가 증가하면 DIBL은 크게 증가하며 채널도핑농도가 DIBL의 채널길이에 대한 변화에 더욱 중요한 영향을 미치는 것을 알 수 있었다.

Reference

- [1] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [2] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626. 2013.
- [3] G.Massobrio and P.Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd, McGraw-Hill, New York, pp.205-206, 1993.
- [4] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DG MOSFET," 2014 International Conference on Future Information & Communication Engineering, vol.6, no.1, pp.299-302, 2014.