

# 비대칭 이중게이트 MOSFET의 상하단 산화막 두께비에 따른 문턱전압이하 스윙의 변화

정학기\*, 정동수

## Deviation of Subthreshold Swing for the Ratio of Top and Bottom Oxide Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung\*, Dongsoo Jeong

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

### 요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께 비에 대한 문턱전압이하 스윙 및 전도중심의 변화에 대하여 분석하고자한다. 문턱전압이하 스윙은 전도중심에 따라 변화하며 전도중심은 상하단의 산화막 두께에 따라 변화한다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 다르게 제작할 수 있어 문턱전압이하 스윙의 저하 등 단채널효과를 감소시키기 위해 유용한 소자로 알려져 있다. 본 연구에서는 포아송방정식의 해석학적 해를 이용하여 문턱전압이하 스윙을 유도하였으며 상하단의 산화막두께 비가 전도중심 및 문턱전압이하 스윙에 미치는 영향을 분석하였다. 결과적으로 문턱전압이하 스윙 및 전도중심은 상하단 게이트 산화막 두께 비에 따라 큰 변화를 나타냈다. 또한 채널길이 및 채널두께, 상하단게이트 전압 그리고 도핑분포함수의 변화에 따라 문턱전압이하 스윙 및 전도중심은 상호 유기적으로 변화하고 있다는 것을 알 수 있었다.

### 1. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙 및 전도중심 모델

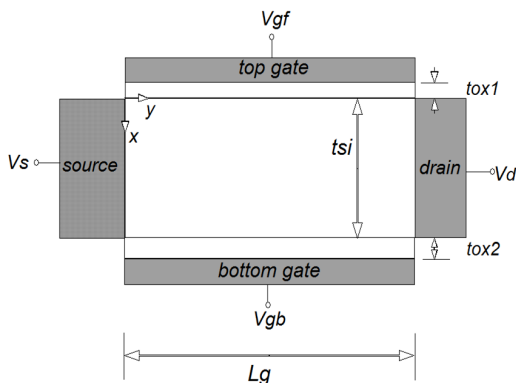


그림 1. 비대칭 이중게이트 MOSFET의 개략도  
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에

도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압  $V_{gf}$ 와 하단의 게이트 전압  $V_{gb}$ 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이중게이트 MOSFET의 경우 상단과 하단 게이트 산화막 두께 비에 대한 문턱전압이하 스윙 및 전도중심의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전위분포함수로는 가장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수 형태의 전위분포를 구할 수 있다[1].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \text{erf}(\tau + b_1/2) + B_2 \text{erf}(\tau + b_2/2) + A \quad (4)$$

이때 여기서  $n$ 은 정수,  $k_n = n\pi/L_g$ 이며  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $A_n(x)$ 에 나타나는 상수는 참고문헌[2]에 표기하였다.

이때 상단 게이트 전압  $V_{gf}$ 에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다. 즉,

$$S = \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[ \frac{\partial \phi(x,y)}{\partial V_{gf}} \right]^{-1} \\ = 2.3 V_t \left[ \sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left( \frac{a_4 e^{k_n x} - a_3 e^{-k_n x}}{a_1 a_4 - a_2 a_3} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1} \quad (5)$$

이다. 여기서 계수는

$$a_1 = 1 - k_n \epsilon_{Si} / C_{ox1} \\ a_2 = 1 + k_n \epsilon_{Si} / C_{ox1} \\ a_3 = e^{k_n t_{Si}} + \epsilon_{Si} k_n e^{k_n t_{Si}} / C_{ox2} \\ a_4 = e^{-k_n t_{Si}} - \epsilon_{Si} k_n e^{-k_n t_{Si}} / C_{ox2}$$

이다[2].

문턱전압이하 스윙을 구하기 위하여 식 (5)의  $y$ 에 상단게이트의 표면전위 중 최소값을 갖는  $y_{min}$  값을 구하여 대입하며  $x$ 는 다음과 같은 식에서 전도중심  $x_{eff}$  값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff} = \int_0^{t_{Si}} x e^{q\phi(x,y_{min})/kT} dx / \int_0^{t_{Si}} e^{q\phi(x,y_{min})/kT} dx \quad (6)$$

여기서  $k$ 는 볼츠만상수이며  $T$ 는 절대온도이다.

식 (5)에서 알 수 있듯이 상하단 게이트 산화막 두께에 따라 변화하는  $C_{ox1}$ 과  $C_{ox2}$ 이 결국 식 (3)의 전위분포에 영향을 미치며 특히  $C_{ox1}/C_{ox2} = t_{ox2}/t_{ox1}$ 이므로 상하단 게이트 산화막 두께가 직접적으로 전위분

포 및 문턱전압이하 스윙 그리고 전도중심에 영향을 미치는 것을 알 수 있다. 그러므로 본 연구에서는 상하단 게이트 산화막 두께비에 따른 문턱전압이하 스윙의 변화 및 전도중심과의 관계를 분석하고자한다.

## II. 비대칭 이중게이트 MOSFET의 문턱전압 및 전도중심 분석

본 연구에서 제시한 차단전류모델 및 문턱전압모델에 대한 타당성은 이미 발표된 논문[3]에서 입증되었으므로 본 연구에서는 1장에서 제시한 모델을 이용하여 문턱전압이하 스윙 및 전도중심의 상하단 게이트 산화막 두께 비에 대한 변화를 고찰할 것이다.

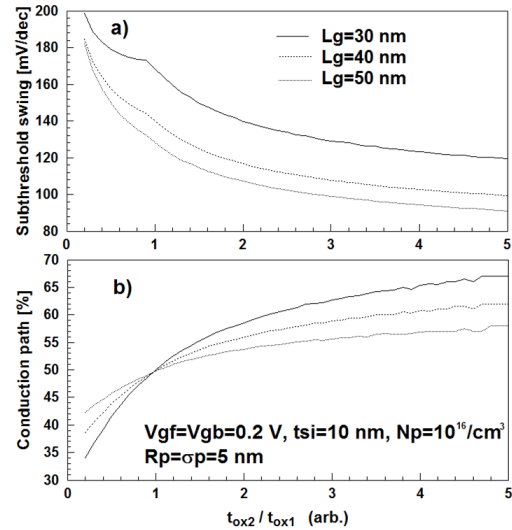


그림 2. 채널길이를 파라미터로 구한 상하단 게이트 산화막 두께비에 따른 a) 문턱전압이하 스윙 및 b) 전도중심의 변화  
 Fig. 2. The change of a) subthreshold swing and b) conduction path for ratio of top and bottom gate oxide thickness with a parameter of channel length

채널길이를 파라미터로 하여 상하단 게이트 산화막 두께에 대한 문턱전압이하 스윙 및 전도중심의 변화를 그림 2에 도시하였다. 전도중심은  $t_{ox2}/t_{ox1}$ 가 증가할수록 내부로 향하며 이로 인하여 게이트 전압의 제어 능력이 감소하므로 문턱전압이하 스윙도 증가하는 경향을 보이고 있다. 특히 채널길이가 짧을수록 단채널 효과에 의하여 이 경향은 심화되는 것을 그림 2에서 관찰할 수 있다. 그러나  $t_{ox2} < t_{ox1}$ 의 경우, 채널길이가 짧을수록 전도중심이 게이트 단자에 근접해 있다는 것을 알 수 있다. 이 때문에 문턱전압이하 스윙의 산화막 두께비에 따른 단조감소현상이 약간 변화한다는 것을 알 수 있다. 문턱전압이하 스윙의 증가현상은 채널길

이가 감소할수록 급격히 발생하고 있다는 것을 관찰할 수 있다. 상단과 하단의 게이트 산화막 두께가 동일한 경우, 전도중심은 거의 채널중심에 위치한다는 것을 알 수 있다.

이하 스윙은 상하단 게이트 산화막 두께 비 즉,  $t_{ox2}/t_{ox1}$ 에 따라 감소하는 경향을 보이고 있으나  $t_{ox2}/t_{ox1}$ 이 1보다 작은 경우 감소하는 경향이 약간 변화하는 것을 알 수 있다.

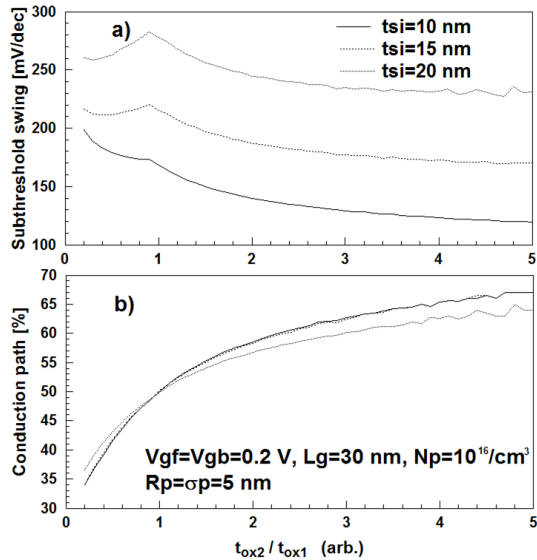


그림 3. 채널두께를 파라미터로 구한 상하단 게이트 산화막 두께비에 따른 a) 문턱전압이하 스윙 및 b) 전도중심의 변화

Fig. 3. The change of a) subthreshold swing and b) conduction path for ratio of top and bottom gate oxide thickness with a parameter of channel thickness

채널두께를 파라미터로 구한 상하단 게이트 산화막 두께 비에 따른 문턱전압이하 스윙 및 전도중심의 변화를 그림 3에 도시하였다. 채널두께가 증가할수록 전도중심은 채널내부에 위치하고 이에 따라 문턱전압 이하 스윙값은 크게 증가하고 있다. 특히  $t_{ox2} < t_{ox1}$ 의 경우 문턱전압이하 스윙의 산화막 두께 비에 대한 변화 경향이 상이하게 나타나고 있다. 즉, 채널길이에 비하여 채널두께가 클 경우, 상단 게이트 산화막의 두께를 하단 게이트 산화막보다 작게 제작하여 문턱전압 이하 스윙값의 증가로 인한 트랜지스터 성능저하를 방지하여야 할 것이다.

### III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께 비에 대한 문턱전압이하 스윙 및 전도중심의 변화를 채널길이 및 두께, 상하단 게이트 전압, 그리고 도핑분포함수의 변수인 이온주입범위를 파라미터로 하여 관찰하였다. 결과적으로 문턱전압

### References

- [1] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [2] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626, 2013.
- [3] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DG MOSFET," 2014 International Conference on Future Information & Communication Engineering, vol.6, no.1, pp.299-302, 2014.