

0.35 μ m CMOS 저전압 저전력 기준 전압 및 전류 발생회로

박찬영 · 황정현 · 조민수 · 양민재 · 윤은정 · 유종근

인천대학교

0.35 μ m CMOS Low-Voltage Low-Power Voltage and Current References

Chan-yeong Park · Jeong-Hyeon Hwang · Min-Su Jo · Min-jae Yang · Eun-jung Yoon · Chong-gun Yu

Incheon National University

E-mail : chanyap7@naver.com

요 약

본 논문에서는 저전압, 저전력 회로에 적합한 2가지 유형의 기준전압 발생회로와 1가지 유형의 기준전류 발생회로를 제안하고, 0.35 μ m CMOS 공정을 이용하여 설계하였다. 저전압, 저전력 특성을 얻기 위해 약반전(weak inversion) 영역에서 동작하는 MOS 트랜지스터를 사용하고, bulk-driven 기법을 이용하였다. 첫 번째 기준전압 발생회로는 1.2V의 공급전압에서 1.43 μ A의 전류를 소비하며, 585mV의 기준전압과 6ppm/°C의 온도특성을 갖는다. 두 번째 기준전압 발생회로는 0.3V의 공급전압에서 48pW의 전력을 소비하며, 172mV의 기준전압과 26ppm/°C의 온도특성을 갖는다. 기준전류 발생회로는 0.75V의 공급전압에서 246nA의 전류를 소비하며, 32.6nA의 기준전류와 262ppm/°C의 온도특성을 갖는다. 모의실험을 통해 설계된 기준회로들의 성능을 검증하였다.

ABSTRACT

In this paper 2 types of voltage references and a current reference suitable for low-voltage, low-power circuits are proposed and designed with 0.35 μ m CMOS process. MOS transistors operating in weak inversion and bulk-driven technique are utilized to achieve low-voltage and low-power features. The first voltage reference consumes 1.43 μ A from a supply voltage of 1.2V while it has a reference voltage of 585mV and a TC(Temperature Coefficient) of 6ppm/°C. The second voltage reference consumes 48pW from a supply voltage of 0.3V while having a reference voltage of 172mV and a TC of 26ppm/°C. The current reference consumes 246nA from a supply voltage of 0.75V with a reference current of 32.6nA and a TC of 262ppm/°C. The performances of the designed references have been verified through simulations.

키워드

BGR, VDD Sensitivity, Temperature Compensation, Current Reference, Native MOSFET

I. 서 론

최근 IoT & IoE에 대한 관심이 급증하면서 이와 관련한 전자기기의 Hightech Convergence가 이루어지는 중이다. 이러한 기술이 가능하기 위해서는 모바일 센서 및 전자기기를 저전압으로 동작시켜야 한다. 따라서 구동전압 및 소비전력이 낮은 기준전압/전류 발생회로의 설계기술이 매우 중요한 요소로 작용하고 있으며, 관련된 연구가 활발히 진행 중에 있다.

본 논문에서는 구동전압과 온도에 안정적이면서 저전압, 저전력 특성을 갖는 기준 전압 및 전류 발생회로를 설계하였다. 제안한 회로들은 Magna-chip 0.35 μ m CMOS 공정을 이용하였고, 이 논문은 2015년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2010-0021112). IDEC 지원에 의해서도 일부 수행되었음.

약반전 영역에서 MOSFET을 동작시켰다. 또한 트랜지스터의 문턱 전압을 낮추기 위해 bulk-driven 기법 및 Naive MOSFET을 사용하였다.

II. 회로 설계

첫 번째 기준전압 발생회로는 potential divider를 이용한 전류모드(current mode) 방식으로, CMOS 공정에 존재하는 기생 pnp BJT와 bulk-driven 입력단을 갖는 op-amp를 이용하였으며, 출력전압의 우수한 특성을 얻는데 초점을 맞추어 설계하였다. 두 번째 기준전압 발생회로는 두 개의 트랜지스터(normal, native)를 사용하여 초저전압, 초저전력 특성을 갖도록 설계하였다. 기준전류 발생회로는 VDD에 민감도를 줄이기 위한 기술과 온도에 민감한 전류 성분을 제거하기 위한 기술을 적용하였다.

1. Bandgap Voltage Reference Circuit with 1.2V

제한한 회로는 BJT를 사용한 Type의 BGR이다. 바이폴라 트랜지스터의 베이스 이미터 접합 전압은 약 $-1.5V/^\circ C$ 의 부온도 온도계수를 갖는다. 다른 전류밀도에서 동작하는 두 개의 바이폴라 트랜지스터에 대하여 베이스 이미터 접합전압 사이에 차이는 직접적으로 양의 온도계수(정온도 계수)를 나타내는 절대온도에 정비례한다. 온도의 변화에 대하여 안정적인 밴드갭 기준전압은 반대의 온도 계수를 갖는 이러한 두 전압을 합산함으로써 달성될 수 있다.

기존의 2단 증폭기에서 Op-amp부분의 차동쌍 입력단의 MOS 트랜지스터 MP1, MP2를 Gate 대신에 Bulk로 입력을 받게 함으로써[1] threshold 전압을 낮게 하여 저전압에서 구동이 가능한 밴드갭 회로를 설계하였다[2]. 밴드갭 기준전압 발생기는 Start-up, Self Bias, BD-DP(bulk-driven differential pair) Op-amp, Bandgap Core 회로를 포함한 4개의 서브 회로로 구성된다. 그림 1은 최소 구동전압(VDD)을 1.2V를 갖는 BGR의 설계이다.

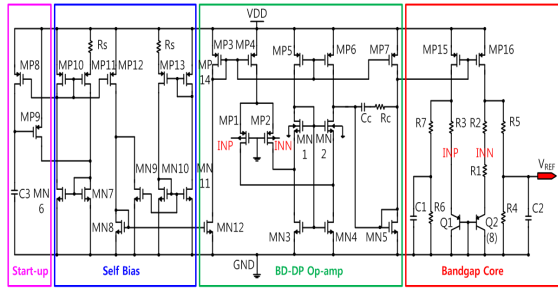


그림 1. Bandgap Voltage Reference 회로(Type 1)

밴드갭 기준전압은 다음 식(1)을 통해 얻는다. ($V_T = kT/q$ 는 열 전압이다.)

$$V_{BG} = V_{be1} + I_{R1}R_2 = V_{be1} + \frac{R_2}{R_1} V_T \ln(8) \quad \text{식(1)}$$

이 기준전압(V_{BG})은 실리콘 에너지 갭 전압 1.2V와 일치한다. LDO 어플리케이션에 대하여 1V 밑으로 떨어질 수 있는 알맞은 기준출력을 생성하기 위해 R4와 R5로 구성된 저항분배기를 덧붙이고 C2는 또한 레퍼런스의 노이즈를 줄이기 위하여 추가된다. potential 분배기 후에 출력 레퍼런스는 식(2)에 의하여 구해진다.

$$V_{REF} = \frac{R_4}{R_4 + R_5} \left[V_{be1} + \frac{R_2}{R_1} V_T \ln(8) \right] \quad \text{식(2)}$$

온도 보상은 R1, R2 저항 비율을 적절히 선택하는 것에 의하여 이루어진다.

$$\frac{\partial V_{REF}}{\partial T} = \frac{R_4}{R_4 + R_5} \left[\frac{\partial V_{be1}}{\partial T} \Big|_{T=x} + \frac{R_2}{R_1} \ln(8) \frac{\partial V_T}{\partial T} \Big|_{T=x} \right] = 0 \quad \text{식(3)}$$

2. Current Reference Circuit with 0.75V

구동 전압에 무관한 전류 공급을 위해서 베타-멀티플라이어 회로 2개를 합친 회로를 사용하였다. 두 개의 self-biased current reference는 I_1 과 I_2 를 각각 발생시키며 각각의 current mirror를 통해 트랜지스터 M13과 M12의 노드점에서 합쳐진다. 이때 전류미러 M12는 I_2 를 배수시켜 $N \times I_2$ 를 얻게 된다. 따라서 I_1 과 $N \times I_2$ 의 각각의 공급전압 의존도의 차를 통하여 공급전압에 무관한 출력 전류 I_{SI} 를 식(4)와 같이 얻을 수 있다. [3], [4]

$$I_{SI} = \frac{2}{\mu_p C_{ox} (W/L)_p R_3^2} \left[\left(1 - \frac{1}{\sqrt{K_1}}\right)^2 - N \left(1 - \frac{1}{\sqrt{K_1}}\right)^2 \right] \quad \text{식(4)}$$

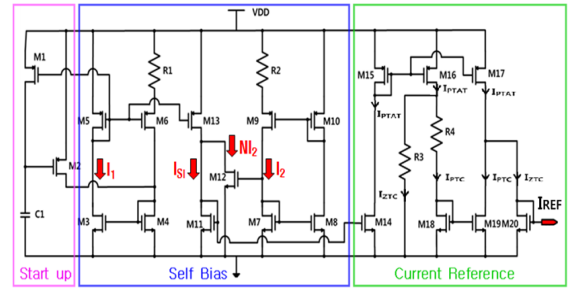


그림 2. Current Reference 회로(Type 2)

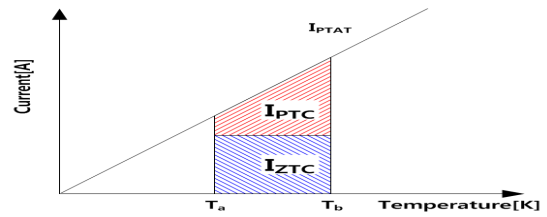


그림 3. PTAT 전류 Reference의 온도 특성

Self bias 회로에서 얻은 전류 I_{SI} 는 트랜지스터 M16을 따라 흐른다. 그 전류는 절대온도가 증가함에 따라 일정하게 증가하는 I_{PTAT} 로 표현된다(그림 3). M16과 저항 R3에 흐르는 전류의 온도계수를 같게 만들어 주어 저항 R4에서 온도에 무관한 전류 I_{ZTC} 를 얻을 수 있다. 따라서 Type 2의 기준 전류 발생회로의 출력 레퍼런스 전류(I_{REF})는 다음과 같이 나타낼 수 있다.

$$I_{REF} = \frac{1}{R_3 + R_4} (V_{18cs} + I_{PTC}R_4) \frac{1}{(W/L)_{20}} \quad \text{식(5)}$$

위 식으로부터 I_{REF} 는 트랜지스터 M20의 사이즈를 통해서 임의적으로 얻을 수 있다.

3. 2TR Voltage Reference Circuit with 0.3V

Type 3의 기준전압 발생회로는 기존의 논문[8]을 참고하여 0.35μ m CMOS 공정에 적합하게 native MOSFET 소자와 normal nmos 소자만을 사용하여 재설계하였다. 두 트랜지스터의 문턱전압 차이와 MN1(native nmos)과 MN2(nmos)의 길이(length)와 폭(width)을 조절함으로써 공급전원에

둔감한 기준전압을 발생시킨다.

$$V_{REF} = \frac{m_1 m_2}{m_1 + m_2} (V_{th2} - V_{th1}) + \frac{m_1 m_2}{m_1 + m_2} V_T \ln \left(\frac{u_1 C_{ox1} W_1 L_2}{u_2 C_{ox2} W_2 L_1} \right) \quad \text{식(6)}$$

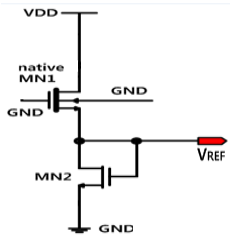


그림 4. 2TR Voltage Reference 회로(Type 3)

또한 식(7)과 같이 트랜지스터의 길이를 조절하여 온도에 무관한 전압을 출력해낸다.

$$\frac{dV_{REF}}{dT} = \frac{u_2 C_{ox2} L_2}{u_1 C_{ox1} L_1} \exp\left(\frac{q}{k}(C_{vth2} - C_{vth1})\right) \quad \text{식(7)}$$

$$= 0$$

III. 모의 실험 결과 및 레이아웃

1. Type 1 기준전압 발생회로의 결과

그림 5는 BGR 회로의 VDD에 대한 민감도를 나타낸 것으로 구동전압이 1.2V에서 3.3V로 변할 때 출력 레퍼런스(V_{REF})의 변화량은 940 μ V이다.

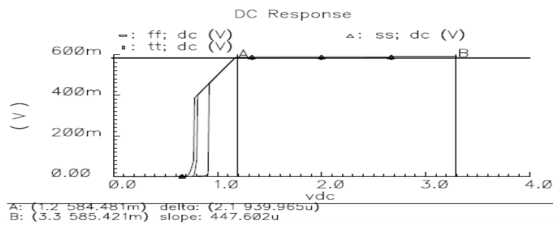


그림 5. VDD 변화에 따른 출력전압 특성(Type 1)

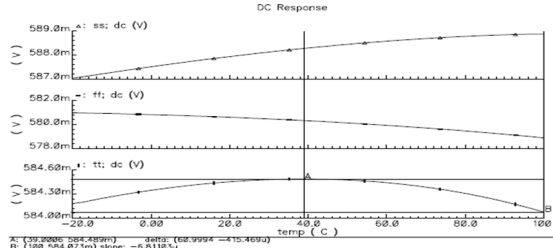


그림 6. 온도 변화에 따른 출력전압 특성(Type 1)

그림 6은 구동전압이 1.2V 일 때의 온도 보상 (Temperature Compensation) 그래프이다. tt 조건일 때 6ppm/ $^{\circ}$ C, ff 조건일 때 30ppm/ $^{\circ}$ C, ss조건일 때 26ppm/ $^{\circ}$ C를 갖는다. 표 1은 참고 논문과의 성능 비교를 나타내었다. 구동 전압의 최소 동작점은 절반 가까이, 전류소모는 1.43 μ A으로 1/6만큼 낮추었다.

표 1. 성능 비교(Type 1)

| Parameter | This work | Reference [2] |
|-------------------------|---|--|
| Technology | Magna-chip 0.35 μ m CMOS | TSMC 0.6 μ m DPDM CMOS |
| Supply voltage | 1.2 ~ 3.3V | 2 ~ 5V |
| Current consumption | 1.43 μ A | 9 μ A |
| Line regulation | 447 μ V/V (@-20-100 $^{\circ}$ C) | 54 μ V/V (@0-100 $^{\circ}$ C) |
| VDD Sensitivity | 0.092%/V | |
| Temperature coefficient | 6ppm/ $^{\circ}$ C (@-20-100 $^{\circ}$ C) | 15ppm/ $^{\circ}$ C (@0-100 $^{\circ}$ C) |
| V_{REF} | 584.5mV | 389.9mV |
| PSRR | 53dB(@100mHz) | 82.8dB(@50kHz) |
| Chip area | 0.28mm 2 | 0.07mm 2 |

2. Type 2 기준전류 발생회로의 결과

그림 7에서는 공급전압의 변화에 따른 출력 reference 전류의 변화를 나타내고 있다. 정상 동작이 가능한 최소 공급전압은 0.75V이고, 그 때의 supply dependency는 0.4 μ A/V이다.

그림 8은 VDD=0.75V에서 온도 변화에 따른 제한한 기준전류 발생회로의 출력 전류의 변화를 나타내고 있다. 주어진 온도 범위에서의 TC (Temperature Coefficient)는 약 262ppm/ $^{\circ}$ C이다.

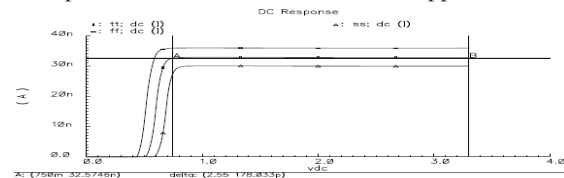


그림 7. VDD 변화에 따른 출력전류 특성(Type 2)

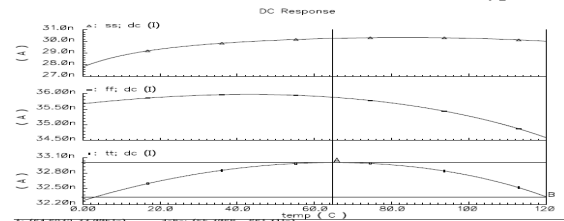


그림 8. 온도 변화에 따른 출력전류 특성(Type 2)

Type 2 기준전류 발생회로는 기존의 레퍼런스 와 비교될만한 Spec.에서 구동전압의 최소 동작점을 0.75V로 낮추었다. 표 2에는 전류 레퍼런스들의 성능 비교 결과를 정리하였다.

표 2. 성능 비교(Type 2)

| Parameter | This work | Ref [5] | Ref [6] | Ref [7] |
|-------------------------|--|--|--|----------------------|
| Process | 0.35 μ m | 0.35 μ m | 0.35 μ m | 0.18 μ m |
| Supply voltage (min) | 0.75V | 1.3V | 3V | 0.85V |
| I_{REF} | 32.6nA | 9.95nA | 9.14nA | 2.05nA |
| Current consumption | 246nA | 69.65nA | | |
| Line sensitivity | 0.4 μ A/V | 0.46 μ A/V | 5.6 μ A/V | 13.5 μ A/V |
| Temperature coefficient | 262ppm/ $^{\circ}$ C (0-120 $^{\circ}$ C) | 1190ppm/ $^{\circ}$ C (-20-80 $^{\circ}$ C) | 44ppm/ $^{\circ}$ C (0-80 $^{\circ}$ C) | 470ppm/ $^{\circ}$ C |
| Process sensitivity | 33% (mismatch) | 14% | 2.16% (process+mismatch) | |
| Chip area | 0.304mm 2 | | 0.035mm 2 | |

3. Type 3 기준전압 발생회로의 결과

그림 9와 그림 10은 각각 구동전압과 온도의 변화에 따른 출력 레퍼런스 전압의 결과 그래프이다.

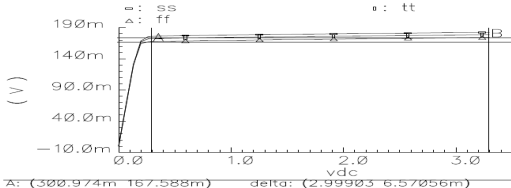


그림 9. VDD 변화에 따른 출력전압 특성(Type 3)

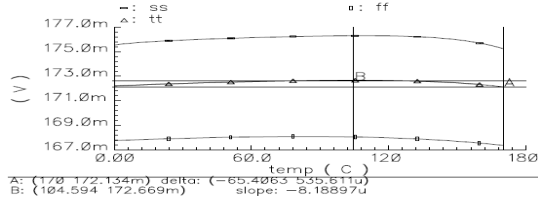


그림 10. 온도 변화에 따른 출력전압 특성(Type 3)

표 3은 Type 3 회로의 결과를 도시한다. 2TR_S, 2TR_M과 2TR_L은 2TR 회로 구조에서 폭 비율(MN2에 대한 native MN1)을 0.33으로 고정한 뒤 TC 특성이 틀어지지 않는 범위 내에서 폭을 키운 회로이다. 폭을 키움으로써 더 안정된 특성을 얻는다.

표 3. 성능 요약(Type 3)

| Parameter | proposed circuit | | |
|----------------------------------|---|--|--|
| | 2TR_S | 2TR_M | 2TR_L |
| Temperature Coefficient (ppm/°C) | (@0-170°C) 12.9(@0.3V) 286.2(@3.3V) | (@0-170°C) 12.5(@0.3V) 42.9(@3.3V) | (@-20-160°C) 12.5(@0.3V) 28.8(@3.3V) |
| VDD sensitivity | 0.429%/V | 0.419%/V | 0.382%/V |
| VREF | 171.334mV | 172.337mV | 174.862mV |
| Current consumption | 160.279pA | 800.782pA | 6.912nA |
| Power consumption | 48.083pW | 240.234pW | 2.07nW |
| PSRR | -44.889 (@100Hz) | -43.26 (@100Hz) | -42.234 (@100Hz) |

그림 11은 2TR_S 회로의 공정과 미스매치의 두 variation을 고려하여 검증한 모의실험 결과를 나타낸다. (a)에서 100회 측정 시 TC 평균은 25.67ppm/°C, 표준편차는 7.13ppm/°C이다. (b)에서 VREF 평균은 171.8mV, 표준편차는 14.28mV이다. 제안한 회로는 0.5V의 구동전압을 가지던 참고논문에 비해 0.2V 더 낮은 0.3V의 초저전압 동작이 가능하다.

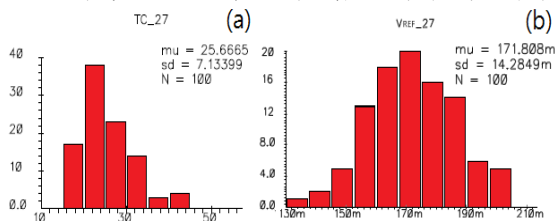


그림 11. 2TR_S Monte-carlo 시뮬레이션

그림 12는 레퍼런스 전압 및 전류원 회로들의 전체 layout으로 Chip size는 1.3mm x 1mm 이다.

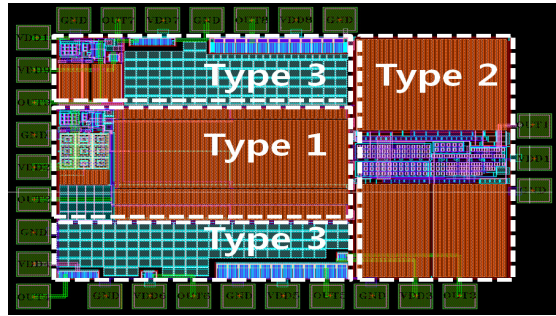


그림 12. 기준 전압 및 전류 발생회로 layout

IV. 결 론

본 논문에서는 0.35um CMOS 공정을 이용하여 저전압, 저전력 특성을 갖는 2가지 유형의 기준전압 발생회로와 하나의 기준전류 발생회로를 설계하였다. 제안된 회로에서는 동작 전압을 낮추기 위하여 약반전 영역의 MOS 트랜지스터들을 사용하였고, 문턱전압을 낮추기 위하여 bulk-driven 기법을 이용하였다. 기존 결과와 비교시 본 논문에서 설계된 기준 전압/전류 회로들은 향상된 특성을 보인다. 따라서 설계된 기준 회로들은 저전압, 저전력 특성이 요구되는 다양한 응용분야에 활용될 수 있다.

참고문헌

- [1] H. C. Luis, T. C. Pimenta, "An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA With Rail-to-Rail Input/Output Swing", *IEEE Transactions on Circuits and Systems II*, vol. 54, pp. 843-847, 2007.
- [2] L. Wenguan, Y. Ruohe, "A low power CMOS bandgap voltage reference with enhanced power supply rejection", *ASICON, IEEE 8th International Conference on ASIC*, pp. 300-304, 2009.
- [3] Y. S. Park, H. R. Kim, "Compact 0.7-V CMOS voltage current reference with 54/29-ppm/°C temperature coefficient", *ISOC*, pp. 496-499, 2009.
- [4] C. Yoo, J. Park, "CMOS current reference with supply and temperature compensation", *Electron Letters*, vol. 43, pp. 1422-1424, 2007.
- [5] C. Azcona, B. Calvo, "Precision CMOS current reference with process and temperature compensation.", *ISCAS, 2014 IEEE International Symposium on IEEE*, pp. 910-913, 2014.
- [6] G. D. Vita, G. Iannaccone, "A 109nW, 44 ppm/°C CMOS current reference with low sensitivity to process variations", *IEEE ISCAS*, pp. 3804-3807, 2007.
- [7] Z. Huang, Q. Luo, "A CMOS Sub-IV nanopower current and voltage reference with leakage compensation.", *ISCAS, Proceedings of 2010 IEEE International Symposium on IEEE*, pp. 4069-4072, 2010.
- [8] A. Olmos, J. Pablo, "A 2-Transistor Sub-IV Low Power Temperature Compensated CMOS Voltage Reference", *ACM, SBCCI*, pp. 777, 2014.