
이진가중치 전하 재분배 디지털-아날로그 변환기의 비선형 오차 감지 및 보상 방법

박경한* · 김형원*

*충북대학교

Non-Linearity Error Detection and Calibration Method for Binary-Weighted Charge Redistribution Digital-to-Analog Converter

Kyeong-Han Park* · Hyung-Won Kim**

*Chungbuk University

E-mail : pkh@chungbuk.ac.kr

요 약

이진가중치 전하재분배 DAC는 커패시터를 기반으로 구동하고 커패시터 값에 따라서 데이터 변환을 시킨다. 전하재분배 DAC의 성능을 결정하는 가장 중요한 요소는 정확한 커패시터와 트랜지스터 소자들의 크기와 특성의 보장이다. 그러나 고해상도의 DAC에서는 회로의 레이아웃 설계시의 mismatch와 칩의 공정변화에 의해 다양한 기생소자 성분 발생과 소자특성의 변화를 피하기는 매우 어렵다. 이러한 소자 mismatch는 DAC 각 비트의 해당 아날로그 값에 비선형 오차를 발생시켜 SNDR 성능저하를 가져오게 된다. 본 논문에서는 커패시터 mismatch에 의한 DAC의 데이터 오차를 감지하고 이를 보상하는 방법을 제안한다. 제안된 방법은 2개의 동일한 DAC를 사용한다. 2개의 DAC는 고정된 차이를 가진 2개의 디지털 입력을 사용함으로써 각각 데이터가 변환된다. 비교기는 허용되는 차이보다 큰 비선형 오차를 찾을 수 있다. 우리가 제안하는 보정 방법은 비교기가 오차를 제거 할 때 까지 DAC의 커패시터 사이즈를 바꾸면서 미세한 조절을 할 수 있다. 시뮬레이션은 12bit 이진가중치 전하재분배 디지털-아날로그 변환기의 커패시터 mismatch 보정과 비선형 오차를 효과적으로 감지하는 방법을 나타낸다.

ABSTRACT

This paper proposes a method of non-linearity error detection and calibration for binary-weighted charge-driven DACs. In general, the non-linearity errors of DACs often occur due to the mismatch of layout designs or process variation, even when careful layout design methods and process calibration are adopted. Since such errors can substantially degrade the SNDR performance of DAC, it is crucial to accurately measure the errors and calibrate the design mismatches. The proposed method employs 2 identical DAC circuits. The 2 DACs are swept, respectively, by using 2 digital input counters with a fixed difference. A comparator identifies any non-linearity errors larger than an acceptable discrepancy. We also propose a calibration method that can fine-tune the DAC's capacitor sizes iteratively until the comparator finds no further errors. Simulations are presented, which show that the proposed method is effective to detect the non-linearity errors and calibrate the capacitor mismatches of a 12-bit DAC design of binary-weighted charge-driven structure.

키워드: Binary Weighted Charge Driven DAC, Error Detection, Mismatch Calibration

1. 서 론

이진가중치 전하 재분배 Digital-to-Analog Converter(DAC)는 구조가 비교적 간단하며 크기

가 작고 고속구동이 가능하며 전력소모가 적어 다양한 응용분야에 널리 사용되고 있다. 그러나 이진가중치 전하 재분배 DAC들은 커패시터의 정확한 크기를 기반으로 디지털 값을 아날로그 값

으로 변환하는 방식으로서 커패시터 값과 정확한 비율에 민감하게 데이터 변환이 발생한다. Sub-micron technology 반도체 공정을 사용할 경우 설계하는 칩에 많은 커패시터를 Layout하게 되면 커패시터의 matching이 쉽지 않고 소자의 mismatch로 인한 기생 커패시터가 발생하여 각 비트의 커패시터 값이 mismatch가 일어나게 된다. 또한 공정 변화에 따라서 커패시터의 mismatching이 더욱 커지는 경향이 있다. 이 커패시터의 mismatch는 DAC의 non-linearity error의 증가를 초래하여 성능을 크게 저하 시킬 수 있다. 이러한 문제를 해결하기 위해서 본 논문에서는 커패시터 mismatch에 의한 DAC의 데이터 오차를 감지하는 on-chip Linearity error detection 및 보상 방법을 제안한다.

II. 본 론

2.1 일반적인 전하 재분배 DAC구조

그림1은 일반적인 전하 재분배 DAC의 구조를 나타낸다. 이 DAC의 기본 동작은 ϕ_R 인 Reset 신호로 Capacitor의 충전되어있는 전하를 모두 방전 시키면서 초기화가 된다. 이후 각 bit 역할을 하는 Capacitor가 Switch에 의해서 꺼지고 켜지면서 Charge가 충·방전 되면서 Digital 코드에 해당하는 값을 Analog 값으로 변환하게 된다. Capacitor charge의 충·방전 에 의해서 데이터 변환이 일어나기 때문에 전력 소모가 적고 고속에서 동작이 가능하다. [1,2]

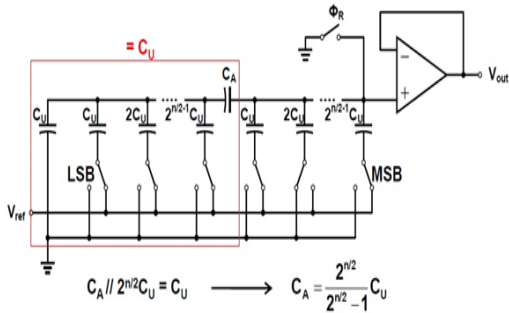


그림 1. 이진가중치 전하재분배 DAC [1]

2.2 이진가중치 전하재분배 DAC의 non-linearity error 감지 회로의 구조

그림2는 본 논문에서 제안하는 DAC의 non-linearity error를 감지하는 구조를 나타낸다. 이 회로의 기본 동작은 2개의 DAC를 사용하여 첫 번째 DAC에 input value N_{in1} 을 가지고, 두 번째 DAC에 $N_{in1} + 1$ 을 가한다. 2개의 Digital값이 Analog 값으로 변환되고 그림4에서 제시된 Control Signal을 사용하여 error detection을 수행한 후 $N_{in1} = N_{in1} + 1$ 로 N_{in1} value를 증가시키면서 상기 과정을 반복한다. 위의 각 단계에서 detect0, detect1, comp에 의해서 두 DAC Analog 값이 Comparator 에 의해

서 비교되면서 error를 감지하게 된다. 먼저 detect0 Switch가 on 이 되면 digital값 1,0 의 analog 변환 값의 차이를 Cap에 저장하고 detect1은 digital 값 2,1 의 analog 변환 값의 차이를 cap에 저장한다. 마지막으로 comp 신호가 on이 되면 cap에 저장된 각 값이 comparator의 input으로 보내지지만 너무 작은 전압이므로 cap에 저장된 차이 값을 VCM Voltage level 만큼 올려서 비교기 입력으로 값이 전달되고 비교기에 의해서 non-linearity를 detection 하게 된다. 만약 DAC가 Mismatch Error 없이 동작한다면 2개의 DAC 차이 값은 매우 근소한 오차 범위 내에서 1-LSB 값을 보이며 비교기 출력은 0이 된다. 하지만 Layout 상에서 발생하는 capacitor mismatch 또는 기생 capacitor로 인해서 각 bit의 capacitor값이 변하게 된다면 2개의 DAC의 차이 값은 일정하지 않고 변하게 된다. 이때 비교기 출력이 1 또는 -1로 출력되면서 capacitor mismatch, 기생 capacitor에 의한 DAC non-linearity error를 감지하게 된다.

그림3에 제안된 non-linearity error 감지기법의 2개의 DAC 동작 결과를 보인다. 그림을 보게 되면 그림3 (a)은 DAC에 mismatch가 없을 경우 각 digital 입력 값에 해당하는 출력전압의 차이는 1-LSB로 일정하게 유지 된다. 하지만 그림3 (b)의 경우는 DAC에 mismatch가 발생한 경우이며, digital 입력 값 7에서 이 capacitor mismatch가 출력 값으로 전달이 되는 경우를 나타낸다. 그림3 (b)의 경우, digital 입력 값 7과 6의 출력 값 차이와 입력 값 8과 7의 출력 값 차이가 서로 달라진다. 이 달라진 값에 의해서 non-linearity error를 detection 하게 된다.

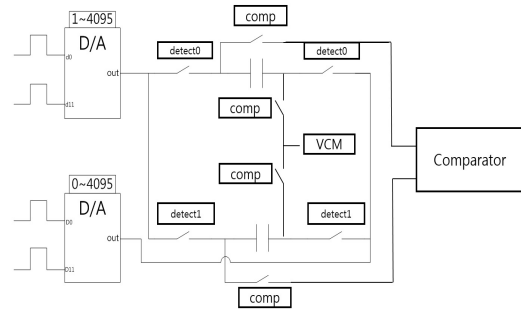


그림 2. non-linearity error detection 제안구조

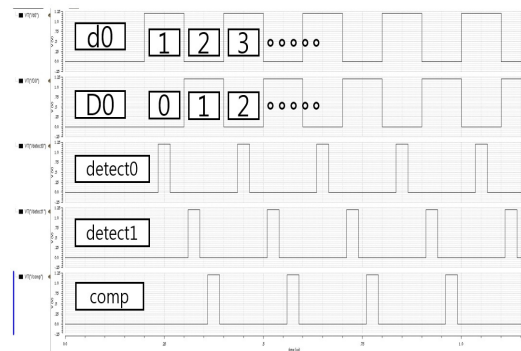


그림 3. non-linearity error detection회로의 Control Signal

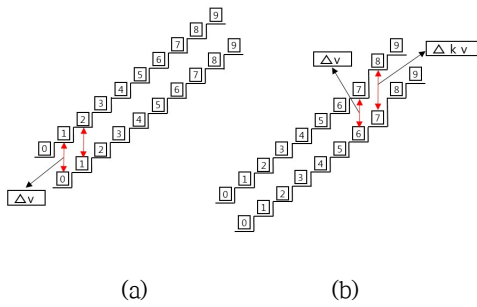


그림 4. linearity DAC와 non-linearity DAC 예시

III. non-linearity error 보정회로

그림5는 본 논문에서 제안하는 non-linearity error의 보정회로를 나타낸다. 보정회로의 동작은 다음과 같다. 먼저 error detection 회로의 비교기 출력에서 0을 제외한 1또는-1이 나오는 bit의 switch를 detect하면 calibration 신호를 on 시키고 Flip Flop으로 PMOS Switch를 control해서 원하는 만큼의 NMOS Capacitor를 error bit capacitor에 직렬 또는 병렬로 연결되게 하여 capacitor mismatch나 기생 capacitor에 의한 capacitor variation을 보상하게 된다.

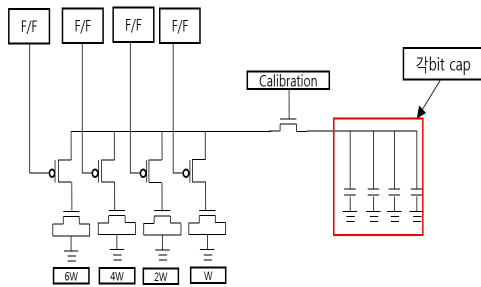


그림 5. non-linearity error 보정회로 구조[3,4]

IV. 실험결과

제안된 non-linearity error 감지 및 보상기법 동작과 성능을 검증하기 위해 12bit의 이진가중치 전하분배 DAC를 설계하였다. 이 DAC 2개와 비교기 회로를 그림 2의 구조와 같이 구성하고 DAC내의 하나의 capacitor에 mismatch가 발생한 경우를 Simulation하였다.

그림6과 이러한 capacitor mismatch에 의한 non-linearity error detection 회로의 Comparator 출력값의 시뮬레이션 결과이다. 이 Simulation에서 사용된 DAC의 data 변환 속도는 100ns 이며 LSB capacitor는 30fF이고 MSB capacitor는 960fF이다. 그림7은 d5와 D5에 해당하는 DAC의 Capacitor 값인 960fF를 1pF으로 mismatch를 주었을 때 결과를 나타낸다. d5와 D5에 해당하는 switch가 on 되었을 때 comparator output값이 0이 아닌 값이 되면서 non-linearity를 감지 할 수 있

다. 시뮬레이션에서 사용된 공정은 Samsung 65nm 이다.

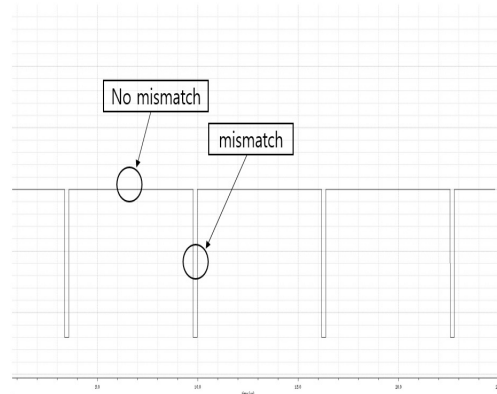


그림6. Capacitor mismatch에 의한 comparator output

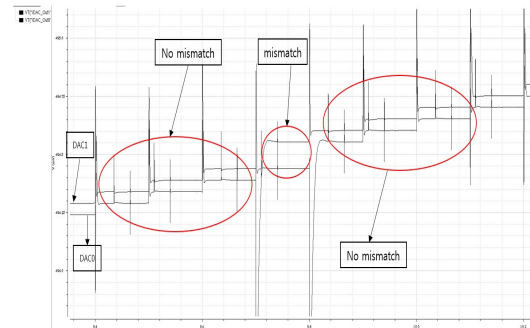


그림7. Capacitor mismatch와 non mismatch 비교 plot

V. 결 론

본 논문은 이진가중치 전하 재분배 디지털-아날로그 변환기의 non-linearity error를 detection 하고 calibration 하는 기법을 제안하였다. 시뮬레이션을 보게 되면 Capacitor mismatch가 발생할 경우 comparator에서 mismatch가 발생한 bit가 on 이 될 때를 시뮬레이션 결과를 통해 보게 되면 mismatch 된 bit non mismatch 된 bit의 구분이 명확하고 mismatch에 해당되는 bit에 논문에서 제시한 calibration 구조를 사용하여 원하는 capacitor 용량을 조정하면서 comparator가 허용 가능한 오차 범위 내에 결과를 얻을 때까지 보정 해줄 수 있게 된다. 이는 DAC의 비선형성 오류를 on-chip에서 감지하고 보정 할 수 있기 때문에 capacitor의 mismatch나 layout으로 인한 error 및 공정상에서 생길 수 있는 많은 변수에 의한 error 를 대비 할 수 있다[5]. 요즘 고해상도의 DAC를 많이 사용하면서 INL/DNL error 가 DAC의 성능 저하를 많이 발생 시켜 실제 원하는 해상도를 얻지 못할 수 있는데 이러한 문제점을 본 논문에서 제시한 방법으로 비교적 간단한 구조에서 해결 할 수 있게 제안 하였다.

참고문헌

- [1] R. JACOB Baker, “CMOS circuit design layout and simulation”, “WILEY”, pp.978-982.
- [2] Nazari, M., Aghajani, A., Hashemipour, O. “Design of a new split-capacitive-array DAC based on distribution of attenuation capacitor”, Electrical Engineering (ICEE), 2015 23rd Iranian Conference on, ISBN 978-1-4799-1971-0, pp. 1370-1373, 2015
- [3] Zhe Li, Yuxiao Lu, Tingting Mo, “Calibration for split capacitor DAC in SAR ADC”, ASIC 2013 IEEE 10th International Conference on, ISBN 978-1-4673-6415-7, pp. 1-4, 2013
- [4] Troster, G., Herbst, D., “Error cancellation technique for capacitor arrays in A/D and D/A converters”, Circuit and Systems IEEE Transaction on, vol. 35, pp. 749-751, 1988
- [5] Radulov, G.I., Quinn, P.J., Hegt, H., van Roermund, A., “An on-chip self-calibration method for current mismatch in D/A Converters, Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European, ISBN 0-7803-9205-1, pp. 169-172, 2005