
HEVC 부호기의 실시간처리를 위한 효율적인 변환기 하드웨어 설계

조흥선 · Fred Adu Kumi · 류광기

한밭대학교 정보통신전문대학원

An effective transform hardware design for real-time HEVC encoder

Heung-seon Jo · Fred Adu Kumi · Kwang-ki Ryoo

Graduate school of Information and Communication, Hanbat National University

E-mail : {bong8397, kumiadufred}@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 HEVC(High Efficiency Video Coding) 부호기의 실시간처리를 위한 효율적인 하드웨어 변환기 하드웨어 설계를 제안한다. HEVC 부호기는 울-왜곡 비용을 비교하여 변환 모드(4x4, 8x8, 16x16, 32x32)를 결정한다. 울-왜곡비용은 변환과, 양자화, 역양자화, 역변환을 통해 계산된 왜곡값과 비트량으로 결정되므로 상당한 연산량과 소요시간이 필요하다. 따라서 본 논문에서는 변환을 통한 계수의 합계를 비교하여 변환 모드를 결정하는 새로운 방법을 제안한다. 또한, 제안하는 하드웨어 구조는 4x4, 8x8, 16x16, 32x32 변환 모드에 대한 공통 연산기와 멀티플렉서, 재귀 가감산기, 쉬프트만으로 구현하여 연산량을 대폭 감소시켰다. 제안하는 변환 모드 결정 방법은 HM 10.0과 비교하여 BD-PSNR은 0.096, BD-Bitrate는 0.057 증가하였으며, 인코딩 시간은 약 9.3% 감소되었다. 제안된 하드웨어는 TSMC 130nm CMOS 표준 셀 라이브러리로 합성한 결과 최대 동작 주파수는 200MHz, 약 256K개의 게이트로 구현되었으며, 140MHz의 동작주파수에서 4K UHD급 해상도인 3840x2160@60fps의 실시간 처리가 가능하다.

ABSTRACT

In this paper, we propose an effective design of transform hardware for real-time HEVC(High Efficiency Video Coding) encoder. HEVC encoder determines the transform mode(4x4, 8x8, 16x16, 32x32) by comparing RDCost. RDCost require a significant amount of computation and time because it is determined by bit-rate and distortion which is computed via transform, quantization, dequantization, and inverse transform. This paper therefore proposes a new method for transform mode determination using sum of transform coefficient. Also, proposed hardware architecture is implemented with multiplexer, recursive adder/subtractor, and shifter only to derive reduction of the computation. Proposed method for transform mode determination results in an increase of 0.096 in BD-PSNR, 0.057 in BD-Bitrate, and decrease of 9.3% in encoding time by comparing HM 10.0. The hardware which is proposed is implemented by 256K logic gates in TSMC 130nm process. Its maximum operation frequency is 200MHz. At 140MHz, the proposed hardware can support 4K Ultra HD video encoding at 60fps in real time.

키워드

HEVC, transform, quantization, hardware design, real-time

I. 서 론

최근 UHDTV(Ultra High Definition Television)와 같이 4K(3840x2160), 8K(7680x4320) 해상도를 지원하는 고화질/고해상도 비디오 응용 제품의 필

요성이 제기되면서 고화질, 고해상도 영상을 높은 압축 효율을 갖는 영상 압축 코덱의 필요성이 증가되고 있다. 이에 따라 ITU-T의 VCEG(Video Coding Experts Group)와 ISO/IEC의 MPEG(Moving Picture Experts Group)은 공동으로

JVT-VC(Joint Collaborative Team on Video Coding)를 결성하였으며 개발된 차세대 영상 압축 코덱인 HEVC(High Efficiency Video Coding)는 2013년 4월에 국제 표준 제정이 완료되었다[1].

HEVC는 이전의 영상 압축 코덱인 H.264/AVC와 비교하여 동일한 영상 화질 대비 약 50% 압축률 향상을 보이기 위해 많은 연산량과 시간을 필요로 한다. HEVC 부호기 중 많은 연산량을 차지하는 변환기는 영상 데이터를 공간 영역에서 주파수 영역으로 변환하여 양자화 효율을 높임으로써 부호화 과정에서 상당히 중요한 역할을 담당한다[2]. HEVC 변환기는 4가지의 변환 모드(4x4, 8x8, 16x16, 32x32)를 지원하며 율-왜곡 비용(RDCost : Rate-Distortion Cost)을 비교하여 변환 모드를 결정한다. 그러나 율-왜곡 비용은 상당히 많은 연산시간을 요구하기 때문에 고해상도 영상을 실시간으로 처리하는데 어려움이 있다. 본 논문에서는 변환 모드를 보다 신속히 결정하기 위해 변환을 통한 합계만을 계산하여 변환 모드를 결정하는 방법을 제안한다. 또한 제안하는 하드웨어 구조는 변환 모드별 공통 계수를 적은 면적을 가진 재귀 가감산기와 쉬프트, 멀티플렉서를 이용하여 구현하였다.

II. 제안하는 변환 모드 결정 방법

HEVC는 변환 모드를 결정하기 위하여 그림 1과 같이 변환, 양자화, 역양자화, 역변환 과정을 거쳐 생성된 복원 블록과 원본 블록의 차이 값인 왜곡률(Distortion)과 비트율로 계산된 율-왜곡 비용(RDCost)을 비교한다. 본 논문에서 제안하는 모드 결정 방법은 단순히 변환 과정을 거쳐 생성된 계수의 합을 비교하여 결정함으로써 소요되는 연산량과 연산시간을 대폭 감소시켰다.

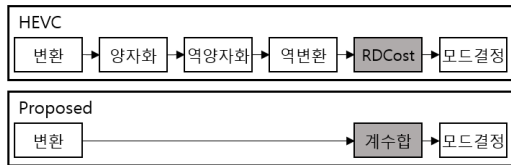


그림 1. 변환 모드 결정 방법 순서

본 논문에서는 최적의 변환 모드를 결정하는 방법을 찾기 위해 수행한 2가지 실험(합계 계산 모드, 가중치 부여)에 대해 기술한다. 합계 계산 모드에 대한 실험은 변환 과정을 거친 후 계수의 합을 계산할 때 그림 2와 같이 5가지 다른 음영으로 처리된 영역의 합을 비교하여 수행하였으며, 그 결과 표 3과 같이 MODE5에서 가장 좋은 결과를 얻었다. 가중치 부여에 대한 실험은 상위 모드 계수의 합과 하위 모드 계수의 합에 가중치를 부여한 값을 비교하여 수행하였으며, 표 3과 같이 가중치가 없을 경우 가장 좋은 결과를 얻었다.

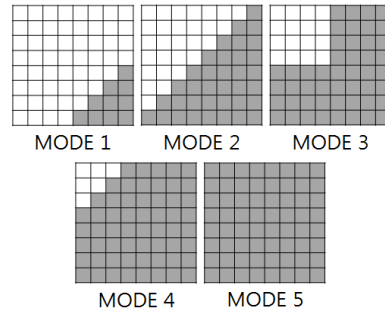


그림 2. 5가지 합계 계산 모드

III. 제안하는 변환기 하드웨어 구조

제안하는 HEVC 변환기 하드웨어 구조는 3가지의 하위 블록(DIA, DSA, DOA)으로 구성된다. DIA(DCT Input Adder) 블록은 DCT의 공통 변환 계수를 묶음으로써 곱셈 연산을 줄이는 역할을 담당하며, DSA(DCT Shifter Adder) 블록은 행렬 연산의 곱셈 부분에 해당하고, 곱셈기보다 적은 연산 시간과 하드웨어 면적을 요구하는 가감산기로 구성된다. DOA(DCT Output Adder) 블록은 DSA 블록의 출력 값을 입력받아 변환 모드에 맞는 계수를 생성한다.

1. DIA

변환 행렬에서 동일한 행렬 계수를 묶음으로써 수행에 필요한 곱셈을 줄일 수 있다. 그림 3은 8x8 입력을 4x4, 8x8 변환 모드로 처리하기 위한 행렬 계수를 나타낸다. 8x8 블록이 입력되는 경우 4x4 변환 모드는 1 사이클에 처리하기 위해 8개의 가감산기가 필요한 반면, 8x8 변환 모드는 16개의 가감산기가 필요하다. 또한 32x32 블록이 입력되는 경우 1 사이클에 처리하기 위해 모드에 따라 32, 64, 96, 128개의 가감산기가 필요하다. 따라서 제안하는 DIA 블록은 그림 4와 같이 가감산을 반복적으로 수행하는 32개의 재귀 가감산기로 구현하였다. 따라서 4x4 변환 모드의 경우 1 사이클이 소요되며, 나머지 변환 모드의 경우 각각 2, 3, 4 사이클이 소요된다.

64	64	64	64	64	64	64	64	64	64	64	64	64	64	64	64
83	36	-36	-83	83	36	-36	-83	89	75	50	18	-18	-50	-75	-89
64	-64	-64	64	64	-64	-64	64	83	36	-36	-83	-83	-36	36	83
36	-83	83	-36	36	-83	83	-36	75	-18	-89	-50	50	89	18	-75
64	64	64	64	64	64	64	64	64	-64	-64	64	64	-64	-64	64
83	36	-36	-83	83	36	-36	-83	50	-89	18	75	-75	-18	89	-50
64	-64	-64	64	64	-64	-64	64	36	-83	83	-36	-36	83	-83	36
36	-83	83	-36	36	-83	83	-36	18	-50	75	-89	89	-75	50	-18

4x4 변환 계수

8x8 변환 계수

그림 3. 4x4, 8x8 모드의 변환 계수

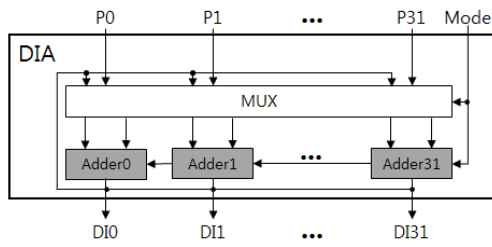


그림 4. DIA 블록 하드웨어 구조

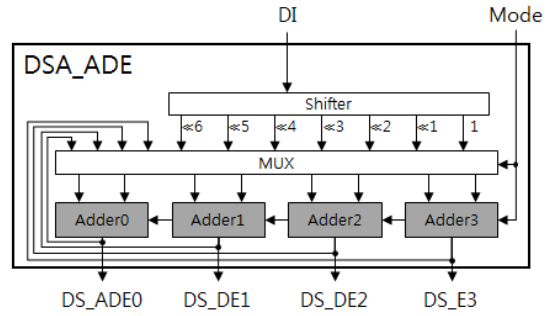


그림 5. DSA_ADE 블록 하드웨어 구조

2. DSA

DSA 블록에서 DIA 블록으로부터 입력되는 32개 입력에 따라 구현해야 하는 곱셈 연산을 표 2에 나타내었다. DSA 블록의 8, 9, 12, 13번째 입력에서 구현해야 할 곱셈 계수는 A, D, E이며 총 24개로 상당히 많은 연산량이 요구된다. 제안하는 DSA 블록 하드웨어 구조는 재귀 가감산기와 모드에 따른 필요한 계수를 동일한 출력으로 구현하여 연산량을 크게 감소시켰다. 표 1은 DSA 블록의 8, 9, 12, 13번째 입력에 대해 곱셈 연산을 수행하는 블록(DSA_ADE)에 대한 가감산기의 동작 순서를 나타낸다. 곱셈 연산은 Adder의 값을 쉬프트와 덧셈, 뺄셈으로 구현하였다. 쉬프트만으로 구현할 수 있는 곱셈은 2의 제곱수인 1, 2, 4, 8, 16, 32, 64 으로서 모든 사이클에서 사용될 수 있으며, 각 사이클 마다 저장되어있는 Adder의 값에서 쉬프트 연산과 가감산으로 다음 Adder의 값을 생성하였다. 그림 5는 제안하는 DSA_ADE 블록 하드웨어 구조를 나타낸다. DSA_ADE 블록 입력에 대해 필요한 24개의 출력을 4개의 가감산기, 연속적인 4개의 출력으로 구현함으로써 DSA 블록의 출력을 480개에서 104개로 대폭 감소시켰다.

표 1. DSA_ADE 블록의 가감산기 동작 순서

Adder	Mode	Cycle					Output
		0	1	2	3	4	
0	16x16	80	9	43	70		DS_ADE0
	32x32	4	13	31	46	61	
1	16x16		25	57	87		DS_DE1
	32x32	80	22	48	67	73	
2	16x16		90				DS_DE2
	32x32	9	90	54	78	82	
3	16x16						DS_E3
	32x32		88	3	57	85	

3. DOA

DOA 블록은 DSA 블록으로부터 곱셈 연산이 수행된 값들을 변환 모드에 따라 덧셈 또는 뺄셈 과정을 거쳐 출력 값을 생성한다. 32x32 변환 모드에서는 최대 가감산 횟수인 16개의 입력을 처리하기 위해 8-4-2-1 순서로 4 사이클이 소요된다. 또한 32의 출력을 4 사이클에 구현하기 위해 128개의 가감산기가 요구된다. 그러나 제안하는 DOA 블록은 DSA 블록으로부터 사이클에 따라 연속된 값을 입력받기 때문에 사이클에 따라 입력 값을 연속적으로 더하는 누산기 구조로 설계하였다. 제안하는 DOA 하드웨어 구조는 그림 6에 나타내었으며, 32x32 변환 모드에서 7 사이클이 소요되고 76개의 가감산기로 구현하였다.

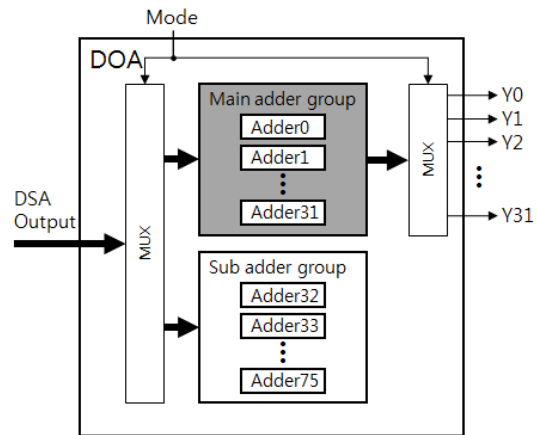


그림 6. DOA 블록 하드웨어 구조

표 2. DIA 블록의 32개 출력에 따라 필요한 곱셈 계수

Mode	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
4x4	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B
8x8	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	
16x16	A	A	B	B	A	A	B	B	D	D	D	D	D	D	D	C	C	C	C	C	C	C	C	C	C	D	D	D	D	D	D	
32x32	A	A	B	B	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	C	C	C	D	D	D	D

A : 64
 B : 83, 36
 C : 89, 75, 50, 18
 D : 90, 87, 80, 70, 57, 43, 25, 9
 E : 90, 88, 85, 82, 78, 73, 67, 61, 54, 46, 38, 31, 22, 13, 4

표 3. 변환 모드 결정 실험 결과

Resolution	MODE1		MODE2		MODE3		MODE4		MODE5	
	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate
4K	-0.5707	31.7732	-0.4789	26.2162	-0.3896	21.7924	-0.3870	21.9588	-0.1998	11.8626
Class A	-0.8684	23.2860	-0.6176	15.9545	-0.4309	10.9544	-0.3744	9.4854	-0.0992	2.5501
Class B	-0.4088	15.7724	-0.4508	17.4796	-0.3275	12.6265	-0.3015	11.6441	-0.1088	4.3769
Class C	-0.9760	29.8531	-0.5820	18.5490	-0.4456	14.7625	-0.4030	13.5325	-0.1075	3.9551
Class D	-0.9540	23.2336	-0.5649	13.7515	-0.3650	9.1112	-0.3200	8.0429	0.0034	0.7625
Class E	-0.7203	19.6401	-0.7996	21.9033	-0.5721	15.5480	-0.5131	13.8972	-0.0699	2.0223
Class F	0.9906	-10.1400	0.9473	-9.5649	1.1579	-12.1021	1.1577	-11.9713	1.5485	-16.2768
Resolution	Multiplication 1.4		Multiplication 1.2		No Weight		Division 1.2		Division 1.4	
	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate
4K	-0.0660	4.0232	-0.0668	4.0631	-0.0666	4.0566	-0.0667	4.0626	-0.0660	4.0232
Class A	-0.0320	0.8314	-0.0321	0.8325	-0.0319	0.8315	-0.0337	0.8721	-0.0320	0.8314
Class B	-0.0287	1.2381	-0.0288	1.2356	-0.0286	1.2318	-0.0284	1.2357	-0.0287	1.2381
Class C	0.0029	0.8432	0.0013	0.8570	0.0009	0.8553	0.0024	0.8736	0.0029	0.8432
Class D	0.0653	-0.7840	0.0653	-0.7852	0.0648	-0.7687	0.0628	-0.7208	0.0653	-0.7840
Class E	0.0169	-0.3229	0.0184	-0.3649	0.0198	-0.4099	0.0200	-0.4140	0.0169	-0.3229
Class F	1.6142	-17.0023	1.6167	-17.0515	1.6175	-17.0587	1.6217	-17.0715	1.6142	-17.0023

IV. 검증 및 결과

본 논문에서 제안하는 변환 모드 결정 방법은 표준 참조 소프트웨어인 HM 10.0 Intra main을 이용하여 모든 클래스 영상을 테스트 하였으며 [3], 5 프레임, RDOQ : 0, Transform Skip : 0을 기준으로 실험하였다. 성능 평가 지표는 4가지 QP(22, 27, 32, 37)에 대한 BD-PSNR, BD-Bitrate를 비교하였다. 5가지 합계 계산 모드에 대한 실험은 가중치 Division 2로 설정하여 수행한 결과 MODE5에서 가장 좋은 결과를 얻었으며, 가중치 부여에 대한 실험은 MODE5에서 실험한 결과 가중치를 주지 않은 경우 가장 좋은 결과를 얻었다. 표 3에서는 합계 계산 모드와 가중치 별 클래스 영상의 평균을 기술하였다. 모든 클래스 영상의 전체 평균 기준으로 BD-PSNR은 0.096, BD-Bitrate는 0.057 증가하였으며, 인코딩 시간은 약 9.3% 감소되었다. 제안하는 하드웨어 구조는 TSMC 130nm CMOS 공정 라이브러리로 합성한 결과 최대 동작 주파수는 200MHz이고 총 게이트 수는 256K이다.

V. 결론

본 논문에서 제안하는 변환 모드 결정 방법은 기존의 HEVC에서 유효-왜곡 비용을 비교하여 결정하는 방법에 비해 BD-PSNR과 BD-Bitrate에서 크게 차이를 보이지 않는 반면, 연산량과 연산시간을 대폭 감소시켰고, 제안하는 HEVC 변환기는 4개의 변환 모드(4x4, 8x8, 16x16, 32x32)를 지원하며, 변환기를 구성하는 각 블록마다 연속적으로 재귀 가감산기를 사용함으로써 하드웨어 면적을 대폭 감소시켰다. 최대 동작주파수는 200MHz이며 140MHz에서 4K@60fps 영상을 실시간으로 처리할 수 있다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 해외ICT전문인력활용촉진사업의 연구결과로 수행되었음(IITP-2015-R0134-15-1019)

참고문헌

- [1] 심동규, 조현호, HEVC 표준기술의 이해, pp. 48-55, 2014
- [2] Ruhan Coceicao, "Low-Cost and High Throughput Hardware Design for the HEVC 16x16 2-D DCT Transform", Journal of Integrated Circuits and Systems, Vol. 9, No. 1 pp. 25-35, 2014
- [3] HM 10.0: HEVC(High Efficiency Video Coding) Test Model 10.0, https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-10.0/