

# 채널길이 및 두께 비에 따른 비대칭 DGMOSFET의 드레인 유도 장벽 감소현상

정학기\*

## Drain Induced Barrier Lowering for Ratio of Channel Length vs. Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung\*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

### 요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 따른 드레인 유도 장벽 감소 현상의 변화에 대하여 분석하고자한다. 드레인 전압이 소스 측 전위장벽에 영향을 미칠 정도로 단채널을 갖는 MOSFET에서 발생하는 중요한 이차효과인 드레인 유도 장벽 감소는 문턱전압의 이동 등 트랜지스터 특성에 심각한 영향을 미친다. 드레인 유도 장벽 감소현상을 분석하기 위하여 포아송방정식으로부터 급수형태의 전위분포를 유도하였으며 차단전류가  $10^{-7} A/m$ 일 경우 비대칭 이중게이트 MOSFET의 상단게이트 전압을 문턱전압으로 정의하였다. 비대칭 이중게이트 MOSFET는 단채널효과를 감소시키면서 채널길이 및 채널두께를 초소형화할 수 있는 장점이 있으므로 본 연구에서는 채널길이와 두께 비에 따라 드레인 유도 장벽 감소를 관찰하였다. 결과적으로 드레인 유도 장벽 감소 현상은 단채널에서 크게 나타났으며 하단게이트 전압, 상하단 게이트 산화막 두께 그리고 채널도핑 농도 등에 따라 큰 영향을 받고 있다는 것을 알 수 있었다.

### 1. 비대칭 DGMOSFET의 DIBL 모델

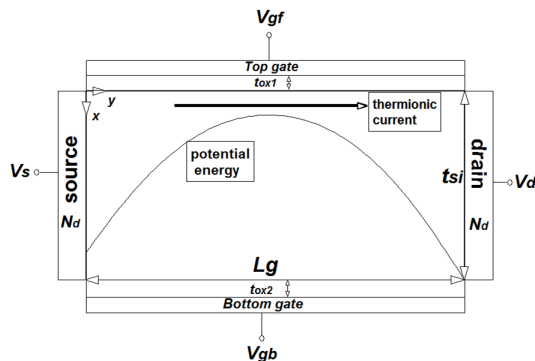


그림 1. 비대칭 이중게이트 MOSFET의 개략도

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압  $V_{gf}$ 와 하단의 게이트 전압  $V_{gb}$ 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이중게이트 MOSFET의 경우 채널길이와 채널두께의 비에 대한 드레인 유도 장벽 감소의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하

였다. 이때 전하분포함수로는 가장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이며  $R_p$ 는 이온주입범위,  $\sigma_p$ 는 분포편차를 나타낸다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x, y=0) = V_s, \quad \phi(x, y=L_g) = V_s + V_d \quad (3)$$

$$\phi(x=0, y) = V_{gf} + \frac{\epsilon_{si}}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0}$$

$$\phi(x=t_{si}, y) = V_{gb} - \frac{\epsilon_{si}}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}}$$

여기서  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $V_{gf}$ 는 평탄전압을 고려한 상단 게이트 전압,  $V_{gb}$ 는 평탄전압을 고려한 하단게이트 전압, 그리고  $C_{ox1}$ 과  $C_{ox2}$ 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다.

식 (3)의 경계조건에서 알 수 있듯이 채널길이  $L_g$ 와 채널두께  $t_{si}$ 에 따라 상이한 전위분포를 나타낼 것이다. 특히 채널길이와 채널두께의 상호 연관관계가 중요한 요소가 된다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[1].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (4)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (5)$$

이며 여기서  $n$ 은 정수,  $k_n = n\pi/L_g$ 이며  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $A_n(x)$ 에 나타나는 상수는 참고문헌[2]에 표기하였다.

본 연구에서는 차단전류가 채널폭 당  $0.1\mu A$ 일 때 상당 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당  $t_{si}W$ 면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{q(n^2/N_p)e^{q\phi_{\min}(x_{eff})/kT} v_{th} t_{si} W}{6} \quad (6)$$

이다. 이때 다음과 같은 전도중심  $x_{eff}$ [3] 값을 대입하여 차단 전류값을 구한다. 식 (6)에서 상당게이트의 표면전위 중 최소값을 갖는  $y_{\min}$  값을 구하여 대입한다.

드레인 유도 장벽 감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상으로써 다음과 같이 표현할 수 있다.

$$DIBL = V_{th}(V_{ds} = 0V) - V_{th}(V_{ds} = 1V) \quad (7)$$

로 주어지므로 드레인 전압이 1V일 때와 0V일 때 문턱전압을 구하여 그 차를 구할 것이다.

본 연구에서는 상기 서술한 바와 같이 식 (7)을 이용하여 하단게이트 전압, 상하단 게이트 산화막 두께, 최대도핑농도 그리고 가우스함수의 변수인 이온주입범위를 파라미터로 하여 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 대한 드레인 유도 장벽 감소 현상에 대하여 고찰할 것이다.

## II. 비대칭 DG MOSFET의 DIBL에 대한 고찰

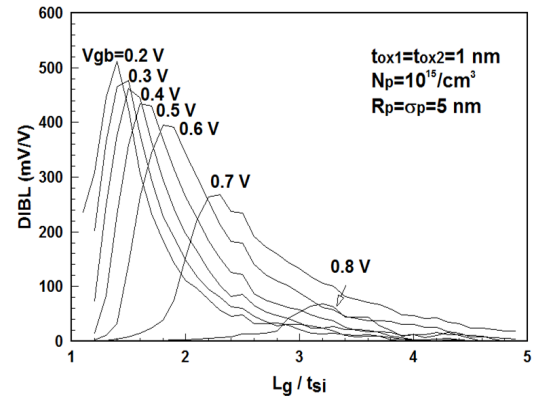


그림 2. 하단 게이트전압을 파라미터로 하여 구한  $L_g/t_{si}$ 에 따른 DIBL의 변화

본 연구에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[4]에서 입증되었으므로 본 연구에서는 2장에서 제시한 DIBL 모델을 이용하여 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 대한 DIBL의 변화를 고찰할 것이다.

먼저 하단 게이트 전압을 파라미터로 하여 채널길이와 채널두께의 비에 대한 DIBL의 변화를 그림 2에 도시하였다.  $L_g/t_{si}$ 이 증가하면 하단게이트 전압에 관계없이 DIBL이 현격히 감소하는 것을 관찰할 수 있다. 그러나 DIBL이 최대값을 갖는  $L_g/t_{si}$  값은 하단게이트 전압에 따라 변화하는 것을 관찰할 수 있다. 즉, 하단 게이트 전압이 증가할수록  $L_g/t_{si}$ 이 큰 값에서 DIBL의 변곡점이 발생한다. 또한 변곡점에서 최대 DIBL 값이 하단게이트 전압이 증가할수록 감소하는 것을 알 수 있다. 즉, 상대적으로  $L_g/t_{si}$ 이 작은 영역에서는 채널길이가 감소할수록 DIBL이 감소하며  $L_g/t_{si}$ 이 큰 영역에서는 채널길이가 증가할수록 DIBL이 증가한다는 것을 알 수 있다. 그러나 전반적으로 하단게이트 전압이 증가하면 DIBL은 감소하는 것을 관찰할 수 있다. 이와 같이 비대칭 DG MOSFET의 경우는 채널길이가 무조건 감소할 때 단채널효과에 의하여 DIBL이 증가하는 것이 아니라 채널두께와의 상관관계에 의하여 DIBL이 변화한다는 것을 알 수 있다.

최대도핑농도를 파라미터로 하여  $L_g/t_{si}$ 에 대한 DIBL의 변화를 그림 3에 도시하였다. 이때 하단게이트 전압은 0.2V로 유지하였다. 최대도핑농도가 증가할수록  $L_g/t_{si}$  값에 관계없이 DIBL은 감소하는 것을 알 수 있다. 특히 상대적으로 최대도핑농도가 작은 경

우,  $L_g/t_{si}$  값이 작은 영역에서 DIBL은 매우 증가하는 것을 알 수 있다. 특히 최대도핑농도가 증가할수록 DIBL의 변곡이 발생하는  $L_g/t_{si}$  값은 감소하는 것을 알 수 있다. 그러나 최대도핑농도가  $10^{19}/cm^3$  이상으로 증가하면 DIBL 값이  $L_g/t_{si}$ 에 대하여 변곡이 발생하고 있지 않았다. 그림 3에서 알 수 있듯이  $L_g/t_{si}$ 이 작은 영역에서 DIBL은 크게 변화하므로 DIBL을 작게 유지하기 위하여 채널두께는 채널두께에 대하여 큰 값을 유지하여야 할 것이다. 도핑농도와 관계없이  $L_g/t_{si}$  값이 2 이상에서는 DIBL 값이 100 mV/V 이하로 감소하며 우수한 특성을 보이고 있다는 것을 주시하라. 이와 같이 기존 CMOSFET에서 채널도핑농도, 채널길이 및 채널두께등에 적용 가능한 스케일링 이론을 비대칭 DG MOSFET의 경우 재정립하여야 할 것이다. 그림 3에서  $L_g/t_{si}$  값이 매우 큰 영역에서는 최대도핑농도와 관계없이 DIBL 값은 거의 0에 근접함을 주시하라.

DIBL의 변곡이 발생하는  $L_g/t_{si}$  값은 감소하는 것을 알 수 있다.

### Reference

[1] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.  
 [2] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626, 2013.  
 [3] Q.Chen, B.Agrawal and J.D.Meindl, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," *IEEE Trans. on Electron Devices*, vol.49, no.6, pp.1086-1090, 2002.  
 [4] H.K.Jung and O.S.Kwon, "Analysis of Threshold Voltage for Channel of Asymmetric DG MOSFET," *Information*, vol.17, no.11(B), pp.5879-5884, 2014.

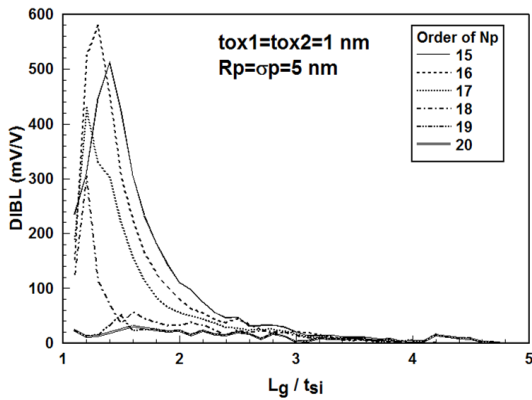


그림 3. 최대 채널도핑농도를 파라미터로 하여 구한  $L_g/t_{si}$ 에 따른 DIBL의 변화

### III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 길이와 채널두께의 비에 따른 드레인 유도 장벽 감소현상의 변화에 대하여 분석하였다. 이를 위하여 급수 형태의 전위분포함수를 구하였으며 이때 전하분포로는 가우스함수를 이용하였다. 이와 같이 구한 전위분포를 이용하여 차단전류모델을 설정하고 차단전류를 이용하여 DIBL을 채널길이와 두께의 비에 따라 분석하였다. 결과적으로  $L_g/t_{si}$ 이 작은 영역에서는 채널길이 감소할수록 DIBL이 감소하며  $L_g/t_{si}$ 이 큰 영역에서는 채널길이 증가할수록 DIBL이 증가한다는 것을 알 수 있다. 또한 최대도핑농도가 증가할수록