

TT-P019

TCharge trap 층에 금속 공간층 삽입에 따른 charge trap flash 메모리 소자의 전기적인 특성

이동녕¹, 정현수², 김태환^{1,2}

한양대학교 융합전자공학부¹, 한양대학교 전자통신컴퓨터공학과²

Charge trap flash (CTF) 메모리 소자는 기존의 플로팅 게이트를 사용한 플래시 메모리 소자에 비해 쓰고 지우는 속도가 빠르고, 소비 전력이 적으며, 쓰고 지우는 동작에 의한 전계 스트레스에 잘 견디는 장점을 가지고 있다. 그러나 CTF 메모리 소자에서도 메모리 셀의 크기가 작아짐에 따라 셀 사이의 간섭 효과를 무시할 수 없다. 인접 셀 간의 간섭현상은 측정 셀의 문턱전압을 예측할 수 없게 변화시켜 소자 동작의 신뢰성을 낮추고 성능을 저하시킨다. 본 논문에서는 셀 사이의 간섭을 줄이고 소자의 성능을 향상시키기 위해 charge trap 층에 금속 공간층을 삽입한 CTF메모리 소자의 전기적인 특성에 대해 연구하였다.

금속 공간층을 갖는 CTF 메모리 소자는 기존 CTF 메모리 소자의 트랩층 양 측면에 절연막과 금속 공간층을 증착시켜 게이트가 트랩층을 감싸는 구조를 갖는다. 인접 셀 사이에 발생하는 간섭 현상과 전계 분포를 분석하였다. 프로그램 동작 시 CTF 메모리 소자 내에 형성되는 전계의 분포와 크기를 계산함으로써 금속 공간층이 인접한 셀에서 형성된 전계를 차폐시켜 셀 간 간섭 현상을 최소화하는 것을 확인하였다. 이러한 결과는 인접 셀 간의 간섭현상을 최소화하면서 소자 동작의 신뢰성이 향상된 대용량 메모리 소자를 제작하는데 도움을 줄 수 있다.

Acknowledgements

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2013R1A2A1A01016467).

Keywords: CTF, 금속공간층, 플래시 메모리

TT-P020

플래시 메모리 소자의 절연체막이 전기적 성질에 미치는 영향

전성배¹, 고정욱², 김태환²

¹한양대학교 나노반도체공학과, ²한양대학교 전자컴퓨터통신공학과

모바일 기기의 성장세로 인해 낸드 플래시 메모리에 대한 수요가 급격히 증가하면서 높은 집적도의 소자에 대한 요구가 커지고 있다. 그러나 소자의 크기가 작아지면서 비례 축소로 인한 게이트 누설 전류, 셀간 간섭, 단 채널 효과 등과 같은 문제들이 발생한다. 이에 따라 제한된 공간에서의 coupling ratio 값이 증가해야 하는 문제가 주목 받으면서 얇은 절연층에 대한 많은 연구가 진행되고 있다.

본 연구에서는 절연층 구조를 비대칭으로 사용한 낸드 플래시 메모리의 누설전류의 변화와 coupling ratio 값의 변화를 관찰하였다. 비대칭 절연층 구조를 가지는 낸드 플래시 메모리의 전기적 특성을 멀티 오리엔테이션 모델을 포함한 3차원 TCAD 시뮬레이션을 이용하여 계산하였다. 메모리 소자가 각 셀 간의 절연층을 가질 때 낮은 셀 간 간섭과 높은 coupling ratio 값을 가진다. 절연층의 구조 높이와 방향의 두께가 증가 할수록 게이트 누설 전류의 값이 크게 줄어들었다. 또한 비대칭 절연층 구조의 플래시 메모리에서 플로팅 게이트의 on-current 레벨과 전위 값이 기존의 플래시 메모리에 비해 크게 나타나는 시뮬레이션 결과값을 관찰하였다. 비대칭 절연층 구조를 가지는 플래시 메모리는 게이트 누설 전류에 영향을 미치는 절연층 주위의 전기장의 값이 기존 구조에 비해 약 30% 감소하였고 같은 프로그램 동작 전압에서 플로팅 게이트에 주입되는 전하의 양 또한 증가하였다. 이 연구 결과는 낸드 플래시 메모리 소자에서 게이트 누설 전류 문제를 감소시키고 프로그램 특성을 증진시키는데 도움이 된다.

Keywords: 낸드 플래시 메모리, 플로팅 게이트, TCAD, 비대칭 절연층