초고해상도 영상패턴 제어 신호발생기의 고속 인터페이스 신호 무결성 실험에 관한 연구

손희배 · 전준수 · 권세환

(주)엠아이케이21 우수제조기술센터 기업부설연구소

mrson@mik21.com

A Study on Signal Integrity of High Speed Interface for Ultra High Definition Video Pattern Control Signal Generator

Son, Hui-Bae · Jun, June-Su · Kwon, Sai-Hoan

MIK21. CO., LTD

요약

디지털 평판 LCD TV의 영상신호 전송에 LVDS가 사용되어 왔으나 케이블간의 타이밍 문제가 대두되고 초고해상도의 컬러 Depth 확장으로 인해 보다 빠른 전송속도가 요구되어진다. V-by-One HS는 초고해상도 영상처리 IC 및 TCON 간의 새로운 인터페이스 기술로서 최대 3840*2160@240Hz의 해상도 영상구현이 가능하다. 동작 주파수 대역의 공진모드 전압 분포와 V-by-One HS IBIS(Input/ Output Buffer Information Specification) 모델 시뮬레이션을 통하여 PCB 설계 방법을 제안한다. 본 논문에서는 V-by-One HS 인터페이스 기술을 사용하여 초고해상도 영상패턴 제어 신호발생기의 시스템 구성을 제안하고 고속영상 신호에 대한 신호 무결성을 검증하고자 한다.

1. 서론

디지털 기술의 발전으로 디스플레이 장치들은 단순한 출력 장치의 기능 이상으로 다양한 멀티미디어 콘텐츠 정보를 고품질의 영상정보로 변환하여 사용자에게 전달하는 매개체 역할을 하고 있다. 멀티미디어 콘텐츠 종류의 증가와 다양한 정보 전달을 위해 표현해야 되는 정보량이 증가하고 이러한 정보를 효율적으로 표현하기 위하여 대면적, 고해상도의 디스플레이 장치가 요구됨에 따라 디스플레이 시스템 내부에서 처리해야 하는 정보량 또한 증가하고 있다[1]. 따라서 디스플레이 시스템 내에서 신호의 무결성을 보장하면서 고속으로 신호를 전송하는 고속 인터페이스 기술이 평판 디스플레이 구동회로 분야에 있어 매우 중요한 기술 중 하나가 되었다[2]. 기존의 디스플레이 인터페이스의 표준인 LVDS(Low Voltage Differential Signaling) 기술은 고해상도 디스플레이 장치를 구동하기 위해 LVDS 전송선을 개수를 증가시킴으로서 통신 속도가 증가하였다. 그러나 케이블 증가로 인한 고비용 및 기기 내의 공간 부족 등으로 고속 데이터 전송 인터페이스 표준의 HDMI 2.0, Display 1.2, MIPI 3.0, V-by-One HS와 같은 표준들이 등장하게 되었다[3]. 특히 V-by-One HS는 초고해상도 TV 구동을 위해 내부 인터페이스로 사용이 증가하고 있으며, 영상처리 IC 및 TCON(Time Control) 간의 새로운 인터페이스 기술이로 THine Electronics사로부터 사양이 공개표준화 되어있다[1-3].

감사의 글 : 본 연구는 우수제조기술연구센터(ATC)사업의 연구비 지원으로 수행되었으며, 이에 감사드립니다.(과제번호: 10032935-2013-23)

V-by-One HS는 기가비트 시리얼 인터페이스 기술로 최대 40bit/화소의 데이터를 1 pair 차동신호로 전송하며 클록 데이터 복구(Clock Data Recovery)에 의한 전송라인 간 스큐문제를 줄여 EMI 문제를 감소시킨다[4-7]. 본 논문에서는 V-by-One HS를 이용하여 초고해상도 영상패턴 제어 신호발생기의 고속 인터페이스에 대하여 신호 무결성을 검증하고자 한다.

2. 초고해상도 영상신호 고속 인터페이스

디지털 평판 TV의 영상신호 전송에 LVDS가 사용되어 왔으나 케이블간의 타이밍문제가 대두되고 고해상도의 색 깊이(Color Depth) 확장으로 인해 보다 빠른 전송속도가 요구되어진다.

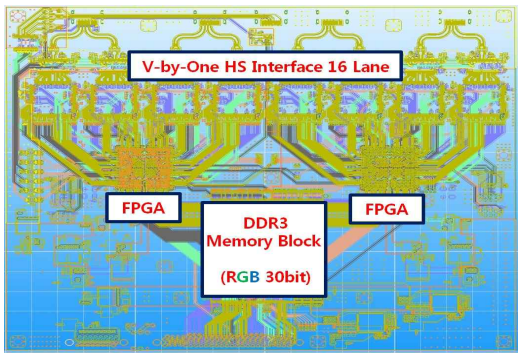


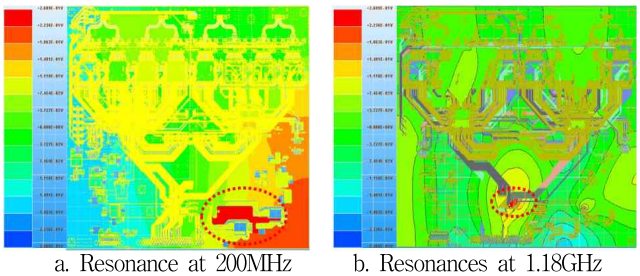
Fig 1. Ultra-HD Video Signal Interface Board

V-by-One HS는 LVDS에 비해 크게 증가된 대역폭을 가지고 클록 데이터 스큐를 제거하기 위하여 CDR(Clock Data Recovery)이 포함된 클록을 사용한다. 데이터 전송속도가 600Mbps에서 3.75Gbps로서 가변적으로 동작하고 소비전력을 감소시킨다. THine사의 독창적인 이퀄라이저 기술은 높은 영상품질과 LVDS보다 적은 수의 케이블 및 커넥터 사용함으로서 원가 절감이 가능하다. 고속 시스템 설계는 일반적으로 멀티 층으로 PCB를 설계 한다. 이러한 구조는 전원층과 그라운드 층의 결합으로 노이즈와 EMI 방사가 일어나며 다층기판의 치수, PCB의 두께와 재질에 따라 결정된다. 그림 1은 고해상도 영상신호 V-by-One HS 인터페이스 보드이다. V-by-One HS 인터페이스 보드는 높은 고해상도 및 색상표현의 다양화로 전송속도가 빠르고 SerDes(Serializer/ Deserializer) 외에 클록 및 데이터 복구 등의 기술을 적용하였다. 구현된 V-by-One HS 인터페이스는 3.75Gbps/ pair의 고속 데이터 전송을 하면서 신호왜곡 및 EMI 전력 소비, 데이터 전송선 수의 감소로 데이터 레인을 32-Lane까지 적용하였고 최대 구현 해상도 7680*4320@60Hz까지 영상 출력이 가능하다.

3. 초고해상도 영상신호 무결성 시뮬레이션

3.1 Resonant Mode Simulations

공진모드 시뮬레이션은 PCB설계 전 단계부터 수행하여 특정 주파수대역에서 공진이 발생하는 패턴을 분석한다[2]. 본 논문에서는 SIwave를 이용한 공진 주파수를 200MHz에서 1.53GHz 범위 내에 발생하는 V-by-One HS 인터페이스 보드의 공진모드를 분석하였다. 공진특성을 분석함으로써 신호선로에 직접적으로 간섭이 일어나는 노이즈 발생 주파수 대역을 예측할 수 있고 PCB 전반의 공진분포 특성을 확인할 수 있다[5]. 이러한 공진을 줄일 수 있는 방법으로 전원층의 구조를 바꾸고 비아 및 디커플링 커패시터를 추가하는 시뮬레이션을 반복하였다. 실제 공진 주파수가 발생하는 V-by-One HS 인터페이스 보드에 디커플링 커패시터를 적용하여 전체 기판의 공진특성을 재분석하였고 최적의 공진특성으로 PCB를 설계하였다.



a. Resonance at 200MHz b. Resonances at 1.18GHz

Fig 2. Frequency Resonance in SIWAVE

그림 2는 V-by-One HS 인터페이스 주파수 공진분석 결과를 나타내었으며, 그림 2.a는 보드 전원 공급부에서 발생하는 200MHz 주파수 대역의 공진모드 전압 분포이다. 그림 2.b는 영상패턴 신호 데이터를 처리하는 DDR3 모듈영역에서 발생하는 1.18GHz 대역의 공진모드 전압 분포를 나타내었다. 붉은 영역의 자기공진 주파수를 변경함으로서 자기공진 특성을 변경할 수 있고 V-by-One HS 인터페이스와 같은 고속 PCB 설계 시, 신호의 무결성 및 공진 주파수에 대한 검증을 실시하였다.

3.2 High Speed Video Signal Integrity Simulations

대형 평판 패널의 내부 TCON(Timing Control) 인터페이스에 사용되는 V-by-One HS는 고속 영상출력 신호 인터페이스로서 Thine사의 SerDes THCV215 칩을 사용하였다. 출력단 회로구성은 AC 커플링 커패시터 200nF을 차동 선로에 적용하였고 송수신단 사이에 전송되는 차동 선로의 특성 임피던스는 PCB의 유전율 및 마이크로스트립 라인의 선폭과 선간 거리, 배선의 두께를 고려하여 100ohm으로 하였다. 그림 3은 실제 V-by-One HS 인터페이스 회로를 IBIS 모델, AC 커플링, 차동 전송라인으로 구성하고 PCB의 특성을 분석하였다.

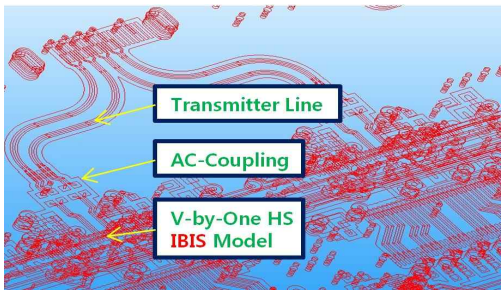


Fig 3. V-by-One HS transmitter in SIWAVE

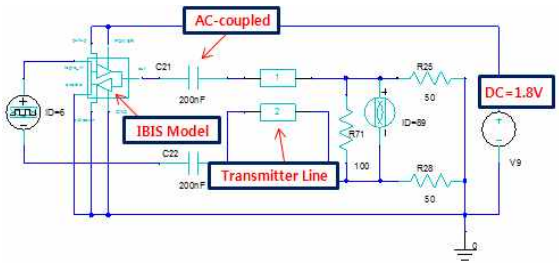


Fig 4. DESIGNER Model of V-by-One HS Transmitter

그림 4는 Ansys사의 Designer SI를 이용하여 V-by-One HS THCV215 IBIS(Input/ Output Buffer Information Specification) 모델을 시뮬레이션 하였다. 초고해상도의 영상신호를 분석하기 위하여 차동 Eye 패턴신호를 입력하고 IBIS Core 공급전압을 1.8V, 마이크로스트립라인의 전송선로의 길이를 35mm로 하였다. 선로 특성 임피던스는 PCB 패턴의 폭, 차동 패턴의 간격, 베타층 간격의 높이, 패턴의 두께, PCB 절연 재료의 유전율을 계산하여 100ohm으로 하였다. V-by-One HS 인터페이스 영상신호의 마이크로 스트립 라인은 수 Gbps이상의 고속 데이터를 전송하므로 베타층을 그라운드 층으로 적용하여 시뮬레이션 하였다.

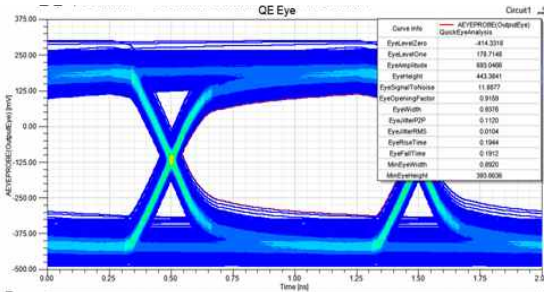


Fig 5. Eye Diagram at Transmitter

그림 5는 V-by-One HS 인터페이스 보드의 송신단 출력 신호를 분석한 Eye 패턴이다.

Table 1. Parameter Measurement Result

Curve Info	Eye Analysis (mV, %)
Eye Level Zero	-414.3318
Eye Level One	178.7148
Eye Height	443.3841
Eye Amplitude	593.0466
Eye Signal to Noise	11.8877
Eye Jitter P2P	0.1120
Eye Rise Time	0.1944
Eye Fall Time	0.1912

표 1은 V-by-One HS Eye 패턴의 파라미터 및 시뮬레이션 결과를 나타내었다. 송신단의 V-by-One HS Eye Diagram에서 Eye 패턴의 크기는 593.0466mV, Eye 패턴의 지터는 0.1120p-p, Rise/ Fall 시간은 각각 0.1944, 0.1912로 V-by-One HS 신호규격을 만족하였다. 그림 6은 V-by-One HS 인터페이스를 이용한 실제 초고해상도 영상 패턴 신호 출력이다. 구현된 초고해상도의 84인치 TFT-LCD 패널은 최대 해상도가 3840*2160@120Hz이다. 패널의 최대 구현 해상도 사양에 따라서 V-by-One HS 인터페이스 출력을 16 Data Lane 3840*2160@120Hz의 영상을 출력하였다. 초고해상도 V-by-One HS 신호를 구현하기 위하여 임베디드 CPU에서 RGB 10bit 영상데이터를 FPGA에 전송하고 DDR3 메모리 블록으로 저장한다. 저장된 초고해상도 BMP 이미지 및 동영상의 RGB 데이터는 Even, Odd의 Dual 데이터로 FPGA에 전송하고 FPGA에서는 초고해상도 영상출력에 필요한 H sync, V sync, DE, Dot clock 신호를 V-by-One HS 데이터 변환 칩으로 전송하여 최종 영상 데이터가 출력된다.

4. 결론

본 논문에서는 V-by-One HS 인터페이스를 이용하여 초고해상도 영상패턴 제어 신호발생기를 구현하였고 Ultra-HD 디스플레이와 인터페이스 기술을 이용하여 대용량의 영상 데이터가 효율적으로 전달할 수 있도록 시스템을 분석하였다. 실제 설계한 PCB의 전원층의 형상과 크기 및 위치, PCB의 RLC소자들에 의해 물리적으로 발생하는 공진주파수와 공진위치를 시뮬레이션 하여 Noise에 취약한 주파수를 확인하였다. PCB 패턴 및 Via 수정, 디커플링 커패시터를 추가하여 공진특성의 변화를 시뮬레이션 한 결과, VDD층과 GND층 사이의 공진이 크기가 감소하였다. 설계한 보드의 최초 공진주파수가 200MHz, 1.18GHz 대역에서 발생하였으며, 디커플링 커패시터를 시용하여 공진 주파수를 변화 시켰다. 최적화된 V-by-One HS 보드의 시뮬레이션 결과, 영상 출력신호가 안정적으로 동작함을 확인하였고 초고해상도 영상패턴 제어 신호발생기의 실제 영상패턴 출력과 데이터 전송 품질은 Eye 패턴 스펙에 만족 하였다. 향후, 8K4K Ultra-HD급 영상신호 V-by-One HS 인터페이스를 적용하여 초고해상도 8K4K LCD 패널 검사 분야에 사용될 수 있으며 차량용 인포테인먼트 시스템과 시큐리티 등으로 다양한 분야에 응용할 수 있다.

Fig 6. Ultra-HD Video Pattern using V-by-One HS Interface

참고문헌

[1] Cho, Kyoungrok, et al. "Display signal interface techniques for mobile applications." Quality Electronic Design (ASQED), 2011 3rd Asia Symposium on. IEEE, 2011.

[2] Yi-feng, Han, and Yan Zhao-wen. "The Simulation and Pre-design on the PCB of the Simulator." 2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility. 2008.

[3] Jeon, Hyun-Kyu, et al. "High speed serial interface for mobile LCD driver IC." Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on. IEEE, 2008.

[4] Lingambudi, Anil, et al. "A case study of high-speed serial interface simulation with IBIS-AMI models." Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2012 IEEE. IEEE, 2012.

[5] Fu, Liping, Ying Han, and Kun Wu. "Signal integrity research for high-speed vedio system design based on HyperLynx simulation." Computer Research and Development (ICCRD), 2011 3rd International Conference on. Vol. 3. IEEE, 2011.

[6] Kaneko, K, "4K applications beyond digital cinema," IEEE VSMM, pp. 133-136, Oct. 2010.

[7] S.L. Chung, "Design of Test Pattern Databank for Functional Testing of LCD Panels," IEEE Industrial Electronics. Vol. 4, pp. 3002-3007, July. 2006.