

# 플래시 메모리의 데이터 신뢰성 향상 및 수명 연장을 위한 하이브리드 메모리 기반의 FTL 알고리즘 제안

이하림\*, 권세진\*\*, 김성수\*\*, 정태선\*\*

\*아주대학교 대학원 SW특성화학과

\*\*아주대학교 정보컴퓨터공학과

e-mail: aquarim@ajou.ac.kr

## A proposal of hybrid memory based FTL algorithm for improving data reliability and lifetime of flash memory

Harim Lee\*, Se Jin Kwon\*\*, Sungsoo Kim\*\*, Tae-Sun Chung\*\*

\*Dept of graduate school of SW, Ajou University

\*\*Dept of Computer Engineering, Ajou University

### 요 약

최근 낸드 플래시 메모리는 임베디드 저장 장치로 많이 사용되고 있다. 비휘발성인 플래시 메모리는 기존의 하드디스크와 달리 저 전력, 좋은 내충격성 및 집적도 등 많은 장점이 있지만 데이터 업데이트 시 덮어쓰기가 안 되어 쓰기 연산 전 해당 블록을 지우는 작업이 선 진행되어야 하며 이로 인해 부분 페이지 업데이트가 자주 일어난다. 이런 플래시메모리와 더불어 최근 차세대 메모리연구가 많이 진행 중인데, 이 중에서 PCM 이라는 메모리는 비휘발성으로 정전 시 데이터가 날라 가버리는 DRAM에 비해 전원이 공급 안 되더라도 데이터가 보존되는 특성이 있다. 하지만 PCM 역시 플래시 메모리와 마찬가지로 블록 당 쓰기연산 작업이 제한되어 있어서 근래에 DRAM과 같이 사용하는 하이브리드 구조를 채택하여 많은 연구가 진행되고 있다. 따라서 본 논문에서는 플래시 메모리의 문제점을 해결함으로써 수명을 연장시키고 정 전시 데이터가 보존되지 않는 DRAM의 단점을 하이브리드 메모리를 기반으로 하여 데이터의 신뢰성을 높이는 FTL알고리즘을 제안한다.

### 1. 서론

최근에 스마트폰, 디지털 카메라 등 임베디드 저장 장치로서 많이 사용 되고 있는 비활성 기억장치인 낸드 플래시 메모리는 소비전력이 적고 전원이 꺼지더라도 데이터가 보존되며 좋은 내충격성 및 집적도를 보인다. 그러나 쓰기 전 지우기(erase-before-write)와 블록 당 지우는 횟수제한 특성으로 부분 페이지 업데이트(partial page update)가 자주 일어나게 되고 이로 인해 플래시 메모리는 수명이 짧아지고 성능이 저하되는 단점을 가지고 있다.

이런 낸드 플래시 메모리와 함께 시스템 내에서 메인 메모리로 DRAM을 많이 사용하고 있는데, 최근에는 차세대 메모리가 많이 개발되면서 DRAM의 대체제로 많이 사용되어 지고 있다. 특히 차세대 메모리 중에서도 PCM (Phase Change Memory)이 가장 활발히 사용되어지고 있는데, 이 PCM은 DRAM과 달리 플래시 메모리와 같은 비 휘발성 메모리로 저장된 데이터를 유지하기 위해 지속적인 전원공급이 필요 없다. 즉, 에너지 절약이 됨과 동시에 정전 시에 데이터의 손실이 없다는 것을 뜻한다. 하지만 PCM은 제한된 쓰기횟수( $10^7 \sim 10^8$ )를 지원하며 느린 쓰기 속도를 가지기 때문에 메인 메모리로서 전면적으로 교체

되기에 힘든 상황이다. 그래서 기존의 연구들은 DRAM 과 PCM을 메인 메모리로 함께 구성한 하이브리드형태의 구조로 많이 이루어지고 있다 [1].

따라서 본 논문에서는 앞에서 언급한 플래시 메모리의 문제점을 해결한 FTL<sup>2</sup> (A Hybrid Flash Translation Layer with Logging for Write Reduction in Flash Memory) [2]이라는 논문에서 배터리가 내장된 DRAM을 대신, 하이브리드메모리를 사용하여 DRAM에 배터리가 반드시 장착되어 있어야 한다는 참고한 논문의 가정을 무시하고, 플래시 메모리의 수명과 데이터의 신뢰성을 좀 더 높이는 부분에 초점을 맞추어 FTL알고리즘을 제안해 본다.

### 2. 관련연구

본 논문에서는 플래시 메모리의 수명을 향상시키기 위해 FTL<sup>2</sup> 알고리즘 기법을 기본 구조로 선택하였고 갑작스런 정전 시의 데이터의 신뢰성을 조금 더 높이기 위해 휘발성 메모리인 DRAM 대신 하이브리드 메인메모리 구조를 이용하여 DRAM을 사용했을 때 보다는 데이터의 신뢰성을 조금 더 높이는 기법을 제안한다. 본 장에서는 메

모리들 간의 특성을 분석하여 왜 하이브리드 메인 메모리 구조를 사용하게 됐는지, 그리고 본 논문의 기본구조인 FTL<sup>2</sup> 알고리즘에 대해 간략히 살펴보겠다.

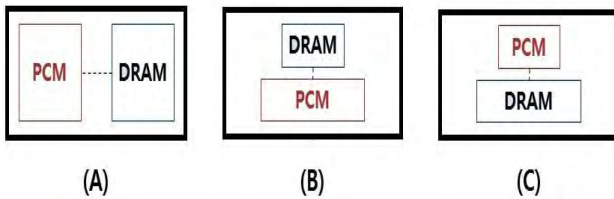
2.1 PCM or PRAM 특성 분석

<표 1> 메모리간 성능 비교 [3]

	DRAM	PCM
Non-Volatile	X	O
Write Speed	1Gbps	100MB/s
Read Latency	60ns	300ns
Write Endurance	∞	10 <sup>7</sup> ~10 <sup>8</sup>

차세대 메모리인 PCM은 DRAM과 비교해볼 때 쓰기 속도가 약 7~10배, 읽기 지연이 약 5배 정도 느리고 쓰기 연산을 하는데 횟수가 제한되어 있다는 것을 알 수 있다. 반대로 DRAM은 PCM처럼 비휘발성이 아니므로 정전 시 데이터가 보존되지 않는 단점이 있다. 그러므로 DRAM 대신 PCM로 완전 대체하기에는 아직 기술적인 문제가 있기에 PCM와 DRAM 서로의 단점을 개선할 수 있는 하이브리드 메모리 구조를 본 논문에서는 적용하여 사용하였다.

2.2 하이브리드 메인 메모리 구성도



(그림 1) 하이브리드 메인 메모리 구조도 [4]

그림 1을 보면 PCM와 DRAM 구성된 하이브리드 메모리 구조를 볼 수 있는데, 각 구조에 따라 메모리가 어떤 역할을 하는지에 따라 3가지 경우로 나눌 수 있다. (A)의 경우 PCM과 DRAM을 병렬로 연결하여 두 메모리를 동일하게 사용하는 방식이다. (B)는 DRAM을 캐시처럼 사용한 경우인데 PCM의 쓰기 연산 횟수 제한 문제점을 해결하기 위해 업데이트 연산이 많은 경우 DRAM에서 연산의 일부가 일어 날 수 있는 연구가 필요하다. 마지막으로 (C)의 경우에는 PCM을 캐시처럼 사용한 경우이다. PCM의 쓰기 횟수 제한 특성으로 연산의 대부분이 DRAM에서 이루어지도록 해야 한다. 위 3가지 경우는 정전 시 정보가 보존 될 수 있다. 하지만 앞에서 언급했다시피 (C)는 플래시메모리의 erase 제한 횟수가 충분히 남았음에도 (B)에 비해 PCM의 수명이 급방 감소하는 구조이므로 (B)보다 (C)에서 시스템의 성능이 안 좋아진다. 따라서 본 논문에서 적용할 하이브리드 메모리 구조로 (B)를 선택 할 것이고 자세한 것은 3장에서 다루겠다.

2.3 FTL<sup>2</sup>

FTL<sup>2</sup> 은 페이지 수준 매핑방법을 적용하였고 DRAM

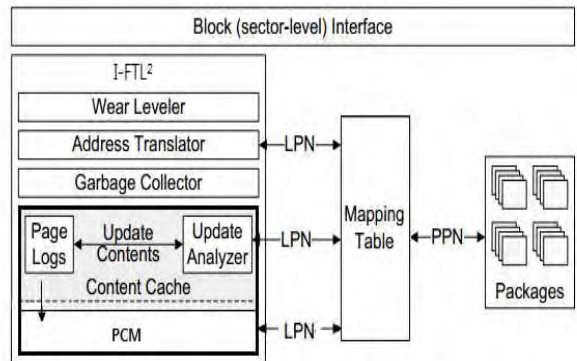
에 특별히 배터리가 내장되어 있다는 가정을 하였다 [2]. 이 알고리즘에서는 DRAM에 일부분을 할당하여 Content Cache라는 개념을 도입하였고, 그 안에 Update Analyzer라는 개념을 포함시켰다. Content Cache는 고속의 임시 저장장치로 플래시 메모리에 데이터를 쓰기 전에 먼저 이 임시 저장소에 정보를 입력한다. Update Analyzer는 XOR 연산을 통해 데이터의 업데이트되는 바이트 크기를 체크할 수 있다. 이를 통해 얻은 업데이트 되는 바이트의 크기가 시스템에서 임의로 정해놓은 업데이트 된 바이트 크기보다 크다면 플래시 메모리에 데이터를 바로 쓰지 않고 Content Cache로 보내 데이터 업데이트를 한 후 플래시 메모리로 정보를 보낸다. 반대로 시스템에서 임의로 정해놓은 업데이트 된 바이트 크기보다 작다면 기존의 페이지 수준의 매핑 방식 [5]을 따르는 알고리즘이다.

3. 본론

2.3에서 언급한 FTL<sup>2</sup> 논문에서는 DRAM에 배터리 장착이라는 가정을 통해 정전 시 정보가 날아가는 점을 방지하였다. 본 논문에서는 기본 구조는 FTL<sup>2</sup>을 따르되, 언급된 가정을 무시하고 하이브리드 메모리로 이를 대체 하여 정보의 손실을 최소화 하면서 데이터의 신뢰성을 높이고 플래시메모리의 수명을 연장시킬 수 있는 방법을 제시해 본다.

3.1 I-FTL<sup>2</sup>

본 논문에서의 알고리즘을 I-FTL<sup>2</sup> (Improved-FTL<sup>2</sup>) 임의로 명명하겠다. I-FTL<sup>2</sup>에서 DRAM의 Content Cache는 하이브리드 구조상에서 그대로 DRAM적용하고 PCM가 추가로 적용된다.

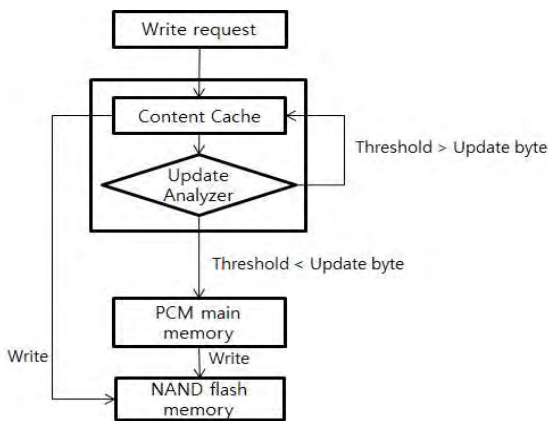


(그림 2) I-FTL<sup>2</sup>의 플래시 메모리 시스템 구조

그림 2를 보면 그 구조를 알 수 있다. I-FTL<sup>2</sup>에서 시스템 조건으로 걸 업데이트 되는 바이트의 크기(predefined threshold)는 전체 바이트 크기의 50%로 가정한다.

플래시 메모리에 업데이트 요청이 들어오면 제일 먼저 해당 데이터 정보를 Content Cache로 넘긴다. 이 후 Update Analyzer가 XOR연산을 통해 데이터의 크기를 측정한다. 예를 들어 연속된 쓰기 요청이 들어올 경우, 처음

의 쓰기 요청 A데이터(00000000)는 Content Cache에 들어간다. 후에 들어오는 A'데이터(01000000) 업데이트 요청이 들어오면 먼저 Content Cache로 이 데이터가 넘어가고 내부의 Update Analyzer에 의해 업데이트된 크기가 1byte라는 것을 알 수 있다(각 자리는 1byte라고 가정한다). 전체 데이터 크기가 8byte이므로 predefined threshold는 4byte이고 업데이트 될 바이트의 크기는 1byte이므로 A'데이터는 그대로 Content Cache에 머물러 해당데이터의 업데이트가 이루어 질 것이다. 이와는 반대로 만약 업데이트 될 A'데이터의 크기가 5byte라면 predefined threshold는 4byte이므로 PCM으로 데이터가 넘어가게 되고 PCM에서 업데이트가 이루어지게 된다. 이후의 플래시 메모리에 쓰기 과정은 기존의 페이지 매핑방식과 FTL<sup>2</sup>의 기본 구조를 따른다. 그림 3은 대략적인 I-FTL<sup>2</sup>의 순서도를 나타낸다.



(그림 3) I-FTL<sup>2</sup>의 순서도

#### 4. 결론

본 논문에서는 정전 시 DRAM의 휘발성 문제로 인한 데이터 신뢰성 악화를 해결하기 위해 하이브리드 메인 메모리를 적용하였다. 업데이트 되는 데이터 바이트의 크기에 따라 DRAM과 PCM영역으로 데이터가 임시로 이동이 되어 해당 영역에서 업데이트가 이루어진 후 플래시 메모리에 기입되는 알고리즘을 제안하였는데, 이는 모든 업데이트 요청이 끝난 후 해당 메모리에서 업데이트가 이루어진 것이므로 플래시 메모리로 기입되는 과정에서 불필요한 쓰기 연산 과정이 생략되어 플래시 메모리의 더 오랜 사용이 가능하다. 또한 기존의 FTL<sup>2</sup>에서 배터리 장치가 없다면 정전 시 Content Cache에 기록된 정보들은 모두 사라져버리게 되어 데이터의 신뢰성이 악화되는 반면, I-FTL<sup>2</sup>에서는 정전이 발생하더라도 업데이트가 많이 이루어진 부분에 대해서는 PCM에 정보가 그대로 저장되어 있기에 기존의 FTL<sup>2</sup>보다 데이터의 신뢰성이 높아지게 된다.

#### 5. 향후 연구계획

앞으로 연구계획은 본 논문에서 제시한 알고리즘을 바탕으로 predefined threshold가 50%일 때와 40%혹은 60%일 때 데이터 보존성과 및 PCM의 수명을 체크 할 계획이며, block매핑기법을 적용하여 기존의 하이브리드 메인 메모리에서의 단점인 PCM의 쓰기 제한에 관한 문제점 해결에 대해서도 추가적인 연구를 할 계획이다.

#### 6. 사사글

이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2013R1A1A2A10012956, 2013R1A1A2061390)

#### 참고문헌

- [1] Moinuddin K. Qureshi, Vijayalakshmi Srinivasan, and Jude A. Rivers, "Scapable high performance main memory system using phase-change memory technology", Proceedings of the 36th annual international symposium on Computer architecture, pp.24-33, 2009
- [2] Tianzheng Wang, Duo Liu, Yi Wang and Zili Shao, "FTL<sup>2</sup>: a hybrid flash translation layer with logging for write reduction in flash memory", Proceedings of the 14th ACM SIGPLAN/SIGBED conference on Languages, compilers and tools for embedded systems, 2013
- [3] Eilert, Sean, Mark Leiwander, and Giuseppe Crisenza, "Phase Change Memory: A new memory enables new memory usage models", IEEE International Memory Workshop, 2009
- [4] Benjamin C Lee, Engin Ipek, Onur Mutlu, and Doug Burger, "Archtecting phase change memory as a scalable dram alternative", Proceedings of the 36th annual international symposium on Computer architecture, pp2-13, 2009
- [5] Se Jin Kwon, Arun Ranjitkar, Young-Bae Ko, Tae-Sun Chung: FTL algorithms for NAND-type flash memories. Design Autom. for Emb. Sys. 15(3-4): 191-224 (2011)