

# 소프트웨어 제어 메모리를 위한 데이터 재사용 분석 기법

조중석, 조두산, 정유진, 박소라, 조수민  
순천대학교 전자공학과  
e-mail : mew26@snu.ac.kr

## Data Reuse Analysis Technique for Software Controlled Memory Hierarchy Design

Jungseok Cho, Doosan Cho, Youjin Jung, Sora Park, Soomin Jo  
Dept. of EE, Suncheon National University

### 요 약

멀티미디어 응용을 비롯한 스트리밍 응용들에서는 메모리와 CPU 사이의 데이터 전송이 상당한 비율의 에너지 소모를 차지한다. 데이터 재사용 분석은 이러한 응용 프로그램에서 빈번히 사용되는 데이터를 고속의 저전력 메모리에 복사하도록 하여 에너지 소비를 줄일 수 있는 기회를 제공한다. 본 연구에서는 데이터의 재사용 분석을 통하여 프로그램이 최적화되도록 자동화된 기법을 제안하고 있다. 제안하는 기법을 사용할 경우 메인 메모리만 사용하는 경우에 비하여 절반 정도의 에너지 소비를 줄일 수 있다.

### 1. 서론

데이터 재사용 분석은 메모리계층에서 에너지 소비 효율 개선을 위하여 필수적인 요소중의 하나이다. 빈번히 사용되는 데이터의 복사본을 저전력 메모리에 복사하여 사용함으로써 메인 메모리 액세스 회수를 줄여 에너지 효율 및 실행속도 개선에 크게 기여할 수 있게 된다. 이러한 목적으로 기존에 사용되던 방식이 하드웨어에 의하여 자동으로 실행되는 캐시 메모리가 있다. 하지만 데이터 재사용정보 없이 데이터의 복사본을 배치하기 때문에 실제로 빈번히 사용되지 않는 데이터까지 복사본을 구성하여 메모리 공간 및 에너지 효율 개선에 부정적인 결과를 초래하는 경우도 발생한다. 이러한 캐시메모리의 단점을 커버하기 위하여 제안된 것이 소프트웨어 제어 메모리인 스크래치 메모리 (scratchpad memory)이다. 스크래치패드 메모리의 경우 데이터의 재사용 분석을 통하여 데이터 배치를 결정하기 때문에 하드웨어 제어 캐시 메모리에 비하여 최적화된 결정을 할 수 있게 된다.

### 2. 관련연구

많은 연구들이 데이터 재사용 분석에 대한 기법들을 발표하였다. 특히 루프 코드의 변환 기법 (transformation [1][2])을 이용하여 하드웨어 캐시 메모리의 지역성 개선과 관련된 내용이 많았다. 본 연구에서는 지역성 개선에 대한 내용은 다루지 않으며 우리는 먼저 이러한 변환 기법들이 적용된 상태라

고 가정하였다.

IMEC 연구소에서 데이터 전송과 메모리 계층 설계 자동화에 대한 연구를 진행하였다 [3]. 이 연구에서는 데이터 재사용 분석을 다루었다. 하지만 아직까지 재사용 분석 문제를 완전히 다루고 있지는 못하였다. [4]에서 스크래치패드 메모리 크기와 전력 소모량 사이의 트레이드오프 문제를 처음 다루었다. 하지만 아직 최적의 데이터 배치 문제와 재사용 분석문제를 동시에 다루었던 연구는 없었다.

### 3. 제안하는 기법

```

for i=0 to 10
  for j=0 to 10
    for k=0 to 3
      val = f(val)
      val +=
        A[50i+3j+k]
int buf[1]
for i=0 to 10
  buf[0]=A[50i]
  for j=0 to 10
    for k=0 to 3
      if (k==3) buf[0]=A[50i+3j+3]
      val = f(val)
      val += (k%3==0)?
        buf[0]:A[50i+3j+k]

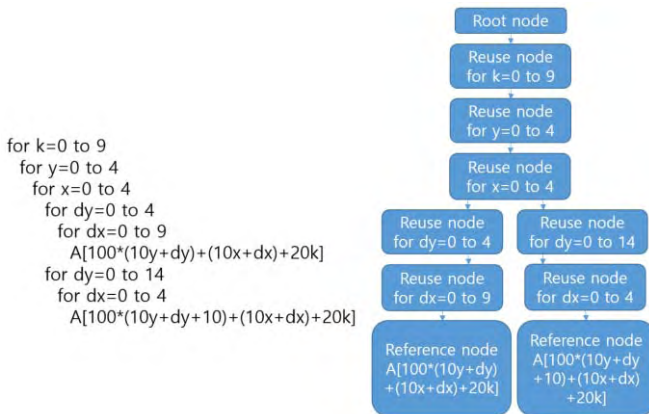
```

(그림 1) 제안하는 기법 적용 결과

제안하는 기법은 재사용 데이터를 검출하고 검출된 데이터 들이 버퍼로 정의된 공간에 적시에 저장되도록 코드를 변환한다. 버퍼로 정의된 공간은 스크래치패드 메모리 공간으로 저장된다. 이때 이러한 재사용 데이터들이 버퍼로 복사되는 시점과 제거되는 시점을 결정해야 하고 이것이 프로그램 수행 중에 동적으로

진행 되어야 한다. 이러한 복사 업데이트 등을 위한 코드가 추가되어야 할 것이다. 그림 1 에 본래 코드 (좌)와 수정된 코드 (우)가 있다. 제안된 기법은 루프 코드에서 사용되는 어레이 변수에 적용가능하며 어레이 변수의 인덱싱 함수는 선형함수이어야 한다. 그림 1 의 본래 코드는 534 개 데이터를 담을 스크래치 패드 공간이 필요하다. 하지만 오른쪽의 수정된 코드에서는 1 개의 스크래치 패드 공간이면 재사용 데이터를 모두 담을 수 있게 된다.

제안하는 기법은 재사용 트리를 구성하여 재사용 분석을 진행한다.



(그림 2) 데이터 재사용 트리

그림 2 와 같이 데이터 재사용 트리를 통하여 최하단 잎노드의 참조 함수에 의한 재사용 빈도를 계산할 수 있다. 잎 노드의 함수에 각 재사용 노드의 값들을 대입하여 A 어레이의 인덱스 중에서 중복해서 나타나는 인덱스를 저장하고 재사용 빈도까지 계산할 수 있게 되는 것이다. 알고리즘은 다음과 같다.

1. reference node 들을 차례대로 방문
2. root node 까지 차례대로 reuse node 를 방문
3. reuse node 의 인덱스 변수값을 시작(0)에서부터 끝(4or14or9)까지 대입하여 참조되는 인덱스를 저장
4. 중복되어 참조되는 인덱스는 카운트를 별도로 저장함
5. 2 번 이상 참조되는 어레이 인덱스는 별도로 보관
6. 별도로 보관된 데이터가 스크래치패드 메모리에 저장될 데이터의 인덱스로 결정
7. Reference node 별로 스크래치패드 메모리에 저장할 데이터의 인덱스 개수와 동일한 크기의 buf[]을 삽입함
8. buf[]에 해당 데이터가 저장되도록 코드를 수정
9. 해당 데이터가 참조될 때 buf[]을 사용하도록 코드를 수정함

#### 4. 실험

본 연구에서 실험의 목적은 스크래치패드 메모리를 사용한 제안된 기법과 제안된 기법을 사용하지 않는 메인메모리 시스템의 전력소모량 비교를 통하여 제안된 기법의 효과를 보이는데 있다.

우리는 Pentium 개인용 PC 에서 SimpleScalar 시뮬레이터 [5]를 사용하여 실험을 진행하였다. CACTI 모델 [6]을 사용하여 에너지 소모량을 측정하였다. 128KB 메인메모리와 130nm 공정에서 실험하였다. 실험 대상 벤치마크 코드로 Laplace, QSDPCM 두개 멀티미디어 애플리케이션 프로그램을 사용하였다. 양쪽 모두에서 동일하게 58%의 에너지 절감 효과를 확인할 수 있었다. 이러한 결과를 얻을 수 있는 이유는 첫째로 스크래치패드 메모리가 메인메모리에 비하여 매우 저전력으로 구동되는 메모리이기 때문이며, 둘째 재사용 분석을 통하여 2 번이상 참조되는 데이터만 저전력 메모리에서 사용되도록 복사본을 만들었기 때문에 이를 통한 이득이 크기 때문이다. 셋째, 스크래치패드 메모리는 하드웨어 제어 캐시 메모리와 비교하여도 50%이상 면적, 전력소모 측면에서 효율적이기 때문에 이를 활용하는 시스템이 큰 이득을 갖기 때문이다. 제안하는 기법은 그림 1 과 같이 코드 크기가 증가하는 오버헤드를 내포하고 있다. 상기 언급된 두개 벤치마크에서 각각 1.68, 1.78 배 증가된 것을 확인하였다.

#### 5. 결론

본 연구에서는 데이터 재사용 분석을 이용하여 저전력 메모리의 효율적인 사용을 돕고, 결과적으로 전력소모 절감과 실행시간 개선을 얻을 수 있는 기법을 제안하고 있다.

#### Acknowledgement

이 논문은 2010 년도 정부 (교육부)의 재원으로 한국연구재단 기초연구사업(2010-0024529), 2014 년도 정부 (교육부)의 재원으로 한국과학창의재단 (대학생 창의융합형 연구과제 지원사업)의 지원을 받아 수행된 연구임.

#### 참고문헌

- [1] D.F. Bacon, S.L. Graham et al., "Compiler transformations for high performance computing", ACM Computing Survey, 26(4), 1994.
- [2] K. McKinley, S. Carr, and C.-W. Tseng, "Improving data locality with loop transformations", ACM Trans. On Programming Languages and Systems, 18(4), July 1996.
- [3] J. Diguët, S. Wuytack, F. Catthoor, and H.De Man, "Formalized methodology for data reuse exploration in hierarchical memory mappings", In proceedings of the IEEE international symposium on low power design, 1997.
- [4] T. Van Achteren, F. Catthoor, R. Lauwereins, G. Deconinck, "Search space definition and exploration for nonuniform data reuse opportunities in data dominant applications", ACM Trans. On Design Automation of electronic systems, 2003.
- [5] D. Burger and T.M. Austin, "The simpleScalar tool set Ver.2.0" In technical report 1342, Univ. of Wisconsin Madison, 1997.
- [6] P. Shivakumar, N. Jouppi, "CACTI 3.0: an integrated cache timing, power, and area model", WRL technical report 2001/2, 2001.