

## Positive bias stress하에서의 electric field가 a-IGZO TFT의 비대칭 열화에 미치는 영향 분석

## Effect of electric field on asymmetric degradation in a-IGZO TFTs under positive bias stress

이다은<sup>a</sup>, 정찬용<sup>a</sup>, Jin Xiao-Shi<sup>b</sup>, 권혁인<sup>a\*</sup><sup>a\*</sup>중앙대학교 전자전기공학부 (E-mail:hyuckin@cau.ac.kr)<sup>b</sup>School of Information Science and Engineering, Shenyang University of Technology, China

**초 록 :** 본 논문에서는 gate와 drain bias stress하에서의 a-IGZO thin-film transistors (TFTs)의 비대칭 열화 메커니즘 분석을 진행하였다. Gate와 drain bias stress하에서의 a-IGZO TFT의 열화 현상은 conduction band edge 근처에 존재하는 oxygen vacancy-related donor-like trap의 발생으로 예상되며, TFT의 channel layer 내에서의 비대칭 열화현상은 source의 metal과 a-IGZO layer간의 contact에 전압이 인가되었을 경우, reverse-biased Schottky diode에 의한 source 쪽에서의 높은 electric field가 trap generation을 가속화시킴으로써 일어나는 것임을 확인할 수 있었다.

## 1. 서론

A-IGZO thin-film transistors (TFTs)는 기존의 실리콘 기반의 TFT에 비해 높은 이동도와 우수한 균일성, 소자의 안정성 등의 우수한 특성으로 인해 차세대 디스플레이 소자로서 각광받고 있다[1]. a-IGZO TFT를 디스플레이의 pixel driver나 integrated circuit (I.C)에 적용하기 위해서는 소자의 전기적 신뢰성에 대한 이해가 매우 중요하다. a-IGZO TFT의 장기적 신뢰성 확보에 대한 많은 연구가 진행 중에 있지만 지속적인 노력에도 불구하고 소자의 상용화에 있어 여전히 큰 장애물로 남아있다. 현재까지 여러 그룹에서 positive bias stress (PBS) [2-3]와 negative bias illumination stress (NBIS) [4-5] 인가 후의 소자의 특성 변화에 대한 연구를 보고했고 최근에는 gate와 drain 전극에 동시에 bias stress 인가 후의 신뢰성 분석 [6-9]에 대한 연구가 주목받고 있다. 국내외 여러 그룹에서 bias stress 인가 후의 특성에 대해 보고하였으나 열화 메커니즘에 대한 분석은 여전히 불완전하다. 본 논문에서는 gate와 drain 전극에 동시에 bias stress를 인가한 경우의 열화 특성을 이해하는데 목적을 두고 열화 메커니즘 규명을 위해 SILVACO사의 ATLAS를 이용한 2차원 소자 simulation[10]을 진행하였으며, 측정된 data를 이용하여 source와 drain에서의 subgap density of states (DOS)를 분리 추출하였다.

## 2. 본론

그림 1(a)는 선형 영역 ( $V_{DS} = 0.1 V$ )에서의  $V_{GS} = V_{DS} = 16 V$  stress 조건하에서의 시간에 따른 transfer curve의 변화이다. Transfer curve는 stress를 인가하는 시간이 증가할수록 subthreshold swing (SS)의 열화가 발생하며, negative한 방향으로 이동하는 것을 확인하였다. 본 그룹의 선행 연구[8]에서 언급한 바와 같이, gate와 drain에 동시에 bias stress를 인가하는 동안 transfer curve가 negative한 방향으로 이동하는 이유는 positive charge의 생성이 주된 원인으로 보며, 이 때 생성된 positive charge는 conduction band edge 근처에 존재하는 oxygen vacancy-related donor-like trap으로 예상하였다. 그림 1(b)는 1000초의 stress 후에 포화영역 ( $V_{DS} = 15 V$ )에서의 forward와 reverse mode의 transfer curve이며 reverse mode는 source와 drain을 바꾼 후에 측정한 curve이다. 그림 1(b)에서, reverse mode에서의 transfer curve보다 forward mode에서 더욱 크게 negative한 방향으로 이동한 것을 확인할 수 있다. 이는 stress 인가 후, TFT의 source 쪽에 positive charge가 더 많이 생성되어 분포하고 있음을 보여주는 결과이다[8]. 더불어, capacitance-voltage (C-V) 측정을 해 본 결과, 그림 1(c)와 (d)에서와 같이, C-V 특성 또한 bias stress 인가 후에 source와 drain쪽 모두 transfer curve의 negative shift 경향성과 일치하는 것을 확인할 수 있었으며,  $C_{GS}-V_G$  curve에서 더 큰 negative shift와 hump-like한 현상을 관찰할 수 있었다. 이와 같은  $C_{GS}-V_G$  curve에서의 hump-like한 현상은 국부적인 positive charge의 생성이 source쪽에서 더 크게 발생[11]한 결과로 볼 수 있으며, 그림 1(b)의 forward mode의 transfer curve가 더 negative하게 위치하는 것을 뒷받침한다. 이와 같이 gate와 drain 전극에 동시에 bias stress를 인가한 후에 비대칭적으로 열화가 일어나는 현상에 대한 해석을 위해 electric field simulation과 subgap DOS 추출을 진행하였다. 그림 2(a)는  $V_{GS} = V_{DS} = 16 V$ 의 bias 조건에서의 lateral electric field의 분포이다. 계산된 simulation data에서 electrical field의 최댓값은 source 쪽에 위치하는 것을 확인하였다. 그 이유는 source의 metal과 a-IGZO layer간의 contact에 전압이 인가되었을 경우, reverse-biased Schottky diode에 의해 매우 큰 전압강하가 source 쪽에 생기기 때문이다[9]. 이와 같이 source 쪽에서의 높은 electric field는 positive charge의 생성을 가속화시킨다. 그림 2(b)는  $V_{GS} = V_{DS} = 16 V$  stress 인가 전후에 source와 drain에서 분리하여 추출한 subgap DOS 결과로, forward와 reverse mode 각각에서의 subthreshold 영역 drain 전류 특성을 이용하여 계산하였다[12]. Bias stress 인가 전의 source와 drain의 subgap DOS는 거의 유사한 반면, stress 인가 후의 양은 drain쪽 보다 source 쪽에서 더 크게 증가한 것을 확인하였다. 이 결과는  $V_{GS} = V_{DS} = 16 V$  stress 인가 후에 a-IGZO TFT의 source쪽의 high electric field에 의해 conduction band edge 근처의 donor-like trap이 drain쪽 보다 현저하게 발생하는 메커니즘을 뒷받침한다.

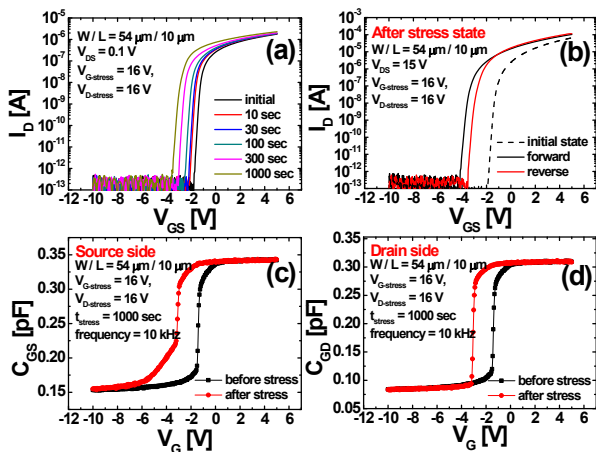


Fig 1(a).  $V_{GS} = V_{DS} = 16$  V stress 조건하에서의 transfer curve의 변화 (선형영역,  $V_{DS} = 0.1$  V). (b)  $V_{GS} = V_{DS} = 16$  V stress 1000초 후의 forward와 reverse mode에서의 transfer curve의 비교 (포화영역,  $V_{DS} = 15$  V).  $V_{GS} = V_{DS} = 16$  V stress 전후의 C-V 특성 ( $f = 10$  kHz) : (c) source side. (d) drain side.

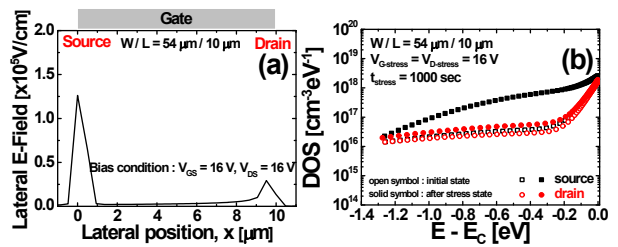


Fig 2(a).  $V_{GS} = V_{DS} = 16$  V bias 조건에서의 lateral electric field의 분포. (b) a-IGZO TFT에서  $V_{GS} = V_{DS} = 16$  V stress 인가 전후에 source와 drain에서 분리하여 추출한 subgap DOS.

### 3. 결론

본 논문에서는 a-IGZO TFT의 비대칭적인 열화 메커니즘에 대해 보고하였다.  $V_{GS} = V_{DS} = 16$  V stress 조건 하에서 stress 인가 시간이 증가함에 따라 negative shift하는 정도와 SS가 증가하였다. 또한 포화영역에서의 forward mode가 reverse mode의 transfer curve보다 더 negative하게 위치하였는데 이는 oxygen vacancy-related donor-like trap이 source 쪽에서 더 많이 발생하기 때문이다. 소자의 열화 메커니즘 규명을 위해 2차원 소자 simulation을 진행한 결과 reverse-biased Schottky diode로 인해 source 쪽에서 lateral electric field의 최댓값을 확인하였다. 이는 high electric field에 의해 drain보다 source 쪽에서 더 큰 열화가 발생하였음을 의미한다. 또한 bias stress 후에 source와 drain에서 분리 추출한 subgap DOS는 bias stress 전에 비해 source 쪽에서 더 많이 증가하였으며 이는 source쪽에서 conduction band edge 근처의 donor-like trap이 더 많이 발생하였음을 뒷받침한다.

### Acknowledgements

“이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단-나노·소제기술개발사업의 지원을 받아 수행된 연구임” (2009-0082580)

### 참고문헌

- [1] K. Nomura, et al., Nature, 432(2004) 488.
- [2] J. M. Lee, et al., Appl. Phys. Lett., 93(2008) 093504.
- [3] T. C. Chen, et al., Appl. Phys. Lett., 99(2011) 022104.
- [4] H. Oh, et al., Appl. Phys. Lett., 97(2010) 183502.
- [5] Y.-G. Chang, et al., IEEE Electron Device Lett., 32(2011) 1704.
- [6] M. Fujii, et al., Jpn. J. Appl. Phys. 48(2009) 04C091.
- [7] M. Mativenga, et al., Appl. Phys. Lett., 102(2013) 023503.
- [8] C.-Y. Jeong, et al., Semicond. Sci. Technol., 29(2014) 045023.
- [9] S. M. Lee, et al., IEEE Trans. Device Mater. Rel., 14(2014) 471.
- [10] [http://silvaco.com/products/device\\_simulation/atlas.html](http://silvaco.com/products/device_simulation/atlas.html)
- [11] S.-Y. Huang, et al., Appl. Phys. Lett., 100(2012) 222901.
- [12] Y. Deng, et al., J.Electron.Mater., 35(2006) 618.