

LPN(Low Pass Notch) PLL 기법을 활용한 계통연계형 PCS에서의 LVRT 알고리즘 구현

신동설*, 이경준*, 김희제*, 이종필**, 김태진**, 유동욱**
 부산대학교 전기공학과*, 한국전기연구원**

Implementation of LVRT algorithm of Grid-Connected PCS with Low Pass Notch PLL Technique

Dongsul Shin*, Kyoung Jun Lee*, Hee Je Kim*, Jong Pil Lee**, Tae Jin Kim**, Dong Wook Yoo**

Dept. of Electrical and Electronics Engineering, Pusan National University*
 Korea Electrotechnology Research Institute (KERI)**

ABSTRACT

태양광과 풍력발전 등 분산전원의 대용량 발전이 기존 계통에 미치는 영향이 커짐에 따라, 계통 전압의 안정적인 유지를 위해 필요한 지원이 계통에 연계되는 분산전원들에게 요구되고 있다. 특히나 Low Voltage Ride Through (LVRT) 시에는 계통에서 탈락되지 않는 것은 물론이고, 계통전압 회복을 돕기 위해 무효전력을 주입해야 한다. 이러한 사고 상황에서 계통에서 탈락되지 않고 계속적인 계통지원을 위해서는 빠르고 정확한 위상 추종이 필수적이다. 본 논문은 고조파에 강인하고 응답특성이 우수한 Low Pass Notch (LPN) PLL 기법을 LVRT에 적용하여 이의 우수함을 확인한다.

1. 서론

현재, 태양광과 풍력발전 등과 같은 신재생에너지의 대용량 발전 사례가 우리나라뿐만 아니라 세계적으로 확대되고 있는 추세이다. 이러한 신재생에너지의 발전 용량이 증가함에 따라, 연계되는 계통에 미치는 영향은 계통 운영자 입장에서는 무시할 수 없는 부분이 되고 있다. 따라서 유럽을 비롯한 주요 선진국에서는 대용량 전력변환장치가 계통에 연계되는 경우를 위해, 각 나라마다 LVRT 규정을 제정하고, 이에 대해 규제하고 있는 실정이다. LVRT 혹은 Fault Ride Through (FRT) 상황 시에는 계통에서 탈락되지 않는 것은 물론이고, 계통 전압 회복을 돕기 위해 무효전력을 주입해야 한다. 이러한 LVRT 규정을 만족시키기 위해서는, 급작스런 계통 전압의 변화 중에서도 정확한 위상을 추종하는 것이 중요하다. 본 논문은 계통연계형 PCS에서 적용할 수 있는 여러 가지 계통 위상 추종(PLL) 방법 가운데 고조파에 강인하고 응답특성도 우수한 Low Pass Notch (LPN) PLL 방법을 적용하여 LVRT 기능을 구현하였다. 10kW급으로 주요 나라 LVRT 규정을 만족할 수 있는 LVRT 테스트 시제품을 제작하고, 10kW급 계통연계형 PCS와 LVRT 통합시험을 통해 LPN PLL의 우수함을 확인하였다.

2. LPN-PLL

그림. 1은 LPN PLL의 블록 다이어그램을 보여준다. 기존의

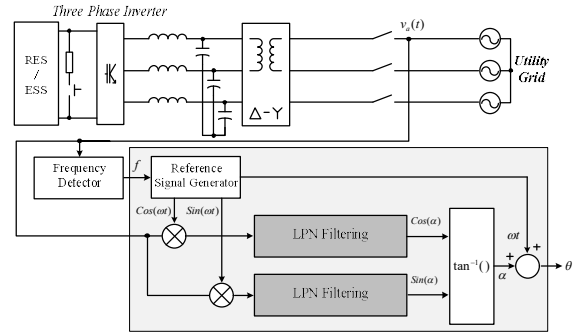


그림. 1 LPN PLL 블록 다이어그램
 Fig. 1 A block diagram of LPN PLL

FFT 기반의 PLL은 이동평균 방식을 사용하여 위상각을 계산하였지만, 이를 LPN Filter로 대체하면서 기존에 가지고 있던 고조파에 강인한 특성과 더불어, 더 빠른 응답특성을 얻을 수 있다. LPN filter는 수식 (1)과 같고 $H_L(z)$ 는 Low Pass, $H_N(z)$ 는 Notch Filter를 의미한다. 그림 2는 LPN PLL 성능평가를 위한 실험 결과이다. 고조파에 대한 강인함과 빠른 응답 특성을 보여준다.

$$H_{LPN}(z) = H_L(z)H_N(z) = \left[\frac{b_{L0} + b_{L1}z^{-1} + b_{L2}z^{-2}}{1 + a_{L1}z^{-1} + a_{L2}z^{-2}} \right] \left[\frac{b_{N0} + b_{N1}z^{-1} + b_{N2}z^{-2}}{1 + a_{N1}z^{-1} + a_{N2}z^{-2}} \right] \quad (1)$$

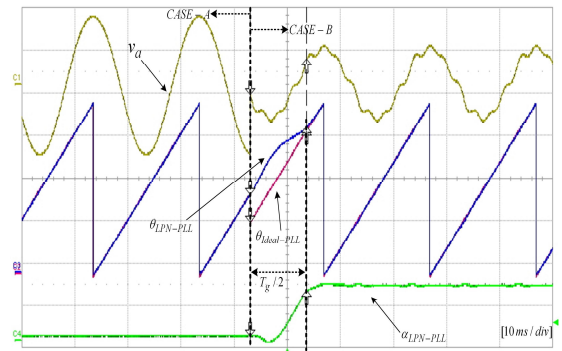


그림. 2 LPN PLL 성능평가
 Fig. 2 Evaluation of LPN PLL performance

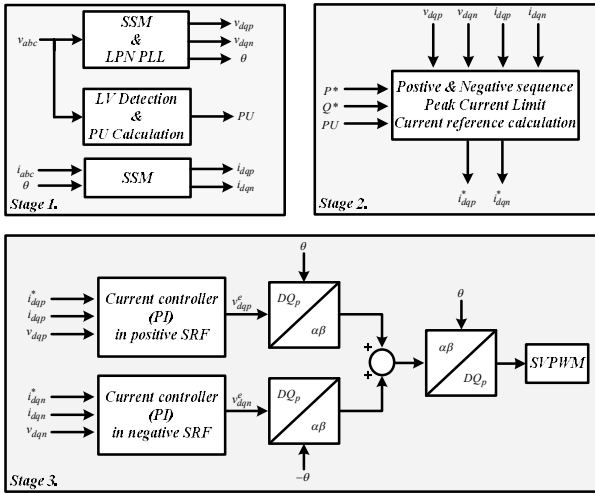


그림. 3 LVRT 제어기법 블록 다이어그램
Fig. 3 A block diagram of LVRT control technique

3. LVRT 제어기법

LVRT 제어기법은 3가지 단계로 이루어지는데 그림 3 은 각 단계에서 수행되어지는 기능들을 블록 다이어그램으로 보여 준다. 1단계에서는 Sequence Separation Method (SSM) 를 통해 계통전압의 정,역상분을 분리하고, LPN PLL를 통해서 계통 전압의 위상각을 추종한다. 그리고 계통전압의 크기를 PU 표 기법을 사용하여 표기하고, Low Voltage (LV) 여부를 확인한 다. 마지막으로 계통전류 또한, SSM 를 통해서 정,역상분을 분 리한다.

2단계에서는 SSM을 통해서 얻은 계통전압의 정,역상분과 PU값을 가지고, 전류제어를 위한 전류 지령치를 계산한다. 이 때 PU값을 통해서 LV 상황에 맞는 유, 무효 전력을 수식 (2) 를 통해서 계산하고, 이를 통해 얻은 전력 지령치는 수식 (3)을 통해 전류제어에 필요한 전류 지령치를 계산하는데 사용된다.

$$P_{ref}^* \text{ and } Q_{ref}^* \begin{cases} \text{when, } 0.0 \leq PU \leq 0.5 & \begin{cases} P_{ref}^* = 0.0 \\ Q_{ref}^* = P_{Max_rated} \end{cases} \\ \text{when, } 0.5 < PU \leq 0.9 & \begin{cases} P_{ref}^* = \sqrt{(P_{Max_rated})^2 - (Q_{ref}^*)^2} \\ Q_{ref}^* = 2 \cdot (1 - PU) \cdot P_{Max_rated} \end{cases} \\ \text{when, } 0.9 < PU \leq 1.0 & \begin{cases} P_{ref}^* = P_{Max_rated} \\ Q_{ref}^* = 0.0 \end{cases} \end{cases} \quad (2)$$

$$I_d^{p*} = \frac{2}{3} \left(\frac{E_d^p}{X} P_{ref}^* + \frac{E_q^p}{Y} Q_{ref}^* \right) \quad I_d^{n*} = \frac{2}{3} \left(-\frac{E_d^n}{X} P_{ref}^* + \frac{E_q^n}{Y} Q_{ref}^* \right)$$

$$I_q^{p*} = \frac{2}{3} \left(\frac{E_q^p}{X} P_{ref}^* - \frac{E_d^p}{Y} Q_{ref}^* \right) \quad I_q^{n*} = \frac{2}{3} \left(-\frac{E_q^n}{X} P_{ref}^* - \frac{E_d^n}{Y} Q_{ref}^* \right) \quad (3)$$

3단계에서는 정,역상분 각각의 동기좌표계에서 2단계에서 얻 은 전류 지령치와 PI제어기를 사용하여 전류를 제어하고 이 결 과를 사용하여 Space Vector Pulsewidth Modulation (SVPWM) 통해 인버터의 스위칭을 결정한다.

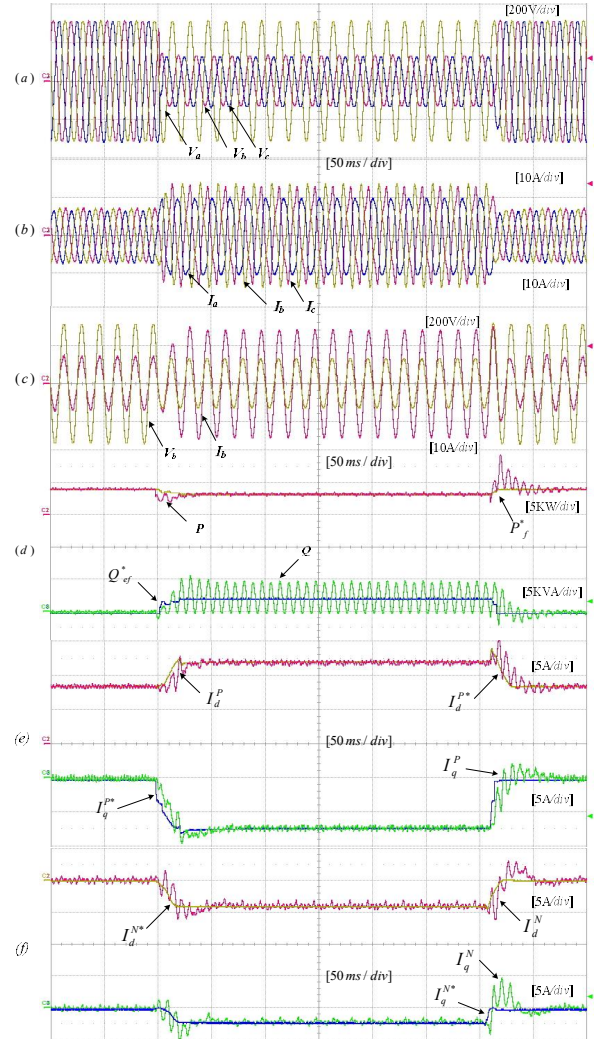


그림. 4 LVRT 실험결과 - 불평형 60% 세그 발생
Fig. 4 Experimental results of LVRT performance under 60% sag

4. 실험결과

그림 4 는 계통전압 B, C상 불 평형 60% 세그가 발생했을 시의 LVRT 실험 결과를 보여준다. 급작스런 계통 전압의 변화에도 탈락 없이 무효전력을 공급해 주고 있는 것을 확인할 수 있다.

5. 결론

본 논문은 LVRT 성능 향상을 위해서 LPN PLL의 강점인 강인함과 빠른 응답 특성을 활용하였다. LVRT 상황 발생 시 빠르고 정확하게 계통 위상각을 추종하여, 계통에서 탈락되지 않고 적절하게 대응하는 것을 확인하였다.

참고 문헌

[1] K. Lee, J. Lee, D. Shin, D. Yoo, H. Kim, "A Novel Grid Synchronization PLL Method Based on Adaptive Low Pass Notch Filter for Grid connected PCS," *IEEE Trans. Ind. Electron.*, vol. PP, no. 99, pp. 1, 1, 0 ; doi: 10.1109/TIE.2013.2245622