

# 3-레벨 T-type 인버터에 적용 가능한 저가형 게이트 드라이버 설계

정준형, 김동빈, 박상우, 염한범 김장목  
부산대학교

## A Low Cost Gate Drive Circuit Design Based on Bootstrap Circuit for 3-level T-type Inverter

Jun Hyung Jung, Dong Bin Kim, Sang Woo Park, Han Beom Yeom, Jang Mok Kim  
Department of Electrical Engineering, Pusan National University, Busan 609-735, KOREA

### ABSTRACT

본 논문에서는 3 레벨 T type 인버터에 적용 가능한 저가형 게이트 드라이버 회로를 설계하였다. 게이트 드라이버 회로는 구조가 간단하고 가격 대비 효율적인 부트스트랩 회로가 적용되었다. 3 레벨 NPC 인버터와 비교했을 때 T type 인버터는 구조적 특징으로 인해 NPC 인버터와는 다른 게이트 드라이브 회로가 필요하다. 그러므로 본 논문에서는 T type 인버터에 적용되는 부트스트랩 게이트 드라이버 회로를 설계하였으며 안정적인 회로 동작을 위한 부트스트랩 캐패시터의 용량 선정식을 제안하였다. 설계한 게이트 드라이버 회로는 시뮬레이션을 통해 검증하였다.

### 1. 서 론

최근 멀티레벨 인버터 시스템의 효율성을 증가시키기 위해 여러 종류의 인버터 회로가 연구되었다. 그 중 다른 멀티레벨 인버터와 비교하여 도통 손실이 적은 3 레벨 T type 인버터에 대한 연구가 많이 진행되고 있다.<sup>[1]</sup> T type 인버터는 그림 1에서 나타난 것처럼 기존의 2 레벨 인버터에 DC단 중성점을 연결하는 양방향 스위치를 추가하여 3 레벨의 상 전압 출력이 가능하다. NPC 인버터와 비교하여 구성 부품의 수가 적으며 도통 손실이 작으므로 더 효율적이다.

부트스트랩 게이트 드라이브 회로는 구조가 비교적 간단하며 비용 대비 효율적이므로 저용량 멀티레벨 인버터에 적합한 방식 중 하나이다.<sup>[2]</sup> 하지만 원활한 인버터 스위칭 동작을 위해 부트스트랩 회로 내부의 캐패시터 전압을 일정한 값 이상으로 유지해야하기 때문에 인버터 스위칭 동작 시 주의해야 한다.

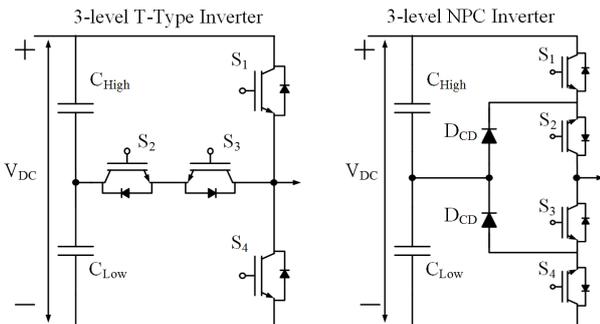


그림 1 3상 3-레벨 T-type 인버터와 NPC 인버터  
Fig. 1 Three-level T-type Inverter and NPC Inverter

따라서 본 논문에서는 부트스트랩 회로의 충, 방전 특성을 고려하여 3 레벨 T type 인버터에 적용 가능한 저가형 게이트 드라이브 회로를 설계하였다. 게이트 드라이버는 비용 대비 효율적인 부트스트랩 회로가 사용되었으며 원활한 인버터 동작을 위한 부트스트랩 캐패시터의 최소 용량 값을 선정하였다. 제안한 게이트 드라이버 회로와 캐패시터 용량 선정은 시뮬레이션을 통해 타당성을 증명하였다.

### 2. 부트스트랩 회로가 적용된 3-레벨 T-type 인버터

현재까지 멀티레벨 인버터 적용한 부트스트랩 게이트 드라이브 회로에 대한 연구는 주로 NPC 인버터를 대상으로 진행되어왔다. 3 레벨 NPC 인버터의 경우 한 상에 4개의 스위치가 직렬로 구성되어 있으므로 최하단 스위치를 제외한 나머지 3개의 스위치에 추가적인 게이트 전원의 공급이 필요하다. 이를 위해 대부분의 연구에서는 3 레벨의 부트스트랩 차지 펌프 회로를 적용하였다. 3개의 부트스트랩 회로 서로 연결되어 있으며 인버터의 스위칭 상태에 따라 각 부트스트랩 캐패시터간의 유기적인 충, 방전을 통해 일정한 전압 이상을 유지한다. 만약 캐패시터가 일정 전압 이하로 감소하게 되면 게이트 드라이버는 더이상 게이팅 신호를 스위치로 출력하지 못한다. 그러므로 인버터 동작시 주의해야한다.

3 레벨 T type 인버터의 경우 NPC 인버터와 비교하여 상대적으로 부트스트랩 게이트 드라이브 회로 구성이 간단하다. 기본적인 2 레벨 인버터에 DC단 중성점의 전압을 출력하기 위해 양방향 스위치가 추가적으로 연결된다. 양방향 스위치는 서로의 Emitter단이 연결되어 있기 때문에 하나의 게이트 전원을 통해 2개의 스위치가 동작 가능하다. 그러므로 한 상의 T type 인버터에 필요한 부트스트랩 회로는 상단 스위치 부분을 포함하여 2개이다. 또한 각 회로의 캐패시터를 충전하기 위한 전류 Loop는 서로 독립적이다. 이는 NPC 인버터에 적용되는 부트스트랩 차지 펌프 회로보다 훨씬 간단한 해석이 가능하다. 결론적으로 3 레벨 T type 인버터에 적용되는 부트스트랩 회로는 NPC 인버터에 적용되는 경우보다 회로의 수가 적으며 서로 독립적인 회로 구조를 가지므로 회로구성비용, 구조적인 측면과 해석적인 측면에서 장점을 가진다. 그림 2에서는 위에서 설명한 요소들을 고려하여 설계한 T type 인버터의 부트스트랩 회로와 캐패시터 충전 전류 Loop를 나타내었다. 표 1에서는 T type 인버터의 주요 스위칭 상태를 나타내었다.

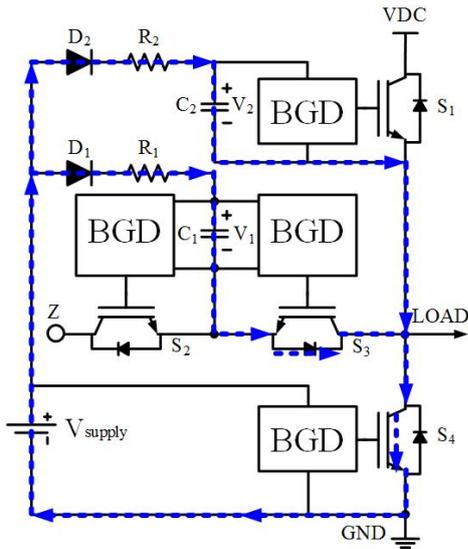


그림 2 부트스트랩 회로가 적용된 T-type 인버터  
Fig. 2 T-type Inverter based on bootstrap circuit

표 1 T-type 인버터의 주요 스위칭 상태  
Table 1 Main switching states of T-type Inverter

Switching State	S1	S2	S3	S4	Output Voltage
P	On	On	Off	Off	Vdc/2
O	Off	On	On	Off	0
N	Off	Off	On	On	Vdc/2

그림 2에서 각 부트스트랩 캐패시터의 충전은 스위치 S3와 S4가 On되는 N state에 일어난다. 각 캐패시터는 단전원 V<sub>supply</sub>에서 다이오드 D1, D2와 스위치 S4를 통해 흐르는 전류를 통해 충전된다.

부트스트랩 회로 내부의 캐패시터는 게이트 전원을 생성하는데 있어 매우 중요하다. 특히 인버터의 스위칭 동작에 따라 충전,방전을 반복하므로 원활한 게이팅 신호를 출력하기 위해서는 항상 일정한 전압 이상으로 유지되어야 한다. 따라서 회로 설계 단계에서 적절한 캐패시터 용량을 선정 할 필요가 있다. 캐패시터 용량 선정 시 고려해야할 주요 요소는 4가지가 있다. 스위칭 시 소모되는 전하량 Q<sub>total</sub>, 스위칭 주파수 f<sub>sw</sub>, 인버터 운전 주파수 f, 전압 변조 지수 MI가 있다. 이를 고려하여 캐패시터 C1과 C2의 캐패시터 용량 선정식을 계산하였다. I<sub>QBS</sub>와 I<sub>LK</sub>는 스위치 On 상태를 유지하기 위해 흐르는 전류 성분이며 T<sub>MAX</sub>는 On 상태 시간이며 스위칭 주파수의 역수이다.

$$C_1 = \frac{(Q_g + 2(I_{QBS} + I_{LK})T_{MAX})f_{sw}}{2(V_{supply} - V_{DI} - V_{DS3} - V_{CE(on)} - V_{th})f} \quad (1)$$

$$C_2 = \frac{(Q_g + (I_{QBS} + I_{LK})T_{MAX})f_{sw}}{2(V_{supply} - V_{DI} - V_{CE(on)} - V_{th})f} \quad (2)$$

#### 4. 시뮬레이션 결과

그림 3은 부트스트랩 회로가 적용된 T type 인버터를 통해 8극의 10kW 용량의 PMSM을 200rpm으로 속도 제한한 시뮬

레이션 결과이다. 부트스트랩 캐패시터는 용량 선정식 (1), (2)를 적용하여 C1은 10uF, C2는 5uF으로 선정하였다. 시뮬레이션 결과 인버터의 스위칭 동작에 따라 각 부트스트랩 캐패시터가 원활하게 충전되는 것을 확인 할 수 있다. 또한 캐패시터 방전시 한계전압 이하로 감소하지 않고 안정적으로 제어 가능함을 확인 할 수 있다. 즉 설계한 게이트 드라이브 회로가 정상적으로 동작하는 것이 확인 가능하다.

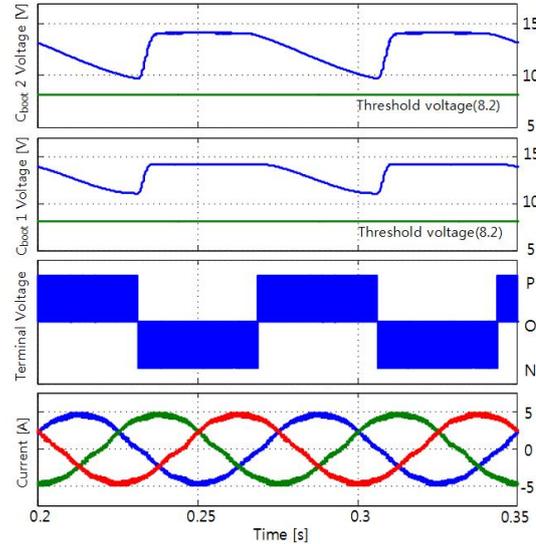


그림 3 부트스트랩 회로가 적용된 T-type 인버터의 속도 제어 시뮬레이션 결과  
Fig. 3 The simulation result T-type Inverter based on bootstrap gate drive circuit

### 3. 결론

본 논문에서는 3 레벨 T type 인버터에 적용 가능한 저가형 게이트 드라이브 회로를 제안하였다. 비용대비 효율적인 부트스트랩 회로를 사용하여 회로를 설계하였다. 설계한 게이트 드라이브 회로는 시뮬레이션을 통해 타당성을 증명하였다.

이 논문은 2012년도 정부재원(지역혁신 인력 양성 사업) 한국 연구재단의 지원을 받아 수행한 연구 과제입니다.  
(No. 2012026153)

### 참고 문헌

- [1] U. M. Choi, K. B. Lee, and F. Blaabjerg, "Diagnosis and tolerant strategy of an open switch fault for T type three level inverter systems," IEEE Transactions on Industry Applications, to be published in 2014.
- [2] J. H. Jung, H. K. Ku, W. S. Im, J. M. Kim, "A PWM control strategy for low speed operation of three level NPC Inverter based on bootstrap gate drive circuit" Proceedings of 29<sup>th</sup> Annual IEEE Applied Power Electronics Conference and Exposition(APEC2014), pp.297-302, March, 2014.