

계통 전압의 고조파 왜곡 및 3상 불평형 조건에서 최적 FFT를 이용한 향상된 위상 검출 기법

김현수, 김경화†
서울과학기술대학교

Improved Phase-Locked Loop Algorithm based on Optimized FFT under Distorted and Unbalanced Grid Voltage

Hyun Sou Kim, Kyeong Hwa Kim
Seoul National University of Science and Technology

ABSTRACT

계통에 분산전원을 연계하여 운용하는 경우 인버터는 일반적으로 계통 전압의 위상 정보를 필요로 한다. 그러나 계통 전압의 불평형 또는 왜곡 조건은 계통 위상각 검출에 영향을 주어 정확성을 감소시킨다.

본 논문에서는 계통전압이 왜곡되거나 불평형 상태에서도 위상각 정보를 정확하고 신속하게 검출하기 위해 고속 푸리에 변환을 이용한 새로운 PLL (Phase Locked Loop) 기법을 제안한다. 제안된 기법은 샘플링 속도와 변환할 시간 범위를 최적화하여 최소한의 연산으로 계통 전압의 위상을 계산한다. 제안된 기법의 타당성이 시뮬레이션을 통해 입증된다.

1. 서론

분산 전원을 계통과 연계하는 경우 인버터 제어에 있어서 계통의 위상 정보가 필수적이다. 이를 위해 SRF PLL (Synchronous Reference Frame PLL)과 같은 방법이 사용된다. 그러나 SRF PLL 방법은 계통 전압이 고조파에 의해 왜곡되거나 불평형 상태일 때 정상적으로 동작하지 않는다는 단점이 있다. 이 문제를 해결하기 위해 푸리에 변환의 원리를 사용한 PLL 방법이 제안되었다. 이 방법은 계통 전압의 고조파 왜곡 및 불평형 조건에서도 계통 전압의 위상을 성공적으로 추종한다^{1, 2}. 하지만 이 기법은 푸리에 변환 수행 시간을 크게 감소시키는 고속 푸리에 변환 기법을 적용하지 않았고 기본파 성분만을 계산한다.

일반적으로 계통 전압은 기본파와 기본파의 정수배의 주파수를 갖는 고조파 성분으로 나타나며, 고차 고조파는 일반적인 저역 통과 필터로도 쉽게 제거가 가능하다. 저차 고조파만을 고려하면 계통 전압을 측정할 때 높은 샘플링 속도가 요구되지 않는다. 또한 고속 푸리에 변환 기법을 적용하여 연산 시간을 감소시킬 수 있다³.

본 논문에서는 적절한 샘플링 주기 및 푸리에 변환을 수행할 샘플의 수 산정 방법을 제시한다. 이를 이용해 고조파 성분의 크기와 위상까지 동시에 계산하는 새로운 기법을 제안한다. 제안된 기법을 통해 고조파 왜곡 및 3상 불평형 조건에서도 효과적으로 계통 전압의 위상각이 검출될 수 있음을 증명하였다.

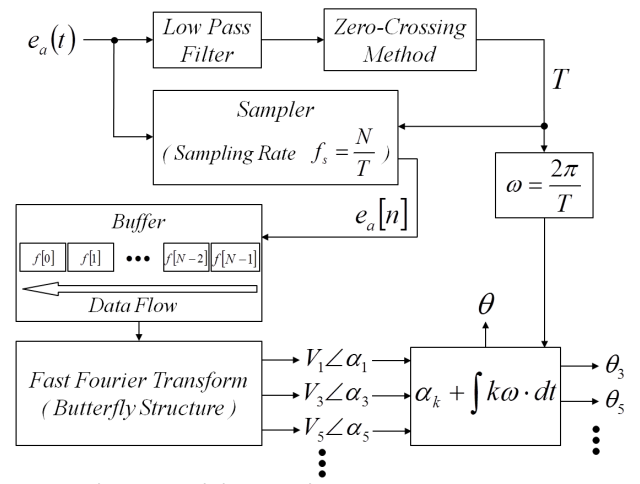


그림 1 제안된 PLL 기법의 블록선도
Fig. 1 The block diagram of the proposed PLL method

2. 새로운 PLL 방법 및 고조파 성분 계산

그림 1은 제안된 PLL 기법의 블록선도를 나타낸다. 계통의 상전압 $e_a(t)$ 는 저역통과필터를 통해 고조파를 제거하며 zero crossing 기법을 통해 계통 기본파의 주기 T 와 기본파 주파수 f_1 이 계산된다.

주기함수를 푸리에 변환하는 경우 그 결과는 f_1 을 간격으로 이산적으로 나타나게 된다. 샘플링 속도 f_s 와 f_1 과의 관계는 식 (1)과 같다.

$$f_s = N \times f_1 \quad (1)$$

여기서 N 은 푸리에 변환을 수행 할 때 사용할 샘플 수이다. 나이퀴스트 조건을 만족하기 위한 N 은 식 (2)와 같다.

$$N = 2 \times (k_{\max} + 1) \quad (2)$$

여기서 k_{\max} 는 계통 전압에서 고려하는 고조파 중 가장 높은 고조파의 차수이다. 본 논문에서는 7차 고조파까지 고려하

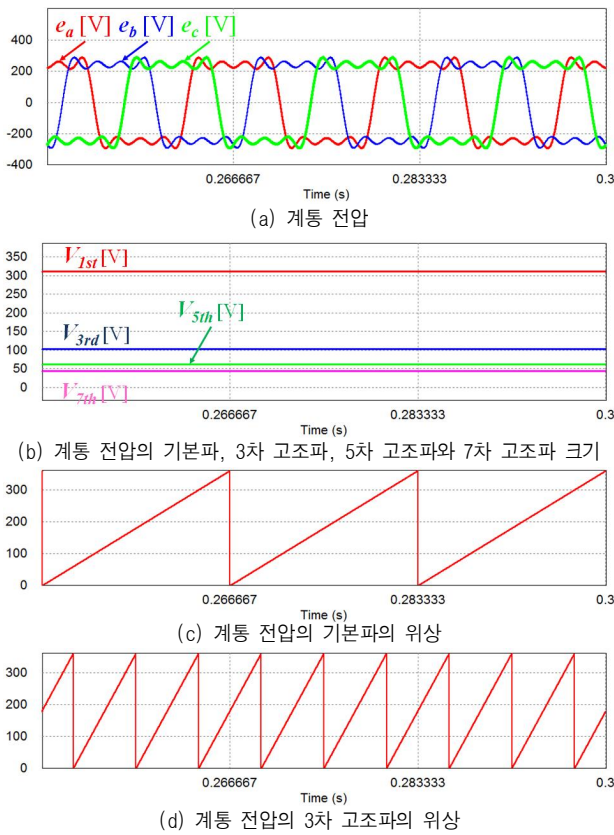


그림 2 고조파 왜곡 조건에서의 3상 계통 전압과 PLL 결과 파형
Fig. 2 Three-phase voltage waveforms and PLL results under distorted grid voltage

기 위해 N 을 16으로 설정하였다. FFT 기법을 통해 f_s 의 주파수로 샘플링 하여 얻는 이산시간 계통 상전압 정보 $e_a[n]$ 은 주파수 영역 정보로 변환된다. 주파수 영역 정보에는 기본파 및 각 고조파의 크기 V 와 위상 α 가 포함되며 α 로부터 계통 전압의 위상 θ 를 알 수 있다. 60 [Hz]의 정격 주파수를 갖는 계통의 경우 $N=16$ 의 조건에서 샘플링 주기는 약 1.04[ms]로 인버터 제어기의 동작속도에 비해 긴 시간이 되므로 FFT가 수행된 후 다음 FFT 수행 순간까지는 적분기를 이용하여 계통 위상을 추정한다. FFT 알고리즘으로는 콜리 튜키 알고리즘을 적용하였다^[3].

3. 시뮬레이션 결과

제안된 기법의 성능을 입증하기 위해 계통 전압의 고조파 왜곡 조건과 불평형 조건에서 시뮬레이션을 수행하였다.

그림 2(a)는 220[V], 60[Hz]의 계통에 33.3%의 크기를 가지고 위상이 180도 만큼 지연된 3차 고조파, 20%의 크기를 가지는 5차 고조파, 14.3%의 크기를 가지고 위상이 180도만큼 지연된 7차 고조파를 주입했을 때 계통 전압의 파형을 나타낸다. 그림 2(b)는 FFT의 결과로 계산된 기본파, 3차 고조파, 5차 고조파 및 7차 고조파의 크기를 나타낸다. 그림 2(c)는 계통 전압의 기본파의 위상을, 그림 2(d)는 계통 전압의 3차 고조파의 위상을 나타낸다. 제안된 기법이 계통 전압의 기본파 및 고조파의 위상을 정확히 추종하며 각 성분의 크기 역시 정확히

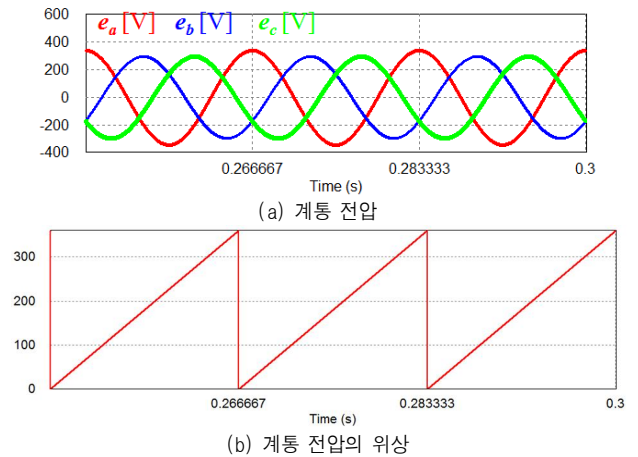


그림 3 3상 불평형 조건에서의 3상 계통 전압과 PLL 결과 파형
Fig. 3 Three-phase voltage waveforms and PLL results under unbalanced grid voltage

계산됨을 볼 수 있다.

그림 3(a)는 220[V], 60[Hz]의 계통에 10%의 역상분이 존재하는 경우 계통 전압의 파형을 나타낸다. 그림 3(b)는 계통 전압의 위상을 나타낸다. 3상 불평형 조건에서도 계통 전압의 위상을 정확히 추종하는 것을 볼 수 있다.

4. 결론

본 논문에서는 고조파 왜곡 및 3상 불평형 조건에 강인하며 고조파의 크기와 위상까지 동시에 계산하는 새로운 PLL 기법을 제시하였다. 기존의 SRF PLL과 달리 제안된 기법은 고조파 왜곡 조건과 3상 불평형 조건에 강인하며, 푸리에 변환을 사용한 기존의 PLL 기법과 달리 고조파 성분까지 계산하여 고조파 보상 기법에 필요한 정보를 제공하고 연산량이 감소되었다. 시뮬레이션을 통해 제안된 기법의 성능을 증명하였다.

이 논문은 2013년도 정부(교육부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임 (NRF 2012R1A1A2042759).

참고 문헌

- [1] G. C. Hsieh and J. C. Hung, "Phase Locked Loop Techniques A Survey", *IEEE Trans. on Industrial Electronics*, Vol. 43, No. 6, pp. 609 615, 1996, Dec.
- [2] K. J. Lee, J. P. Lee, D. Shin, and D. W. Yoo, "A Novel Grid Synchronization PLL Method Based on Adaptive Low Pass Notch Filter for Grid Connected PCS", *IEEE Transactions on Industrial Electronics*, Vol. 61, No. 1, pp. 292 301, 2014, Jan.
- [3] S. Haykin and M. Moher, *Introduction to Analog & Digital Communications: Second Edition*, John Wiley&Sons, Inc. pp. 83 88, 2007