

기생 인덕턴스에 의한 게이트 서지 전압 특성분석

이건호

인피니언테크놀로지스코리아 (주)

Analysis IGBT gate Surge voltage characterization by stray inductance

Lee Gun Ho

Infineon Technologies Korea Co., Ltd

그림1 테스트 측정포인트 및 구조

ABSTRACT

Recently, the unipolar gate power source is preferred in inverter system because of cost reduction reason. In this case, designer uses 0V source for turning-off the switching devices instead of negative voltage at Vee source. If the gate driver circuit has some stray inductance, the gate voltage would happen a surge voltage. This paper analyzes that of stray inductance effect during the switching behavior in the circuit and the proposed solutions were verified by pulse test.

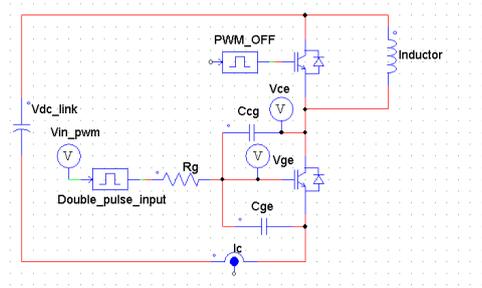
1. 서론

시스템의 가격경쟁력을 높이기 위해 단전원 게이트 소스(Unipolar gate power)가 사용된다. 또한 시스템 설계시 불필요한 기생 인덕턴스(Stray Inductance)값을 최소화 시킨다. 하지만 시스템상의 기생 인덕턴스의 존재는 불가피하며 이로인해 게이트단 서지전압이 발생하는데, 이 서지전압이 스위칭 소자의 문턱전압(gate threshold voltage)를 넘게되면 기생턴온 현상을 발생시킬 수 있다. 실제 인버터 시스템에서 이 현상을 테스트를 통해 확인하고 해결방법을 모색한다.

2. 본론

1.1 테스트 방법

시스템의 스위칭 특성을 체크하기 위한 테스트 방법은 그림1와 같다.



상단에 인덕티브 부하 (Inductive Load)를 연결하고 하단에 두개의 펄스를 인가하여 프리휠링(Free Wheeling) 이 포함된 스위칭 특성을 측정하는 테스트를 더블펄스 테스트라고 부른다.^[1]

상단 스위칭 소자는 항상 OFF를 시키고 하단 스위칭 소자에 두개의 PWM 펄스를 인가한다. 첫번째 PWM펄스에서 상단의 인덕터(Inductor)와 하단의 스위칭소자를 통해 전류가 흐르고 PWM OFF시 상단스위칭소자의 역병렬 다이오드(Anti parallel Diode)를 통해 전류가 순환하다가 두번째 펄스에서 하단 IGBT의 전류로 보이게 된다.^[1] 오실로 스크프의 측정 포인트는 1차측 PWM입력, 하단 스위칭 소자의 양단전압 [Vce], 하단 스위칭 소자의 게이트 이미터단 전압[Vge], 하단 스위치에 흐르는 전류 [Ic]다. DC link P+단과 출력 U상 사이에 사용한 인덕터(L)부하값은 900uH(@100kHz)이다.

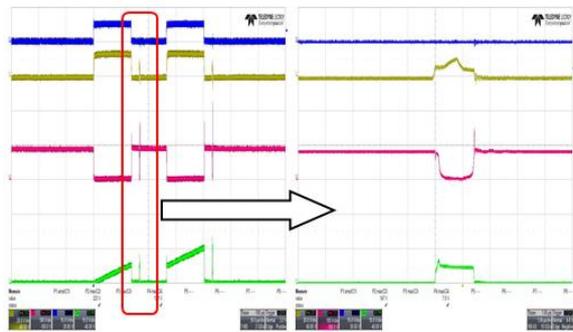


그림2 더블펄스 테스트 파형(좌측)과 확대파형(우측)

DC-link 전압 Vce=100V, 전류 Ic=10A 조건에서 그림 2와 같은 이상파형이 발견되었다. 이 이상현상은 PWM 입력 (CH3)이 OFF인 상태에서 IGBT 게이트(CH1)가 동작하였으며 Vce양단의 전압(CH2)과 IGBT전류 (CH4)까지 턴온시 특성을 보여주어 단순 신호 노이즈가 아닌 실제 게이트가 턴온 되었다는 것을 확인할 수 있다.

CH1	IGBT Vge 전압	20V/div
CH2	IGBT Vce 전압	100V/div
CH3	PWM 입력	10V/div
CH4	IGBT 전류	10V/div
Time Base : 좌측 50us/div, 우측 1us/div		

표1 그림2의 오실로스코프 채널정보

1.1.1 기생 인덕턴스에 게이트 서지전압

그림 3과 같이 기생 인덕턴스에 의해 하단 이미터단 전압이 $L \cdot di/dt$ 만큼 낮아지게 된다. 이로 인해 Drive IC의 PWM 입력신호가 OFF상태라 하더라도 IGBT의 게이트(gate)단과 이미터단(emitter)사이에는 V_{ge} 전압이 보이게 된다. 이 전압이 스위칭 소자의 문턱전압보다 크게 되면 스위칭 소자는 턴온이 된다.

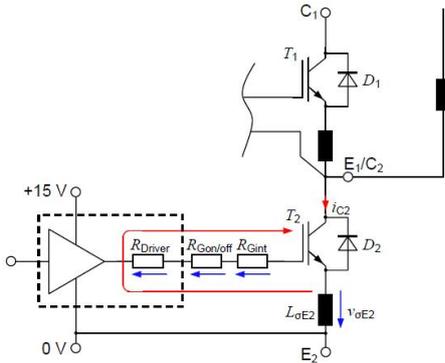


그림3 기생 인덕턴스에 의한 게이트 전압^[2]

1.2 Rg값 증가에 의한 영향

$$V = L \cdot di/dt \text{ 식(1)}^{[2]}$$

기생 인덕턴스가 이미터단에 영향을 주는 전압의 크기 V 는 식(1)과 같이 L 값과 di/dt 에 비례한다. 테스트는 이미터단 DC link N단 PCB의 패턴을 짜르고 전류를 측정하기위해 연결한 와이어의 길이를 길게 늘려 와이어길이 (L 값) 변경에 따른 게이트 이미터 전압(V_{ge})을 측정하였다. 그림 4에서 인덕턴스 L 값이 커질수록 전압 V 는 커지는 것을 확인했다.

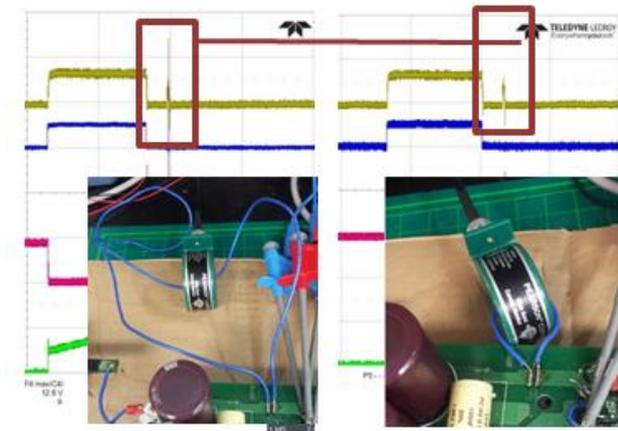


그림4 와이어길이에 따른 V_{ge} 전압 크기 30cm(좌측)와 5cm(우측)

전압을 낮추기 위해서는 L 값을 작게 하거나 di/dt 를 작게 해야하는데 이미 시스템의 기생 인덕턴스의 값은 설계와 동시에 고정되어 더 줄이기 힘든 경우가 대부분이다. 때문에 사실상 더 줄이기가 어렵다. di/dt 줄이기위해 R_g 값을 10Ω에서 100Ω으로 증가시키고 재 테스트결과 그림2와 같은 이상 턴온 현상이 없어지는 것을 확인하였다. 하지만

그림 4처럼 턴 온, 턴오프 시간이 길어지고 E_{on} 스위칭 손실이 102.7μJ에서 153.1μJ로 50% 정도 증가하였다. 이는 시스템의 효율과 방열에 악영향을 준다.

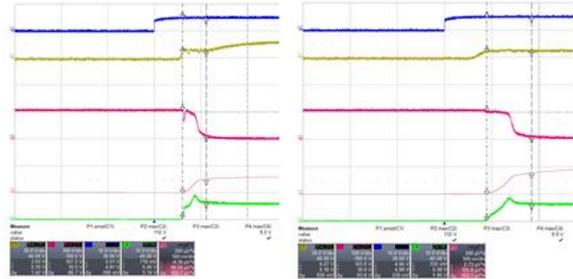


그림4 $R_g=10\Omega$ 턴온손실(좌)과 $R_g=100\Omega$ 턴온 손실(우)

1.2.1 Qg값에 의한 영향

소자	Qg	비고
FGA30S120P	78nC	$V_{ce}=600V, I_c=30.0A$ $V_{ge}=15V$
IHW30N135R3	263.0nC	$V_{cc}=1080V, I_c=30.0A$ $V_{ge}=15V$

표2 테스트시 사용한 소자(상단)와 변경소자(하단)

Q_g 값이 큰 소자의 경우, 기생 인덕턴스에 의한 게이트 서지 전압의 에너지가 크지 않은 경우 스위칭소자를 턴온시키기에 못하게 되면 게이트단 서지전압이 발생하더라도 스위칭 소자가 턴 온되지 않는다. 그림 5처럼 Q_g 값이 큰 IHW30N135R3로 테스트시 동일 R_g 조건(10Ω)에서 게이트단 턴온 현상이 없어진 것을 확인 하였다.

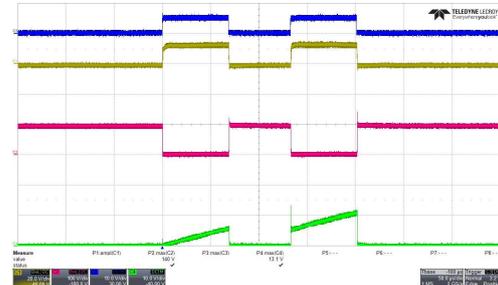


그림5 IHW30N135R3 더블펄스 테스트 파형

3. 결론

본 논문은 시스템의 기생 인덕턴스에 의한 게이트 서지전압 발생 원인을 확인하였고 두가지 해결책을 제시하였다. 첫번째로 시스템의 기생 인덕턴스 L 값을 줄이거나 R_g 값을 키워서 di/dt 를 작게 만들어 게이트단 전압을 낮추는 방법, Q_g 값이 큰소자를 사용하여 서지전압이 발생하더라도 게이트단 턴온을 방지하는 방법이다. 두가지 방법 모두 테스트를 통해 현상이 해결됨을 검증하였다.

참고 문헌

- [1] Infineon "Double Pulse Test for IGBT & FWD - Principle" ,pp2-3
- [2] Infineon "Driving IGBTs with unipolar gate voltage" AN2006-01 ,pp2 -8