

FPGA를 이용한 DSC-PLL 설계 및 실험

조종민, 서재학*, 차한주
 충남대학교, 국가핵융합연구소*

DSC-PLL Design and Experiments Using a FPGA

Jongmin Jo, Jae Hak Suh*, Hanju Cha
 Chungnam National University, National Fusion Research Institute*

ABSTRACT

본 논문은 FPGA 기반의 DSC PLL(Delayed Signal Cancellation Phase Locked Loop)을 설계하고, 왜곡된 3상 전압 조건에서 위상추종결과를 비교실험 하였다. FPGA 구현 알고리즘은 Matlab/Simulink와 연동된 System Generator를 이용하여 DSC PLL 모델을 설계하고, Verilog HDL 코드로 변환하였다. 불평형 및 고조파를 포함한 왜곡된 3상 전압 조건에서 FPGA에 구현된 DSC PLL과 SRF PLL (Synchronous Reference Frame Phase Locked Loop)의 d q축 고조파 감쇠특성 및 위상추종능력을 실험을 통해 비교하였다. DSC PLL은 약 5.44ms 이내에 d q축 고조파 성분을 제거함으로써 정상분 기본과 전압의 위상을 빠르게 추종하는 것을 검증하였다.

1. 서론

계통전압의 기본과 전압의 위상을 빠르고 정확하게 추종하는 기술은 신재생에너지, FACTS, UPS 등 계통 연계형 시스템에서 필수적이다. 계통과의 동기화 목적을 위한 다양한 PLL 중 가장 널리 사용되는 기법은 SRF PLL이다. SRF PLL은 평형 3상 전압 조건에서 다른 PLL 기법들에 비해 구조가 간단하며, 빠르고 정확한 위상추종능력을 갖으나, 불평형 및 고조파 발생에 의한 외란 조건에서는 정상분 전압의 위상을 추종하는데 한계를 갖는다.^[1] 이러한 동기화 문제를 해결하기 위해 PLL 위상추종특성을 저하시키는 d q축 고조파 성분을 제거하는 DSC 기술이 제안된다.^[2] DSC는 기존 d q축 전압으로부터 일정 시간만큼 지연된 180도 위상차를 갖는 성분을 생성하고, 두 성분의 합을 통해 고조파 성분을 상쇄시킴으로써 기본과의 위상을 빠르게 추종하는 것이 가능하다.

본 논문에서는 FPGA에 구현된 DSC PLL과 SRF PLL을 통해 불평형 및 고조파를 포함한 왜곡된 3상 전압 조건하에서 고조파 상쇄효과를 비교하고, 위상추종능력을 검증한다.

2. DSC-PLL의 FPGA 구현

2.1 DSC-PLL 설계

그림 1은 Matlab/Simulink와 연동된 System Generator로 설계한 SRF PLL과 DSC PLL을 결합한 DSC PLL 모델이다. DSC는 입력에 포함되는 불평형 및 고조파 성분을 동기좌표계 d q축 전압에서 제거하는 역할을 수행함으로써 외란 조건하에서도 정상분 기본과 전압의 위상을 빠르게 추종할 수 있다.

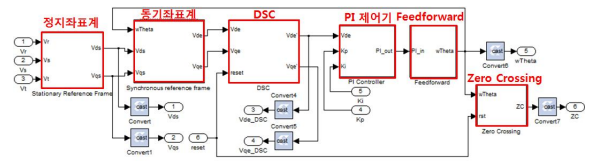


그림 1 Matlab/Simulink를 이용한 DSC-PLL 설계
 Fig. 1 DSC-PLL design using Matlab/Simulink

2.2 DSC의 d-q축 고조파 제거 특성

그림 2는 d q축에 포함된 고조파 성분을 제거하는 DSC의 구조를 보여준다. DSC는 기존 d q축 전압으로부터 일정 시간만큼 지연된 성분을 생성하고, 두 성분의 합을 통해 고조파 성분을 제거한다. T_d , T_d' , T_d'' 는 정상분 기본과 주기 T에 대한 지연시간으로 고조파 성분에 따라 다르다. 표 1은 3상 입력에 포함되는 고조파에 따른 지연시간을 나타낸다.

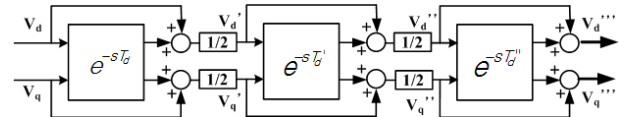


그림 2 DSC 구조
 Fig. 2 DSC Construction

표 1 고조파 성분에 대한 Delay time
 Table 1 Delay time for harmonics components

3상 전압	d q축 전압	Delay time
역상분(1)	2 nd 고조파	1/4T
5 th (Neg), 7 th (Pos) 고조파	6 th 고조파	
11 th (Neg), 13 th (Pos) 고조파	12 th 고조파	1/24T
17 th (Neg), 19 th (Pos) 고조파	18 th 고조파	1/4T
23 rd (Neg), 25 th (Pos) 고조파	24 th 고조파	1/48T

2.3 HDL 코드 생성 및 FPGA 구현

DSC PLL을 FPGA로 구현하기 위해 System Generator를 이용하여 DSC PLL 모델의 각 블록을 Flip Flop, LUT, Latch 등의 역할을 수행하는 하드웨어 기술언어인 Verilog 코드로 변환하였다. HDL 코드는 합성, Hardware I/O pin 설정, Place & Route, Bitstream 등의 과정을 거쳐 FPGA에 구현된다.

2.4 FPGA 실험결과

그림 3은 불평형 3상 전압으로 $V_r=209.6\angle 0^\circ$, $V_s=166.6\angle 128.9^\circ$, $V_t=166.6\angle 128.9^\circ$ 이며, 그림 4는 위의 불평형 3상 전압에 대한 SRF PLL 실험결과 파형으로 역상분 전압에 의해 d q축 전압에는 $V_d = 28V$, $V_q = 29.5V$ 의 2고조파 성분이 발생한다. 그림 5는 동일 조건하에서 DSC PLL 실험결과로써, DSC를 통해 d q축 2고조파 성분을 약 5.3ms 이내에 제거한다. 2고조파 상쇄효과에 의해 추종위상 $\hat{\theta}$ 는 정상분 기본파 전압의 위상을 정확히 추종함을 알 수 있다.

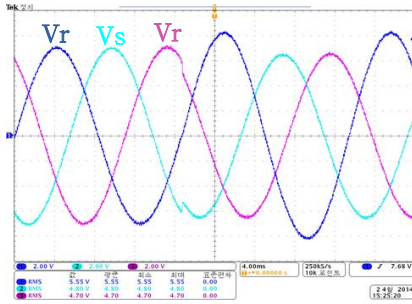


그림 3 불평형 3상 전압
Fig. 3 Unbalanced three-phase voltage

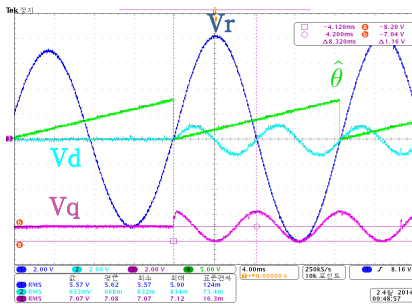


그림 4 불평형 3상 조건의 SRF-PLL 출력
Fig. 4 SRF-PLL output under Unbalanced three-phase voltage

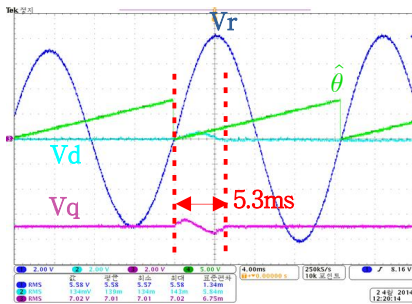


그림 5 불평형 3상 조건의 DSC-PLL 출력
Fig. 5 DSC-PLL output under Unbalanced three-phase voltage

그림 6은 5, 7, 11, 13고조파를 포함한 왜곡된 3상 전압파형이고, 그림 7은 위의 조건에 대한 SRF PLL 실험결과이다. 3상에 포함된 고조파에 의해 d q축 전압에는 6, 12고조파가 발생하였고 $V_d = 48.77V$, $V_q = 13.21V$ 크기를 갖는다. 고조파 영향에 의해 추종위상은 기본파 전압을 정확히 추종하지 못한다. 그림 8은 동일 조건하에서 DSC PLL 실험결과로써, DSC는 6, 12고조파 성분을 약 5.44ms 이내에 제거하였다. 고조파를 제거함에 따라 추종위상 $\hat{\theta}$ 는 고조파 영향 없이 정상분 기본파 전압의 위상을 정확히 추종함을 알 수 있다. DSC PLL의 불평형 및 고조파 제거에 대한 해석은 지면관계로 생략한다.

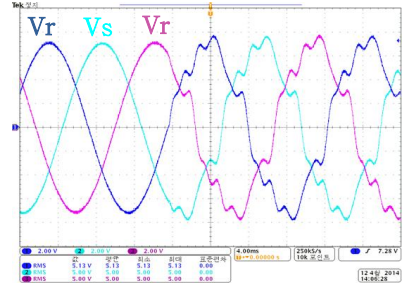


그림 6 왜곡된 3상 전압
Fig. 6 Distorted three-phase voltage

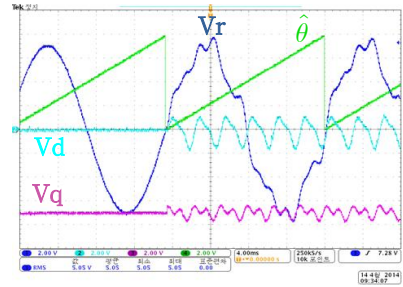


그림 7 왜곡된 3상 전압의 SRF-PLL 출력
Fig. 7 SRF-PLL output under distorted three-phase voltage

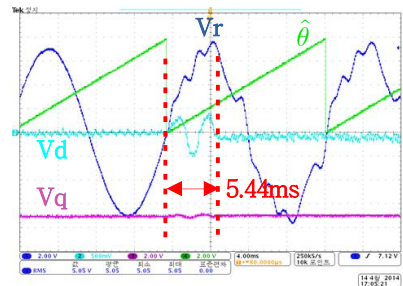


그림 8 왜곡된 3상 전압의 DSC-PLL 출력
Fig. 8 DSC-PLL output under distorted three-phase voltage

3. 결론

본 논문은 FPGA를 이용한 DSC PLL 설계 및 비교분석에 대해 고찰하였다. FPGA 구현 알고리즘은 Matlab/Simulink와 연동된 System generator를 이용하여 DSC PLL 모델 설계 및 Verilog HDL로 변환하였다. 불평형 및 고조파를 포함한 3상 전압 조건에서 DSC PLL과 SRF PLL의 d q축 고조파 감쇠특성 및 위상추종을 비교하였으며, DSC PLL은 약 5.44ms 이내에 고조파를 제거함으로써 정상분 기본파 전압의 위상을 빠르게 추종하는 특성을 검증하였다.

“이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 국책연구사업임(No. 2007 -2006995)”

참고문헌

- [1] Ziwen Yao, “Fundamental Phasor Calculation With Short Delay”, IEEE Trans. Power Delivery, Vol. 23 Issue. 3, pp.1280-1287, July. 2008.
- [2] Jan Svensson, Massimo Bongiorno, Ambra Sannino “Practical Implementation of Delayed Signal Cancellation Method for Phase Sequence Separation”, IEEE Trans. Power Delivery, Vol. 22, No. 1, pp. 18-26, 2007, January.