

# 입력 전류 왜곡을 저감한 단상 디지털 역률 제어 보상 기법

윤한신, 박진식, 유찬훈, 문건우  
카이스트 전기 및 전자공학과

## A Digital Power Factor Correction(PFC) Control for Input Current Distortion Reduction

Han-Shin Youn, Jin-Sik Park, Chan-Hun Yu, Gun-Woo Moon

Department of Electrical Engineering KAIST, 335 Gwahangno, Yuseong-gu, Daejeon 305-701, Korea

### ABSTRACT

이 논문에서는 단상 디지털 역률 제어 보상 기법(PFC)을 제안한다. 제안된 방법은 인덕터 전류의 첨두값을 예측하고 기울기 보상 방법을 적용하여 제어기 출력을 생성함으로써 인덕터 전류의 첨두값을 제한하고, 스위칭 한 주기 안에 연속 도통 모드(CCM)과 불연속 도통 모드(DCM) 전류 제어를 완료한다. 따라서 기존 디지털 평균 전류 제어기에서 문제시되었던 DCM-CCM 변환구간 즉 경계 도통 모드(BCM)에서 입력 전류 왜곡을 저감하였다. 제안된 제어기법의 유효성은 입력 전압 230Vac, 출력 전압 400V, 출력 750W급의 시제품 실험을 통해 검증하였다.

### 1. 서론

최근 모바일 디바이스의 성장으로 이들 데이터를 처리하는 데이터센터가 급증하고 있으며 전원을 공급하는 서버용 전원장치 수요도 함께 증가하고 있다. 데이터 센터는 막대한 전력을 소모하기에 서버용 전원 장치의 경우 높은 효율과 역률, 낮은 총 고조파 왜율(THD)이 요구되고 있으며, IEC61000-3-2와 80Plus 등의 규제가 강화되는 추세이다. 이들 조건을 만족하기 위해 서버용 전원장치의 경우 500W 이상의 용량을 고려하여 CCM 부스트 PFC단을 적용하고 있으며, 이를 아날로그 제어기를 통해 제어하여 요구 조건을 만족 하고 있다. 하지만 최근 들어 제어의 용이성, 타 시스템으로 이식 가능성, 제어 IC들의 통합 등을 고려하여 디지털 IC에 대한 요구가 늘어나고 있어 이에 대한 연구가 진행 되고 있다.

현재 디지털 제어기에는 주로 평균 전류 제어 기법을 적용하고 있다. 하지만 이는 디지털 제어기의 ADC 및 S&H에 의해 루프 이득이 제한 되므로 입력 전압, 부하의

왜란 그리고 BCM 시 발생되는 부스트 컨버터의 비선형 특성을 효과적으로 제어하지 못한다. 따라서 입력 전류에 큰 왜곡이 발생하며, 이 왜곡을 보상하기 위해 시비율 전향 보상기(DFF)를 적용, 왜란의 영향을 저감하였다<sup>[1]</sup>. 하지만 CCM PFC에 주로 적용 되는 파우더 코어의 특성상 인덕턴스는 파라미터에 민감하므로 DFF를 적용하여도 부정확한 보상이 이루어 지게 되며, 또 디지털 제어기의 느린 동특성으로 BCM 시 즉 순간적인 입력 전류 왜곡이 발생한다. 이러한 입력 전류 왜곡을 효과적으로 제거하기 위해서는 첨두 전류가 제한되며 빠른 동특성을 가진 첨두 전류 제어기가 필요하다. 하지만 첨두 전류 제어의 경우 CCM을 가정으로 제어가 이루어지기에 DCM구간에서 전류 왜곡이 발생하며, 더욱이 고조파 공진을 제거하기 위한 기울기 보상기에 의해 전류 왜곡이 심화된다<sup>[2]</sup>. 따라서 본 논문에서는 CCM, DCM 인덕터 첨두 전류를 예측하고 기울기 보상이 고려된 첨두 전류 제어기를 구현함으로써 기존 제어기들에서 발생되었던 입력 전류 왜곡을 저감한 제어기를 제안한다.

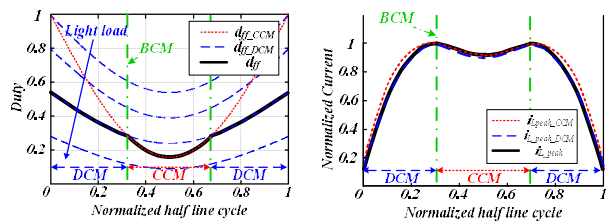
### 2. 제안된 디지털 단상 역률 제어 보상 기법

제안된 제어기는 첨두 전류를 제한하고 기울기 보상기를 생성하므로써, 스위칭 한주기에 전류 제어를 완료하여 빠른 동특성을 보이며 입력 전류의 왜곡을 효과적으로 저감할 수 있다. 이러한 제안된 제어기는 첨두 전류 예측기와 기울기 보상기를 고려한 첨두 전류 지령 생성기로 구성되어 있다.

#### 2.1 부스트 인덕터 첨두 전류 예측기

제안된 제어기는 첨두 전류 제어를 위해 전압 제어기의 출력 값과 입,출력 전압를 이용하여 CCM 구간과 DCM 구간 및 첨두 전류를 예측한다. 첨두 전류 지령 생성을 위한 시비율의 식은 식(1)과 같으며 20%부하 가정시의 시비율은 그림 2 (a)으로 나타난다. 이때 CCM과 DCM 구간은 예측된 시비율의 낮은 값으로 판별이 가능하며, CCM과 DCM의 시비율이 같은 경우 BCM 구간이다.

$$d_{CCM}[n] = 1 - \frac{v_{in}[n]}{v_o[n]}, \quad d_{DCM}[n] = \sqrt{\frac{2G_e[n]L}{T_s} \cdot d_{ff-CCM}[n]} \quad (1)$$



(a) 예측 시비율 (b) 첨두 인덕터 전류  
그림 2. 20%부하에서의 시비율과 첨두 인덕터 전류

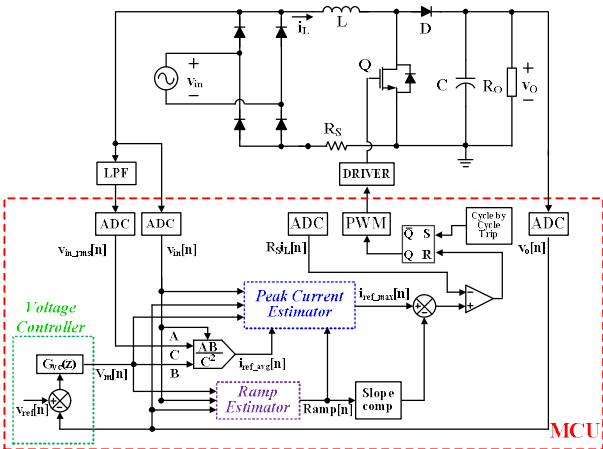


그림 1 제안된 제어기의 블록도

위 수식에서 확인 가능 하듯이 CCM의 경우 입력과 출력 전압으로 시비율 예측이 가능하지만 DCM의 경우 입력 증가 컨덕턴스가 필요하다. 입력 증가 컨덕턴스는 전압 제어기 제어기 출력과 입력 전압을 이용하여 식(2)와 같이 예측이 된다.

$$i_{ref\_avg}[n] = \frac{R_S v_m[n] v_m[n]}{v_{in\_rms}^2[n]}, \quad G_e[n] = \frac{1}{R_e[n]} = \frac{R_S v_m[n]}{v_{in\_rms}^2[n]} \quad (2)$$

평균 인덕터 전류 지령값과 인덕터 전류 수식을 응용하여 다음과 같이 CCM구간과 DCM구간의 첨두 전류 예측이 가능하다.

$$i_{L\_peak\_CCM}[n] = i_{ref\_avg}[n] + \frac{v_m[n]}{2L} d_{CCM}[n] T_S \quad (3)$$

$$i_{L\_peak\_DCM}[n] = \frac{v_m[n]}{L} d_{DCM}[n] T_S \quad (4)$$

그림 2 (b)은 20% 부하 가정 시 CCM, DCM 첨두 전류를 보여준다. 그림에서도 확인 가능하듯이 BCM 구간 전후로 CCM과 DCM의 첨두 전류 편차가 미비한 것을 확인 할 수 있다. 이는 DCM과 CCM의 잘못된 예측에 오차가 발생하여도 전류의 첨두값 변화가 작아 기존 DFF 제어기 대비하여 낮은 THD를 가짐을 나타낸다.

### 1.2 기율기 보상을 고려한 첨두 전류 지령 생성기

예측된 첨두 전류로 첨두 전류 제어기를 구현하면 BCM 또는 CCM 구간에서 시비율이 0.5를 초과하는 경우 고조파 공진이 발생하게 된다. 고조파 공진을 제거하기 위해서는 첨두 전류 제어기에 기율기 보상기와 기율기 보상이 고려된 첨두 전류 지령 생성기가 필요하다. 일반적인 부스트 컨버터의 첨두 전류 제어 기율기 보상기 수식은 전 시비율을 고려하였을 경우 식(5)와 같으며 이때  $CLK$ 는 스위칭 한 주기의 클럭 수를 의미한다.

$$Ramp[CLK] = \frac{R_S T_S (v_o[n] - v_{in}[n])}{2L \cdot CLK} = \frac{R_S T_S d[n] v_o[n]}{2L \cdot CLK} \quad (5)$$

일반적으로 DCM 영역에서는 기율기 보상이 필요치 않으나, 잘못된 DCM, CCM 예측에 의한 고조파 공진을 억제하여야 하므로 DCM구간에서도 기율기 보상이 필요하다. 하지만 수식에서 확인 가능하듯이 기율기 보상의 기율기는 입력 전압이 작을수록 큰 값을 가지며, DCM 영역에서 큰 기율기 보상은 전류의 왜곡을 초래하기에 이를 제한하여야 한다. 제한된 기율기 값은 DCM-CCM 전환 시를 고려하여 BCM 구간의 값으로 제한하며 식 (6)과 같이 나타낸다.

$$Ramp_{BCM}[CLK] = \frac{R_S T_S d[n] v_o[n]}{2L \cdot CLK} = \frac{R_S d[n] v_o[n]}{d_{BCM} R_e CLK} \approx \frac{R_S v_o[n]}{R_e CLK} \quad (6)$$

식 (5),(6)에 의해 생성된 기율기 보상기 값과 첨두 전류를 이용하여 전류 제어기의 출력을 예측할 수 있으며, 예측된 첨두 전류 제어기의 출력은 식(7)과 같다.

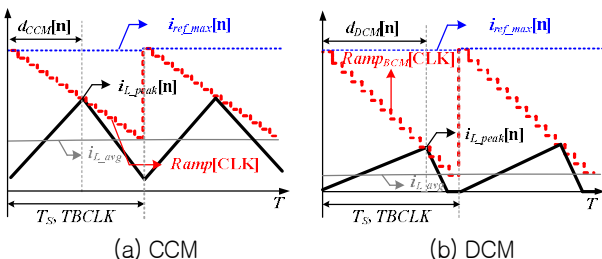


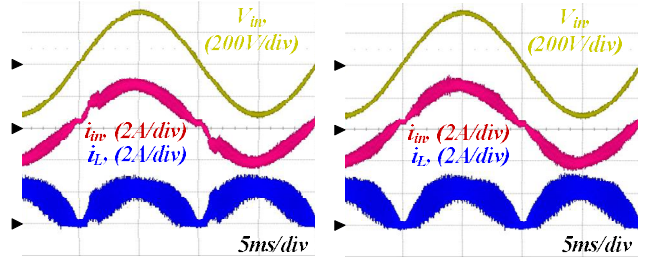
그림3. 기율기 보상이 고려된 첨두 전류 제어기

$$i_{ref\_max}[n] = i_{L\_peak}[n] + Ramp[CLK]d[n]TBCLK \quad (7)$$

그림 3. 및 식 (5), (6)에서 확인 가능하듯이, CCM 구간에서는 기존 첨두 전류 제어기와 같은 기율기 보상을 가진다. 하지만 DCM 구간에서는 BCM 구간에서의 기율기 보상을 가지며, 이로 인해 DCM에서 CCM으로 모드 변환 시 오차가 발생하여도 고조파 공진 제거가 가능해 입력 전류 왜곡을 최소화 할 수 있다. 더욱이 DCM 구간에서 시비율 제어 시 스위칭 공진 전류에 의해 발생 되는 리플 또한 첨두 전류 제어를 적용함으로써 저감 가능하여 낮은 THD 획득이 가능하다.

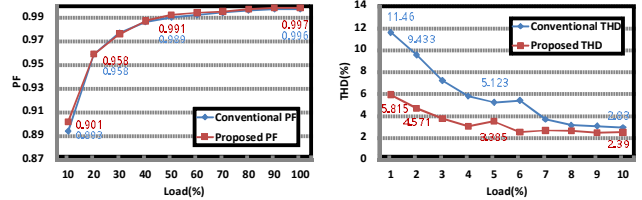
### 3. 실험 결과

제안된 제어기의 유용성을 검증하기 위해 750W 부스트 컨버터를 이용한 실험을 수행하였다. 그림 4는 230Vac 50%부하에서의 실험과형을 나타내고 있으며, 그림 4는 기존 시비율 전향 보상기와 제안된 제어기의 230Vac 입력 조건 시 역률과 THD를 측정된 결과를 보여준다. 제안된 제어기법을 적용할 경우 입력 전류의 왜곡이 제거 되었음을 확인 할 수 있으며, THD가 기존 제어방식 대비 큰 폭으로 감소함을 확인 할 수 있다.



(a) 시비율 전향 보상 제어기 (b) 제안된 제어기

그림 4. 입력 230Vac 50% 부하 시 실험 파형



(a) PF

(b) THD

그림 5. 입력 230Vac 시 PF, THD 측정결과

### 4. 결론

본 논문에서는 인덕터 첨두 전류를 예측하고 기율기 보상을 고려하여 첨두 전류 지령을 생성하는 단상 부스트 PFC 컨버터의 디지털 제어 기법을 제안하였다. 제안된 제어기를 적용함으로써, DCM-CCM 구간 전환 시에 발생하였던 전류 왜곡을 저감하고, 전류 첨두치를 제어함으로써 전 부하에서 THD 성능을 개선하였다.

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2010-0028680).

### 참고 문헌

- [1] Shu Fan Lim, " Industry Applications : A Simple Digital DCM Control Scheme for Boost PFC Operating in Both CCM and DCM ", IEEE Transactions on , Vol. 47, No. 4, pp. 1802-1812, 2011.
- [2] Najafi, E., "Power and Energy Conference, 2008 : A new controlling method based on peak current mode (PCM) for PFC", PECon 2008, IEEE 2nd International, pp. 1103-1107, 2008.