

넓은 ZVS 효율

를 가지는 비대칭 하프 브릿지 컨버터의 클램프 스위치와 다이오드

오^[1], 이재범^[1], 이일운^[2], 문건우^[1]
 카이스트 (한국과학기술원)^[1], 한국에너지기술연구원^[2]

Wide-angle ZVS Asymmetric Half-Bridge Converter with Clamp Switch and Diode for High Efficiency

Cheol O Yeon^[1], Jae Bum Lee^[1], Il Oun Lee^[2], Gun Woo Moon^[1]
 KAIST^[1], Korea Institute of Energy Research^[2]

ABSTRACT

본 논문에서는 넓은 영전압 스위칭 범위를 가지며 클램프 다이오드와 클램프 스위치를 이용하여 비대칭 하프 브릿지 컨버터의 정상 입력 시 최적 설계가 가능하게 하여 모든 부하 조건에서 효율을 상승시킬 수 있는 회로를 제안한다. Hold-up 조건 만족을 위하여 입력 전압이 낮은 경우에, 클램프 스위치를 동작시켜 변압기의 턴 비를 바꾸어 주어 출력 전압을 유지해준다. 정상 상태 동작에서는 클램프 스위치를 키지 않음으로써 클램프 다이오드 역할을 하여 2차 측 정류의 전압 스트레스를 줄여주며, 보조 턴을 이용하여 클램프 다이오드에서의 도통 손실을 줄여 정상 상태에서의 비대칭 하프 브릿지 컨버터의 효율 최적화를 달성한다. 본 논문에서는 제안하는 회로의 이론적 해석 및 설계방법을 설명하고 실험결과를 통해 회로의 동작을 검증한다.

1. 서론

일반적으로, 비대칭 하프 브릿지 컨버터는 영전압 스위칭이 가능하고, 간단한 구조를 가지면서 1차 측 위치를 입력 전압으로 클램핑이 가능하기 때문에 소용량에서 중용량까지 다양한 어플리케이션에서 선호되는 컨버터이다.

비대칭 하프 브릿지 컨버터의 영전압 스위칭 조건은 로드의 조건에 따라 결정된다. 따라서 경부하는 영전압 스위칭을 달성하기 위한 누설 인덕턴스의 에너지가 부족하다. 따라서 경부하시, 효율 상승을 달성하기 위해서는 영전압 스위칭을 해주어 스위칭 손실을 줄여야 한다. 이를 성하기 위하여 추가 공진 인덕터와 클램프 다이오드 2개를 이용하여 영전압 스위칭 에너지를 증가 시켜주면서도, 2차 측 정류의 전압 스트레스를 줄여주는 회로가 가장 널리 사용되고 있다.

하지만 이 회로 역시 hold-up 조건을 만족하기 위해서 정상 입력 시 비대칭 스위칭 동작을 하게 해야 한다. 이 비대칭 동작은 변압기의 오프셋 전류를 유발하여 권압기의 크기 증가 및 자성체 손실을 야기한다. 또한, 대칭 작에 비해 RMS 전류가 상승하는 결과를 낳아 추가적인 도통 손실 증가 및 소자 선정의 최적 설계가 어려워지며 출력 필터 단계를 불리하게 한다. 따라서 비대칭 동작을 최소한으로 하는 것이 하프 브릿지 컨버터의 효율을 상승시키는 가장 궁극적인 방법이다.^[1]

본 논문에서는 추가 공진 인덕터와 클램프 다이오드를 사용하는 비대칭 하프 브릿지 컨버터의 최적 설계를 위하여 그림 1과 같이 변압기의 보조 턴을 추가하고 아래 쪽 클램프 다이오드를 MOSFET 스위치로 변환하여 hold-up 상황에서는 변압기의 턴 비를 바꾸어 hold-up 조건을 만족시키고, 정상 상태에서

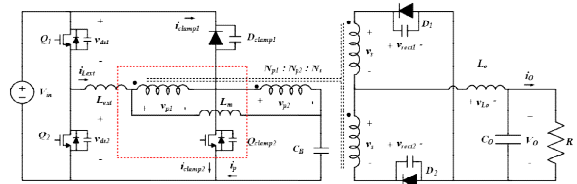


그림 1 제안하는 비대칭 하프 브릿지 컨버터

는 보조 턴을 이용하여 클램프 다이오드에 흐르는 전류를 줄여 손실을 줄인다. 이를 통하여 변압기 자체의 턴 비를 크게 키울 수 있기 때문에 유효 시비율을 높여 컨버터 자체의 효율을 극대화 시킨다. 또한 큰 유효 시비율과 넓은 영전압 스위칭 특성을 토대로 모든 부하 상황에서 효율 증가를 기대할 수 있다. 본 논문에서는 제안 회로의 동작원리를 설명하고 분석한 뒤, 100kHz 동작 주파수를 가지면서 50V-10A, 500W 출력을 가지는 프로토타입 컨버터를 제작, 실험하여 그 동작을 검증한다.

2. 동작 원리 및 회로 특징

제안하는 스위치를 해석하기 위해서 다음과 같은 가정이 필요하다. 변압기의 기생 인덕턴스는 추가 인덕터, L_{ext} 보다 매우 작으며 블라킹 캐패시터, C_B 와 출력 인덕터, L_O 는 매우 커서 스위칭 주기 동안에 정전압, 정전류원으로 라고 생각할 수 있다. 회로에 존재하는 스위치들은 이상적인 동작을 하며 내부에는 병렬의 역방향 다이오드와 기생 캐패시터가 존재한다. 다이오드 역시 기생 캐패시터가 존재한다. 동작을 두 가지 조건으로 나눌 수 있으며, 이는 정상 입력 상태일 때와 hold-up 조건일 때로 나뉜다. 그림 2는 각 상태의 주요 파형이다.

2.1 정상 입력 상태

기본적인 동작은 일반적인 클램프 다이오드를 적용한 하프 브릿지 컨버터와 동일하며 보조 턴을 이용하여 클램프 다이오드로 흐르는 전류가 줄여주는 Mode 4에 관해서만 해석하겠다.

Mode 4 ($t_3 \sim t_4$): Q_{clamp2} 의 전압이 V_{in} 까지 상승하게 되면서 D_{clamp1} 이 도통하게 된다. 이 때 보조 턴에 의하여 추가 인덕터에는 식(1)과 같은 역전압이 걸리게 되어 다이오드로 흐르는 전류를 줄여주어 추가적으로 발생할 수 있는 도통손실을 감소시켜준다. 이 모드는 $i_{L_{ext}}$ 와 i_p 의 크기가 같아질 때까지 유지된다.

$$v_{L_{ext}}(t) = -N_{p1}(V_{in} - V_{C_B})/N_{p2} \quad (1)$$

2.2 Hold-up 조건 상태

Mode 1 ($t_0 \sim t_1$): Q_2 가 꺼지고 Q_{clamp2} 가 켜지게 되면 D_2 이 그대로 도통된 상태에서 턴 비가 $N_{p2}:N_s$ 로 바뀐 상태로 전력이 넘어간다. 이 때, Q_2 의 다이오드와 Q_{clamp2} 로 이루어진 전류 패스가 생겨 L_{ext} 에는 높은 전압이 걸려 순간적으로 전류가 상승한다.

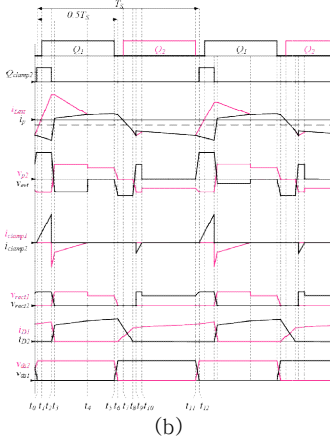
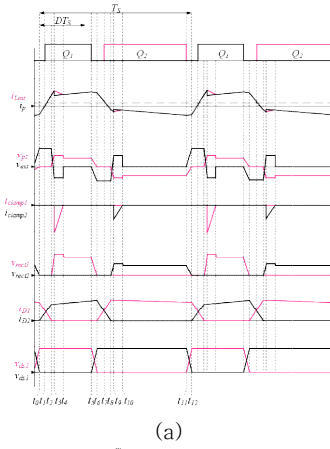


그림 2 주표 파형 (a) 정상 입력 상태 (b) hold-up 조건 상태

Mode 2($t_1 \sim t_2$): Q_1 이 커지면서 전류 방향이 반대로 바뀌게 되고, 이 때문에 Q_{clamp2} 에는 i_{Lext} 와 i_p 의 류가 합쳐져 흐르게 된다. 계속해서 i_{Lext} 는 증가하며, 2차 측 D_1 이 도통되어 있으며, 턴 비 역시 N_{p2}/N_s 로 낮은 턴 비로 전력이 넘어간다.

Mode 3($t_2 \sim t_3$): Q_{clamp2} 가 꺼지면서 2차 측 다이오드들이 커뮤테이션이 시작된다. 이 때부터 i_{Lext} 와 i_p 의 차이가 D_{clamp1} 으로 흐른다. 2차 측 커뮤테이션이 끝날 때까지 지속된다.

Mode 4($t_3 \sim t_4$): 보조 턴에 의하여 i_{Lext} 의 크기가 줄어들게 되며, 이미 상승된 i_{Lext} 에 의해 Mode 4가 정상상태에 비해 길어지게 된다. 이 동안 다시 턴 비 N_{p2}/N_s 로 전력이 넘어가기 때문에 입력 전압이 낮은 상태에서도 전압을 유지할 수 있다. 이 때부터는 D_2 가 도통된다.

Mode 5($t_4 \sim t_5$): 일반적인 하프 브릿지 컨버터의 파워링 구간이며, 이 때 원래의 턴 비 ($N_{p1} + N_{p2}/N_s$)로 바뀐 상태로 전력이 넘어간다.

Mode 6($t_5 \sim t_6$): Q_1 이 꺼지면서 i_{Lext} 에 의하여 Q_1 과 Q_2 의 기생 캐패시터를 충,방전하게 된다.

2.3 전압 이득

제안된 회로의 전압 이득은 정상 입력 상태에서는 식 (2)와 같고 hold-up 조건에서는 식 3과 같다.

$$\frac{V_o}{V_{in}} = \frac{2}{n_1} D_{Q1} (1 - D_{Q1}), \quad (2)$$

$$\frac{V_o}{V_{in}} = \frac{0.5 - (0.5 + D_{QC2} D_T)}{n_1} + \frac{D_T (0.5 - D_{QC2})}{n_2} \quad (3)$$

이 때, n_1 은 $(N_{p1} + N_{p2})/N_s$, n_2 는 N_{p2}/N_s , D_{Q1} 은 Q_1 의 시비율, D_{QC2} 는 Q_{clamp2} 의 시비율, D_{ind} 는 d 4의 시간, D_T 는 $D_{ind} + D_{QC2}$ 이다.

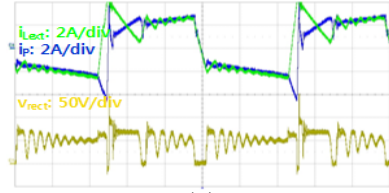
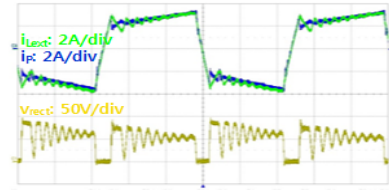


그림 3 실험 결과 (a) 정상 입력 상태 (b) Hold-up 조건 상태

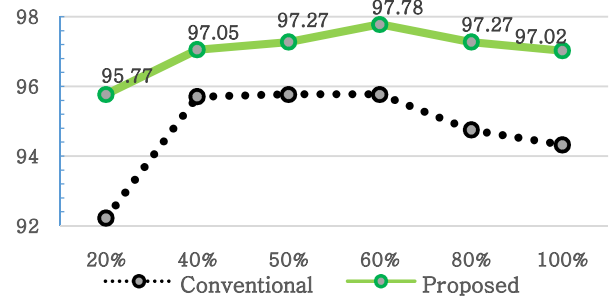


그림 4 기존의 컨버터와의 효율 비교 그래프

3. 실험결과

그림 3은 정상 동작과 hold-up 조건에서의 동작의 파형이다. 정상 동작 시 높은 시비율을 가지면서 비대칭 동작이 줄어드는 것을 확인할 수 있으며, i_{Lext} 가 보조 턴에 의하여 줄어드는 것을 확인할 수 있다. 또한 hold-up 동작 시 i_{Lext} 전류가 증가하였다가 감소하면서 낮은 턴비로 전력이 넘어가는 것을 확인할 수 있다. 실험 결과, 그림 4에서 볼 수 있듯이 기존의 추가 인덕터와 클램프 다이오드가 적용된 하프 브릿지 컨버터에 비해 정상 입력 상태 시, 전 부하 영역에서 효율이 상승한 것을 확인할 수 있었으며, 60% 부하 시 최대 97.78%의 효율을 얻을 수 있었다.

4. 결론

본 논문에서는 하프 브릿지 컨버터의 정상 입력 상태의 효율을 극대화 하기 위하여 보조 턴과 다이오드를 MOSFET으로 교체하는 회로를 제안하였다. Hold-up 조건 시 턴 비를 바꿔줌으로써 출력 전압을 유지시켜주기 때문에 정상 상태 입력 시 1차 측 스위치 Q_1 과 Q_2 의 비대칭 동작을 줄여 비대칭 하프 브릿지 컨버터의 효율을 올릴 수 있다. 또한 보조 턴을 이용하여 클램프 다이오드의 도통 손실도 줄일 수 있어 하프 브릿지 컨버터 효율의 최적화를 이룰 수 있다.

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2010-0028680)

참고문헌

[1] I.H. Cho, K.H. Yi, K.M. Cho, and G.W. Moon, "High-Efficient Multilevel Half-Bridge Converter" IEEE TRANSACTIONS ON POWER ELECTRONICS, vol. 25, no. 4, pp. 943 - 951, APRIL 2010