

비례공진 제어를 이용한 단상 계통연계형 인버터의 데드타임 영향과 오프셋 오차로 인한 전류맥동 저감에 관한 연구

성의석, 황선환
경남대학교

A Study on Current Ripple Reduction Due to Offset Error and Dead-time Effect of Single-phase Grid-connected Inverters Based on PR Controller

Ui Seok Seong, Seon Hwan Hwang
Kyungnam University

ABSTRACT

단상 계통연계형 인버터에서 전류센서를 통한 상전류 측정시 오프셋 오차는 전류센서와 측정 경로상에 위치한 아날로그 소자의 전압 불균형 및 비선형성으로 인하여 발생하게 된다. 또한 데드타임은 전력용 반도체 스위치를 제어하기 위한 PWM 신호 출력시 필연적으로 발생된다. 본 논문에서는 데드타임으로 인하여 왜곡된 상전류에 포함된 오프셋 오차에 의한 영향을 분석하고 동기좌표계 dq 축 전류에 포함된 특정 고조파 성분을 제거하기 위하여 PR 제어를 사용한 알고리즘이 제안되었다. 데드타임 및 오프셋 오차로 인해 발생된 전류맥동 보상을 위한 기준신호로는 동기좌표계 dq 축 전류를 사용하였다. 제안된 알고리즘의 타당성을 시뮬레이션과 실험을 통하여 증명하였다.

1. 서론

일반적으로 태양광, 연료전지 그리고 풍력발전 등과 같은 시스템에서 단상 계통연계형 인버터는 높은 전력품질을 위해 계통측 전류 정보를 기반으로 정밀하게 제어되어야 한다. 그림 1은 일반적인 단상 계통연계형 인버터의 시스템이며 전력회로와 전력품질 개선을 위한 제어 알고리즘이 포함되어 있다.^{[1],[2]} 유니폴라 PWM 방식으로 제어되는 H 브릿지 인버터의 경우, 데드타임은 동일 레그에서 두 스위칭 소자가 동시에 턴 온 될 때 발생하는 단락을 방지하기 위해 삽입된다. 이러한 데드타임으로 인해 계통전압에 전원 주파수의 홀수차 고조파가 야기되고 상전압 왜곡된다. 또한 전류 측정경로상의 문제로 인해 발생하는 오프셋 오차 역시 상전류에 심각한 영향을 준다. 본 논문에서는 단상 계통연계형 인버터를 위한 새로운 전류리플 저감 알고리즘이 제안되었다. 또한 H 브릿지 인버터의 데드타임 영향을 고려한 오프셋 오차의 영향이 상세히 분석되었다. 그 결과 동기 좌표계에는 전원 주파수의 1배, 3배 그리고 정지 좌표계에는 직류, 전원 주파수의 1배, 2배, 3배 그리고 4배 고조파가 야기됨을 확인하였다. 오프셋 오차는 동기좌표계 PI 전류 제어기에 PR 제어를 사용함으로써 제거되었다. 시뮬레이션과 실험을 통해 제안된 알고리즘의 유용성을 증명하였다.

2. 전류측정오차의 영향

2.1 동기 좌표계에서 오프셋 오차의 영향

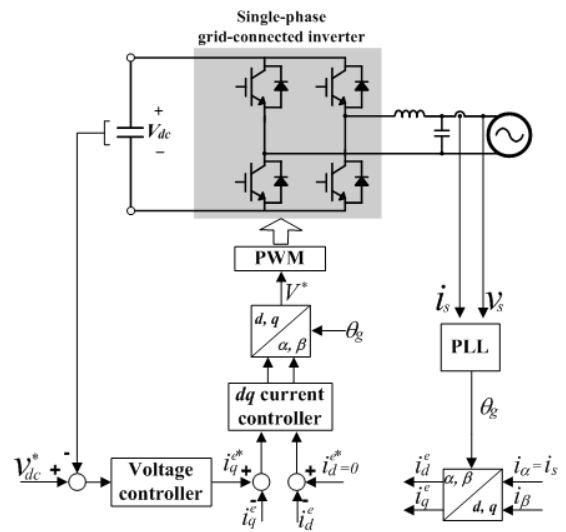


그림 1 기존 단상 계통연계형 인버터의 블록도
Fig. 1 Block diagram of conventional single-phase grid-connected inverter

일반적으로 상전류는 전류센서, 아날로그 소자 그리고 A/D 컨버터의 순서에 의해서 측정되는데, 이러한 상전류 측정경로상의 비선형적인 특성으로 인하여 오프셋 및 스케일 오차가 불가피하게 발생한다. 그러나 스케일 오차는 단상 시스템에서 전류리플에 영향을 주지 않기 때문에 고려하지 않는다. H 브릿지 인버터로 인해 상전류에 발생하는 홀수차 고조파 성분을 1차와 3차 고조파로 나누어 나타내었다. 따라서 오프셋 오차가 포함된 데드타임에 의한 1차 고조파에 대한 동기좌표계 dq 축 전류는 식 (1)과 같이 표현된다.

$$\begin{bmatrix} i_{d-1}^c \\ i_{q-1}^c \end{bmatrix} = \begin{bmatrix} I_{m-1} \frac{\Delta_{dc}}{2} (\cos\theta_g - \sin\theta_g) \\ I_{m-1} + I_{m-1} \frac{\Delta_{dc}}{2} (\cos\theta_g - \sin\theta_g) \end{bmatrix} \quad (1)$$

식 (1)에서와 같이, 오프셋 오차는 동기 좌표계 dq 축 전류에 전원 주파수의 1배 고조파 성분을 야기한다. 3차 고조파에 대한 상전류에 좌표변환을 사용하면, 동기 좌표계 dq 축 전류는 식 (2)와 같이 나타낼 수 있다.

$$(2) \quad \begin{bmatrix} i_{d-3}^e \\ i_{q-3}^e \end{bmatrix} = \begin{bmatrix} I_{m-3} \sin 2\theta_g + I_{m-3} \frac{\Delta_{dc}}{2} (-\sin 3\theta_g + \cos 3\theta_g) \\ I_{m-3} \cos 2\theta_g + I_{m-3} \frac{\Delta_{dc}}{2} (-\sin 3\theta_g + \cos 3\theta_g) \end{bmatrix}$$

식 (1)과 식 (2)로부터 데드타임과 옵셋 오차에 의해 동기 좌표계 dq축 전류에 1차 및 3차 고조파 성분이 발생하는 것을 알 수 있다.

2.2 정지 좌표계에서 옵셋 오차의 영향

옵셋 오차가 포함된 동기 좌표계 dq축 전류를 dq αβ 좌표 변환하여, 1차 고조파에 대해 고려된 정지 좌표계 dq축 전압은 식 (3)과 같이 표현된다.

$$(3) \quad \begin{bmatrix} v_{d-1}^s \\ v_{q-1}^s \end{bmatrix} = \begin{bmatrix} I_{m-1} \frac{\Delta_{dc}}{2} - I_{m-1} \sin \theta_g + k(\cos \theta_g + \sin \theta_g) \\ + k(-\sin 2\theta_g + \cos 2\theta_g) \\ I_{m-1} \frac{\Delta_{dc}}{2} + k + I_{m-1} \cos \theta_g + k \cos \theta_g \\ + k \sin \theta_g + k \sin 2\theta_g \end{bmatrix}$$

식 (3)으로부터 정지 좌표계 dq축 전류에 직류, 전원 주파수의 1배 그리고 2배 고조파가 포함되어있는 것을 볼 수 있다. 정지좌표계 dq축 전류에 옵셋 오차가 포함된 3차 고조파 성분은 다음과 같다.

$$(4) \quad \begin{bmatrix} v_{d-3}^s \\ v_{q-3}^s \end{bmatrix} = \begin{bmatrix} -k \cos \theta_g + k \cos 2\theta_g + k(\sin 2\theta_g - \cos 2\theta_g) \\ + k(\sin 3\theta_g + \cos 3\theta_g) + k \sin 4\theta_g \\ k \sin \theta_g + k \cos 2\theta_g + k(\sin 2\theta_g - \cos 2\theta_g) \\ + k(\sin 3\theta_g + \cos 3\theta_g) + k \sin 4\theta_g \end{bmatrix}$$

식 (4)에서와 같이 옵셋 오차에 의하여 정지 좌표계 dq축 전류에는 직류, 1배, 2배, 3배 그리고 4배 고조파가 야기된다. 그림 2는 제안된 동기 좌표계 dq축 전류리플 저감 알고리즘의 블록도를 나타낸다. 동기 좌표계 dq축에 나타나는 옵셋 오차에 의한 전원 주파수의 제 1차와 3차 고조파 성분은 동기 좌표계 PI 전류 제어기를 기반으로한 시스템에 PR 제어기를 이용해 보상함으로써 저감된다.

3. 시뮬레이션

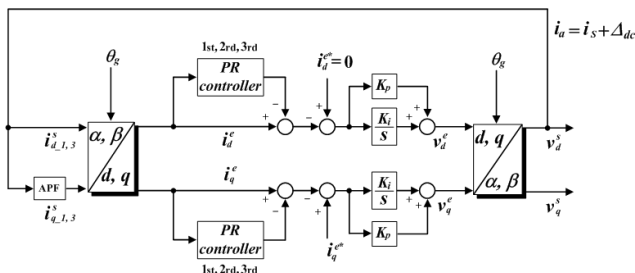
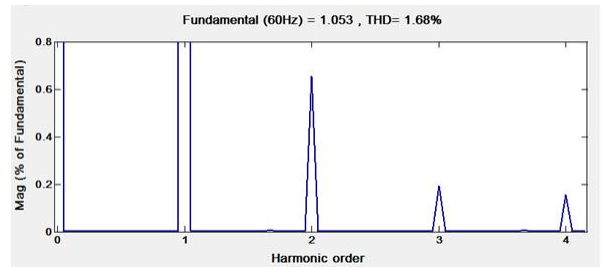
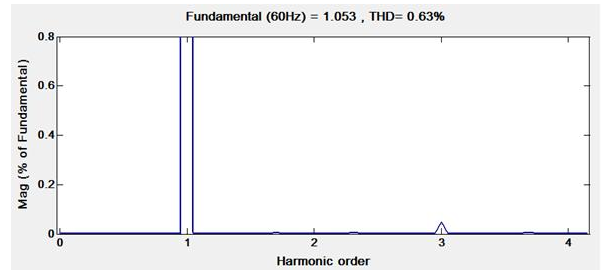


그림 2 제안된 전류리플 저감 알고리즘의 블록도
Fig. 2 Block diagram of the proposed current ripple reduction algorithm under dc offset error



(a) 보상전



(b) 보상후

그림 3 정상상태에서 상전류의 FFT 비교
Fig. 3 FFT results of grid-side phase current at the steady state

제안된 알고리즘의 효율성을 확인하기 위해 상전류의 2%에 해당하는 옵셋 오차를 인가하고 PR 제어기를 적용한 전류에 대하여 시뮬레이션을 수행하여 비교한 결과를 그림 3에서 나타내었다. 시뮬레이션은 Matlab/Simulink를 이용하여 수행되었다.

4. 결론

본 논문에서는 단상 계통연계형 인버터의 옵셋 오차로 인한 전류리플 저감 알고리즘이 제안되었다. 기본적으로 옵셋 오차는 전류측정회로에 의해 발생되며, 그에 따라 발생하는 전류리플은 동기 좌표계와 정지 좌표계를 기반으로 수학적으로 분석되었다. 제안된 특정 차수의 고조파를 선택적으로 제거할 수 있는 특성의 PR 제어기를 이용한 시스템을 적용한 결과, 복잡한 연산없이 전류리플을 쉽게 저감할 수 있었다. 제안된 알고리즘의 효율성은 시뮬레이션과 실험결과를 통해 증명하였다.

이 논문은 2013년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업 (No.NRF 2013R1A1A1013670)의 연구비 지원에 의하여 연구되었습

참고 문헌

- [1] C. H. Lee, J. W. Choi, "Compensation Strategy to Eliminate the Effect of Current Measurement Offsets in Grid Connected Inverters", Journal of Power Electronics, Vol. 14, No. 2, pp. 383-391, 2014, March.
- [2] J. H. Park, H. G. Jeong, K. B. Lee, "Output Current Ripple Reduction Algorithms for Home Energy Storage Systems", Energies, Vol. 6, No. 10, pp. 5552-5569, 2013,