

Graphene as an effective tunnel barrier for spin injection into n-Ge

백승헌^{1*}, 서유진¹, 오중건¹, 박민규¹, 봉재훈¹, 윤성준¹, 서민수², 박승영², 박병국³, 이석희¹

¹Department of Electrical Engineering, KAIST, Daejeon, 305-701, Korea

²Division of Materials Science, Korea Basic Science Institute, Daejeon, 305-333, Korea

³Department of Materials Science and Engineering, KAIST, Daejeon, 305-701, Korea

1. 서론

1990년대에 S. Datta와 B. Das가 외부전기장을 이용해 동작할 수 있는 spin FET[1]을 제시한 이후 스핀트로닉스 소자는 미래지향적 소자로서 큰 각광을 받게 되었다. 이는 현행 CMOS 소자의 동작과 매우 유사하면서도 multi-functionality, 비휘발성, 저전력과 같은 특성을 갖기 때문에 beyond CMOS 기술로서 큰 가능성을 가지고 있는 소자라고 할 수 있다. 최근 들어 germanium (Ge) 반도체를 이용하여 spin FET를 만드는 것이 큰 관심을 받고 있는데 이는 Ge의 inversion symmetry 결정구조에서 오는 긴 spin diffusion length와 높은 캐리어 이동도 때문이다[2]. 하지만 n-type Ge은 금속과의 접합부분에서 fermi-level pinning (FLP) 영향 때문에 높은 쇼트키 장벽이 형성된다. 이러한 쇼트키 장벽을 낮추면서 스핀 주입 및 검출을 시도하려는 연구가 많이 진행되었는데 이 중에서도 MgO와 Al₂O₃와 같은 oxide 계열의 터널막을 이용한 연구가 많이 진행되었다[3,4]. 이와 더불어 최근 실리콘에 그래핀을 터널막으로 사용하여 효과적으로 스핀을 주입하고 검출한 연구가 발표되었다[5]. 그래핀의 경우 oxide 계열의 터널막과는 다르게 매우 얇으면서도 defect가 없는 film을 형성한다. 또한 수직방향으로의 전도도는 매우 낮기 때문에 이상적인 터널막으로 동작할 수 있다. 따라서 본 연구에서는 앞선 연구들을 조금 더 발전시켜 그래핀 터널막을 이용하여 효과적으로 FLP을 완화시키고 스핀 주입 및 검출이 가능한 최적화 된 조건을 찾는 것을 목표로 한다.

2. 실험방법

본 실험에서는 Cu film 위에서 CVD를 이용해 성장시킨 monolayer 그래핀을 사용하였다. 본 소자는 n-Ge(001)/Graphene/Co(5)/Au(100)nm 와 같다. 일반적으로 그래핀은 edge 부분에 conduction path가 생기기 때문에 터널링 이외의 다른 current transport 방식으로 전류가 흐를 가능성이 있다. 이를 방지하기 위해 그래핀의 edge 부분은 Al₂O₃를 사이에 존재하게 하여 Ge과 Co 모두와의 접촉을 방지했다. 그래핀 터널막의 두께를 바꾸기 위해서 여러 장의 그래핀 (0~3장)을 transfer 하여 터널막을 형성했다.

본 소자는 상온에서부터 시작하여 저온에서까지 IV 측정을 하였고, 쇼트키 다이오드의 current transport 모델을 이용하여 쇼트키장벽, ideality factor 등 관련 값들을 추출해 낼 수 있었다.

3. 실험결과 및 고찰

Ge의 FLP현상에 대한 근본적인 원인은 아직 확립되어 있지 않지만, 일반적으로 2가지 이론으로 설명하고 있다. 하나는 metal-induced gap state (MIGS)에 의한 효과이고 다른 하나는 interfacial state (IS)의 효과로 현상을 설명하고 있다. 본 실험에서는 결과에 보이는 것처럼 그래핀 층수에 따라 FLP이 완화되는 정도가 큰 영향을 받았기 때문에 MIGS에 의한 효과가 더 dominant 하다고 할 수 있다.

그림1(a)를 보면 터널막에 사용된 monolayer 그래핀의 층수가 증가함에 따라 reverse current가 증가하는 것을 볼 수 있다. 하지만 그래핀 층수가 3층 이상으로 증가하면 터널링 저항의 증가로 인해 forward bias current

와 reverse bias current 모두 감소하는 것을 볼 수 있다. 그래핀이 없는 소자의 경우 일반적인 쇼트키 특성을 보인다. 이와 같은 현상은 그래핀 층수가 증가 할수록 MIGS에 의한 파동함수를 효과적으로 차단하여 FLP가 완화되고 이로 인해 쇼트키 장벽이 줄어드는 것이다.

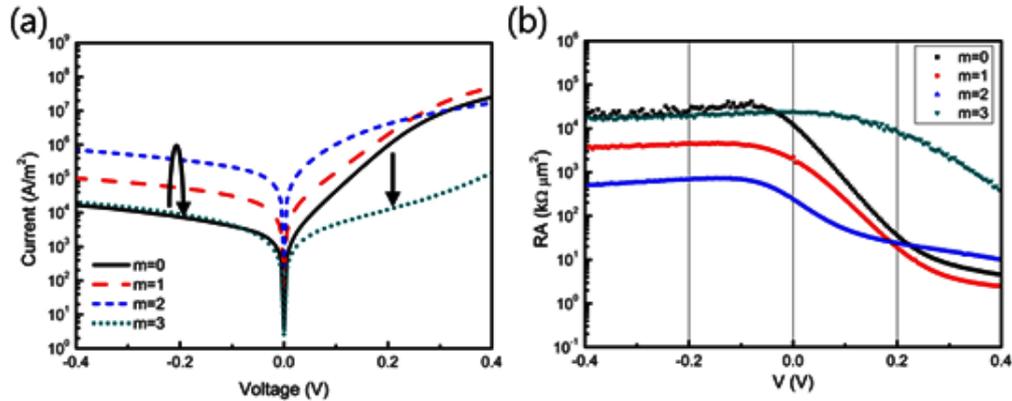


Fig 1. (a) 그래핀 층수에 따른 IV 특성 (b) 그래핀 층수에 따른 RA product

5. 결론

Ge은 차세대 반도체로서 각광받고 있는 물질 중 하나이다. 또한 spin relaxation time과 spin diffusion length 등이 실리콘 보다 더 길기 때문에 스핀트로닉스 소자로서는 실리콘보다 더 월등한 특성을 가지고 있다고 판단 된다. 본 연구에서는 n-type Ge의 FLP 문제를 그래핀을 이용하여 효과적으로 완화시키고 oxide계열 터널막의 한계 (roughness, interfacial state, thickness control etc...) 역시 동시에 해결하였다. 이번 결과를 통해서 그래핀 2층이 가장 낮은 쇼트키 장벽을 형성한다는 것을 보여 주었고 이를 통해, 그래핀이 효과적인 터널막으로서 동작 가능하다는 것을 보여주었다. 이로 인해 Ge 기반의 spin FET의 효과적인 스핀 주입 및 검출을 기대해 볼 수 있게 되었다.

6. 참고문헌

- [1] S. Datta, and B. Das, Appl. Phys. Lett. **56**, 665 (1990)
- [2] M. I. Dyakonov, Spin Physics in Semiconductors, (Spinger, Berlin, 2008)
- [3] K. Jeon *et al.*, Appl. Phys. Lett. **99**, 162106 (2011)
- [4] A. Jain *et al.*, Appl. Phys. Lett. **99**, 162102 (2011)
- [5] O. M. J. van't Erve *et al.*, Nature Nanotech. **7**, 737 (2012)
- [6] J. Tersoff, Phys. Rev. Lett. **52**, 465 (1984)
- [7] R. T. Tung, Phys. Rev. B **64**, 205310 (2001)