

# 디지털 논리게이트의 레이아웃

최진호

부산외국어대학교

Layout of Digital Logic Gates

Jin-Ho Choi

Busan University of Foreign Studies

E-mail : jhchoi@bufs.ac.kr

## 요 약

본 논문에서는 처음 레이아웃을 접하는 학생들이 쉽게 레이아웃을 할 수 있도록 논리게이트의 입력 수에 따른 소스/드레인 접합면의 개수 및 출력 단자에 연결되는 드레인 접합면의 개수를 간단한 수식으로 설명하고자 한다. 일반적으로 디지털 회로에서는 직렬로 연결되는 트랜지스터의 경우 하나의 접합면으로 트랜지스터의 소스와 또 다른 트랜지스터의 드레인으로 동작하도록 레이아웃 된다. 그리고 출력 단자에 연결되는 드레인 접합면의 개수를 줄어야만 논리게이트의 동작속도를 향상시킬 수 있다. 그러므로 출력단자를 구성하는 드레인 접합의 개수를 수식으로 제시하고 설명함으로써 초보자도 쉽게 레이아웃을 할 수 있도록 하고자 한다.

## 키워드

레이아웃, CMOS, 디지털 논리게이트, 출력 커패시터, 동작속도

## I. 서 론

반도체 칩을 구현하기 위한 과정을 간략히 보면 그림 1과 같다. 설계 사양으로부터 설계되어진 회로를 반도체 칩으로 구현하기 위해 처음으로 진행되어야 하는 것은 레이아웃 설계이다. 그러므로 레이아웃 설계는 회로 설계와 반도체 공정을 이어주는 중간과정으로서 매우 주요한 작업이다. 우수한 레이아웃 설계를 위해서는 회로 설계에 대한 지식과 반도체 공정에 관한 지식이 동시에 요구되어지는 이유이다. 그러므로 레이아웃 엔지니어의 경우 회로 설계 및 반도체 제조 공정에 대한 이해가 있으면 좋은 레이아웃 엔지니어가 될 수 있을 것이다. CMOS 논리게이트의 경우 칩 면적 감소를 위해 하나의 접합을 이용하여 소스와 드레인으로 동작하도록 레이아웃 하게 된다. 그러나 처음 레이아웃을 접하는 학부생의 경우 이 개념을 이해하고 레이아웃에 적용하기에 많은 어려움을 느낀다. 그리고 CMOS 논리게이트의 경우 출력전압이 high와 low로 디지털 값이 변화할 때 동작속도를 향상시키기 위해서는 출력단자에 연결되는 커패시터 성분을 감소시켜야 한다. 이를 위해서는 출력단자에 연결되는 드레인 접합면의

수가 감소하도록 레이아웃 되어야 한다. 이 또한 처음 레이아웃을 접하는 학생들이 회로의 개념을 이해해야 하는 부분이라 어려워하는 내용이다.

본 논문에서는 초보자들도 쉽게 레이아웃을 이해할 수 있도록 논리게이트의 입력에 따른 NMOS와 PMOS의 접합 면의 개수를 수식을 통하여 살펴보고자 한다. 그리고 출력 단자에 연결되는 드레인 접합면의 수도 수식으로 표현함으로써 전체 레이아웃에 대한 최적화된 접합면의 개수 및 역할을 소개하고자 한다.

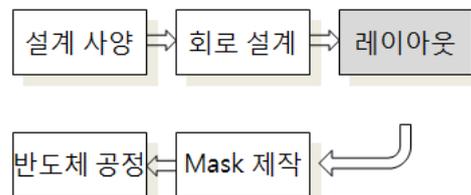


그림 1. 반도체 칩 설계 과정

## II. 본 론

그림 2는 2개의 입력을 가지는 NAND 게이트

의 CMOS 회로도 및 레이아웃이다[1]. CMOS 회로도의 출력단자에서부터 PMOS의 오일러 경로를 표현하면 다음과 같다. NMOS의 s1 접합면은 B 트랜지스터의 소스로서 그리고 A 트랜지스터의 드레인으로서 공용으로 사용되고 있다.

$$PMOS: V_{OUT} - A - V_{DD} - B - V_{OUT}$$

$$NMOS: V_{OUT} - A - s1 - B - GND$$

그림 2의 레이아웃은 오일러 경로를 이용하여 그려진 것이다.

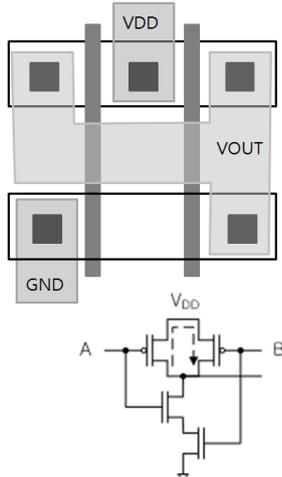


그림 2. 2입력 NAND 게이트 레이아웃

그림 2의 경우 출력단자 VOUT에 연결된 PMOS의 드레인 단자는 2개, NMOS의 드레인 단자는 1개로서 전체 3개의 드레인 접합 면이 연결된다. 그러나 PMOS의 오일러 경로를 VDD에서부터 적용하면 오일러 경로는 아래와 같다.

$$PMOS: V_{DD} - A - V_{OUT} - B - V_{DD}$$

$$NMOS: V_{OUT} - A - s1 - B - GND$$

그림 3과 같이 레이아웃할 경우 출력단자에 연결된 PMOS와 NMOS의 드레인 단자는 각각 1개로서 총 2개의 드레인 접합면이 출력단자에 연결된다. 그러므로 그림 2와 그림 3의 동작특성을 비교하면 그림 3과 같이 레이아웃 되어야 동작속도를 향상시킬 수 있다. 그러므로 CMOS 논리게이트를 레이아웃할 경우 직렬로 구성되는 트랜지스터의 경우 오일러 경로는 항상 동일하다. 그러나 병렬로 구성되는 트랜지스터의 경우 입력 개수에 따라서 공용으로 사용할 소스/드레인을 어떻게 구성하느냐에 따라 출력단자에 연결되는 접합면의 개수는 달라진다.

m개의 입력을 가지는 CMOS NAND 게이트 레이아웃에서 PMOS와 NMOS의 소스/드레인 접합면의 총 개수는 2(m+1)이다. 즉, 2입력 NAND 게이트의 경우 PMOS와 NMOS의 총 접합면의

개수는 6이다.

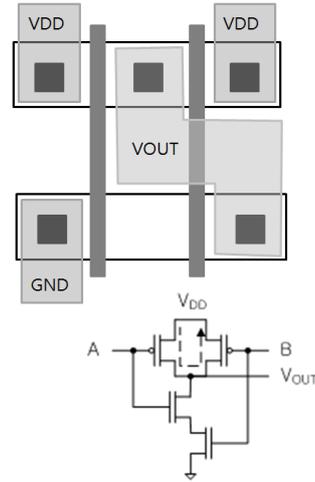


그림 3. 2입력 NAND 게이트 레이아웃

그리고 출력단자에 연결되는 PMOS의 드레인 개수는 m/2에서 몫과 나머지를 구하여 더한 값이다. 여기서 몫은 2개의 트랜지스터에서 하나의 드레인 접합면을 공용으로 사용하는 개수이고, 나머지는 독립적으로 드레인 접합면을 사용하는 개수이다. 그리고 직렬로 구성되는 NMOS의 출력단자에 연결되는 드레인 접합면의 개수는 1이다. 이는 입력의 개수가 증가하더라도 동일하게 적용된다.

### III. 결 론

CMOS 논리 게이트의 레이아웃을 위해서는 PMOS와 NMOS의 접합면 개수는 각각 (입력 개수)+1의 접합면이 필요하다. 그리고 NAND 게이트의 출력단자에 연결되는 드레인 접합의 개수는 (입력 개수)/2를 하여 몫과 나머지를 구하여, 더한 값이 출력단자에 연결되는 PMOS의 드레인 접합면의 숫자이다. 그리고 NMOS는 직렬로 구성되므로 하나의 접합으로 드레인을 레이아웃 하여야 한다. 초보자들의 경우 이렇게 레이아웃을 진행하기 전 먼저, 이와 같은 관계를 이용하여 PMOS와 NMOS의 각 접합면의 개수를 구한 다음, 레이아웃을 진행한다면, 좀 더 쉽게 레이아웃을 진행할 수 있을 것이며 레이아웃 후 검증도 쉽게 수행할 수 있을 것이다.

### 참고문헌

- [1] Neil H. E. Weste and Kamran Eshraghian, "Principles of CMOS VLSI Design A Systems Perspective" Addison-Wesley Publishing Company