

비대칭 이중게이트 MOSFET의 하단게이트 전압에 따른 문턱전압이동현상

정חק기

Threshold Voltage Roll-off for Bottom Gate Voltage of Asymmetric Double Gate MOSFET

Hakkee Jung

요 약

본 연구에서는 비대칭 이중게이트(double gate; DG) MOSFET의 하단 게이트전압에 대한 문턱전압이동 현상에 대하여 분석하였다. 비대칭 DG MOSFET는 4단자소자로서 상단과 하단의 게이트단자에 별도의 전압을 인가할 수 있으므로 하단게이트전압의 변화가 문턱전압에 영향을 미칠 것이다. 그러므로 단채널효과로 알려져 있는 문턱전압이동현상이 하단게이트전압에 의하여 감소할 수 있는지를 관찰하고자 한다. 이를 위하여 문턱전압 이하영역에서의 차단전류모델을 제시하였으며 차단전류가 채널폭 당 $10^{-7} A/\mu m$ 일 경우의 상단게이트 전압을 문턱전압으로 정의하여 채널길이 및 채널두께의 변화에 따라 하단게이트 전압의 변화에 대한 문턱전압의 이동현상을 관찰하였다. 결과적으로 하단게이트전압은 문턱전압이동현상에 커다란 영향을 미치는 것을 알 수 있었으며, 특히 단채널효과가 심각하게 발생하고 있는 채널길이 및 채널두께 영역에서는 더욱 큰 영향을 미치고 있다는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed threshold voltage roll-off for bottom gate voltages of asymmetric double gate(DG) MOSFET. Since the asymmetric DG MOSFET is four terminal device to be able to separately bias for top and bottom gates, the bottom gate voltage influences on threshold voltage. It is, therefore, investigated how the threshold voltage roll-off known as short channel effects is reduced with bottom gate voltage. In the pursuit of this purpose, off-current model is presented in the subthreshold region, and the threshold voltage roll-off is observed for channel length and thickness with a parameter of bottom gate voltage as threshold voltage is defined by top gate voltage that off-current is $10^{-7} A/\mu m$ per channel width. As a result to observe the threshold voltage roll-off for bottom gate voltage using this model, we know the bottom gate voltage greatly influences on threshold voltage roll-off voltages, especially in the region of short channel length and thickness.

1. 비대칭 이중게이트 MOSFET의 전위분포 및 문턱전압 모델

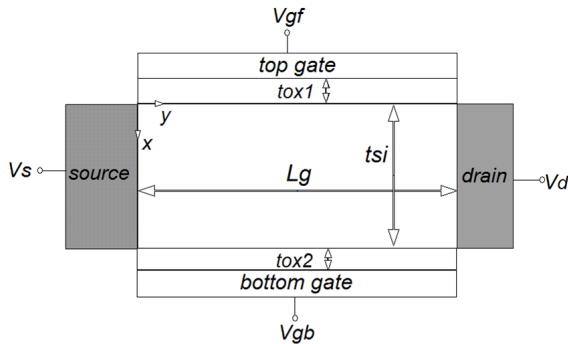


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic view of asymmetric double gate MOSFET

비대칭 DG MOSFET는 4단자 소자로서 그림 1과 같이 상단 게이트전압 V_{gf} 와 하단게이트 전압 V_{gb} 를 각기 달리 인가시킬 수 있다. 채널내 전위분포를 구하기 위하여 다음과 같이 2차원 포아송방정식을 이용하였다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 $n(x)$ 는

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

와 같은 가우스함수를 이용한다. 여기서 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포 편차를 나타낸다. 채널 폭 W 방향으로의 전위분포 변화는 대칭 DG MOSFET와 동일하게 무시할 수 있으므로 x, y 방향에 대해서만 전위분포를 구한다[5].

식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[6].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이때 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는 참고문헌[7]에 표기하였다. A 는 적분 상수이다. 또한 $A_n(x)$ 에 나타나는 상수 $B_1, B_2, b_1, b_2, C_n, D_n$ 참고문헌[7]에 표기하였다.

드레인전류 모델을 설정하기 위하여 맥스웰-볼츠만통계를 이용하면 그림 2와 같이 소스에서 드레인까지 전위장벽을 넘어 이동하는 전자의 수는

$$n_m(x) = (n_i^2/N_A) e^{q\phi_{\min}(x)/kT} \approx (n_i^2/N_A) e^{q\phi_{\min}(x_{eff})/kT} \quad (5)$$

이다. 여기서 n_i 는 순수반도체 전자농도이며 N_A 는 채널도핑농도 그리고 $\phi_{\min}(x)$ 는 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (3)에 대입하며 구한 최소 전위분포 값이다. 식 (5)에서 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 이동 전자의 수를 구한다.

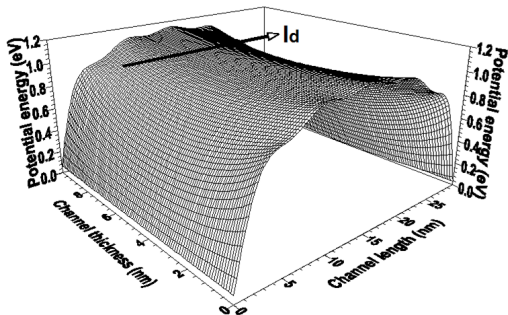


그림 2. 채널내 에너지밴드구조 및 드레인전류 개략도
Fig. 2. Schematic diagram of energy band structure and drain current

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x,y_{\min})/V_t} dx / \int_0^{t_{si}} e^{\phi(x,y_{\min})/V_t} dx \quad (6)$$

이때 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si}W$ 면적의 드레인에 도착하는 전자의 수를 이용하여 그림 2의 드레인 전류 I_d 를 구하면

$$I_d = \frac{qn_m(x_{eff})v_{th}t_{si}W}{6} \quad (7)$$

이다. 여기서 v_{th} 는 열속도이다. 이와 같이 구한 드레인 전류가 $1 \mu\text{m}$ 의 단위 채널 폭당 $0.1\mu\text{A}$ 일 때, 상단 게이트 전압을 문턱전압으로 정의한다[8].

본 연구에서는 이와 같이 구한 문턱전압이 하단 게이트전압의 변화에 대하여 채널길이 및 채널두께에 따른 변화를 고찰하고자 한다.

II. 하단게이트 전압에 대한 문턱전압의 변화 고찰

본 연구에서 제시한 모델의 타당성을 고찰하기 위하여 그림 3에 ALTAS 시뮬레이션의 결과[9]와 비교하였다. 시뮬레이션조건은 이차원 수치해석학적인 경우와 본 연구에서 사용한 모델에서 공히 $t_{si} = 10 \text{ nm}$, $t_{ox1} = 1.5 \text{ nm}$, $t_{ox2} = 1.5 \text{ nm}$, $R_p = \sigma_p = 5 \text{ nm}$,

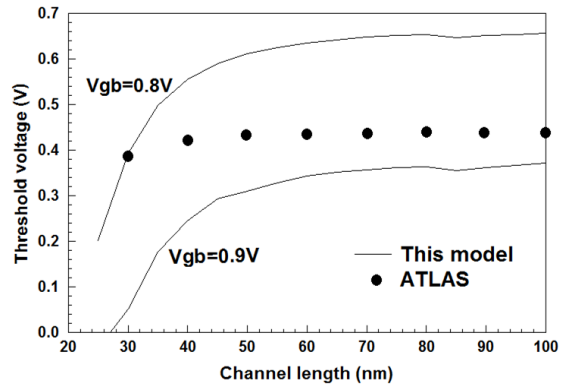


그림 3. 채널길이에 따른 문턱전압이동현상의 2차원 수치해석적 해와 본 연구에서 제시한 모델의 비교
Fig. 3. Comparison of threshold voltages of this model with those of two dimensional numerical simulation for channel length

$N_p = 10^{16}/cm^3$, $V_d = 0.1 V$ 등이다. 본 연구에서 사용한 비대칭 이중게이트 MOSFET의 경우는 하단게이트 전압을 별도로 인가할 수 있으며 하단게이트 전압 0.8~0.9 V사이로 인가할 경우, 이차원 수치해석학적 해와 잘 일치하는 것을 알 수 있다. 그림 3의 결과에서 알 수 있듯이 채널길이가 약 40 nm이하에서 단채널 효과에 의한 문턱전압이동현상이 급격히 발생하고 있다. 그러므로 본 연구에서 제시한 모델을 이용하여 하단게이트 전압이 채널길이 및 채널두께가 변화할 때 문턱전압이동현상에 미치는 영향을 관찰하고자 한다.

그림 4에 하단게이트 전압이 0 V에서 1.0 V까지 변화할 때 채널길이에 대한 문턱전압이동현상을 도시하였다. 표기한 시뮬레이션조건 이외에 다른 변수값은 $R_p = \sigma_p = 5 nm$, $N_p = 10^{16}/cm^3$, $V_d = 0.1 V$ 등이다. 그림에서 알 수 있듯이 단채널효과에 의하여 채널 길이가 짧아지면 문턱전압이 감소하는 이동현상이 발

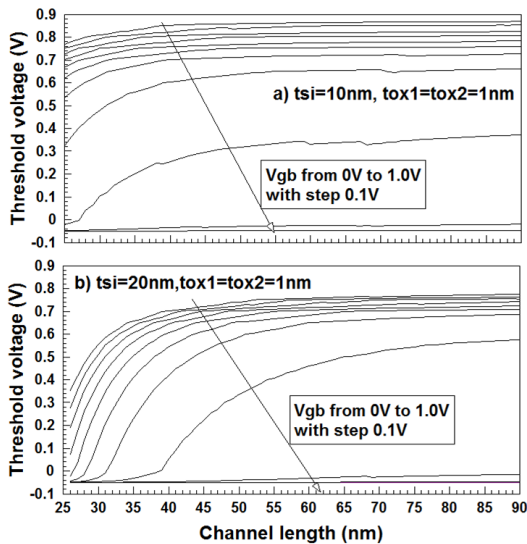


그림 4. 하단게이트 전압이 변화할 때 채널길이에 따른 문턱전압이동현상 a)

$t_{si} = 10 nm, t_{ox1} = t_{ox2} = 1 nm$ 일 때 b)

$t_{si} = 20 nm, t_{ox1} = t_{ox2} = 1 nm$ 일 때

Fig. 4. Threshold voltage roll-off for channel length with a parameter of bottom gate voltage in the case of a) $t_{si} = 10 nm, t_{ox1} = t_{ox2} = 1 nm$ and b) $t_{si} = 20 nm, t_{ox1} = t_{ox2} = 1 nm$

생하고 있다. 또한 하단게이트 전압이 증가할수록 문턱전압은 감소하나 문턱전압이동현상이 심각하게 발생하고 있다. 그러나 하단게이트전압이 거의 0.1 V에 근접할 경우 0 V이하의 문턱전압을 갖는 문제점을 나타낸다. 문턱전압은 낮을수록 소자특성이 우수하나 부호가 바뀌면 소자동작에 문제가 생기므로 하

단게이트전압을 너무 크게 설정하지 말아야할 것이다. 그림 4a)와 4b)를 비교해 보면 채널두께가 증가할수록 문턱전압은 감소하나 문턱전압이동현상은 더욱 심각하게 발생하고 있었다. 또한 채널길이에 대한 문턱전압의 변화율도 채널두께가 클 때 더욱 증가하는 것을 알 수 있었다. 그러나 채널두께가 클 경우, 채널길이가 증가할수록 하단게이트 전압에 대한 문턱전압의 변화율은 작아지는 것을 관찰할 수 있었다. 그림 4b)에서 알 수 있듯이 채널길이가 짧아지면서 채널두께가 커지면 하단게이트 전압이 0.5 V 정도에서도 문턱전압의 부호가 바뀌는 심각한 문제를 발생시키는 것을 관찰할 수 있었다.

III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 하단게이트전압이 변화할 때 채널길이 및 채널두께에 대한 문턱전압이동 현상에 대하여 분석하였다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트단자에 별도의 전압을 인가할 수 있으며 하단게이트 전압에 따라 문턱전압이동현상이 변화할 것이다. 그러므로 단채널 효과로 알려져 있는 문턱전압이동현상이 하단게이트 전압에 의하여 감소할 수 있는지를 관찰하고자 한다. 문턱전압은 드레인 전류가 채널 폭 당 $10^{-7} A/\mu m$ 일 경우의 상단게이트 전압을 문턱전압으로 정의하여 채널 길이 및 채널두께의 변화에 따라 하단게이트 전압의 변화에 대한 문턱전압의 이동현상을 관찰하였다. 결과적으로 채널두께가 증가할수록 그리고 채널길이가 감소할수록 문턱전압은 감소하나 문턱전압이동현상은 더욱 심각하게 발생하고 있었다. 하단게이트 전압이 작을 경우 문턱전압은 일정하게 유지되다가 하단게이트 전압이 증가할수록 문턱전압이동현상이 크게 발생하는 것을 관찰할 수 있었다. 또한 t_{si}/L_g 의 비도 문턱전압이동현상의 변수가 되므로 향후 비대칭 이중게이트 MOSFET설계시 하단게이트 전압과 함께 고려되어야만 할 것이다.

References

- [1] <http://www.samsung.com/sec/news/presskit/3d-v-nand>
- [2] S.M.Lee, J.Y.Kim, C.G.Yu and J.T.Park, "A comparative study on hot carrier effects in inversion-mode and junctionless MuGFETs," *Solid-State Electronics*, vol.79, no.1, pp.253-257, 2013.
- [3] N.Chevillon, J.Sallese, C.Lallement, F.Pregaldiny, M.Madec and J.Aghassi, "Generalization of the Concept of

- Equivalent Thickness and Capacitance to Multigate MOSFETs Modeling," *IEEE Electron Devices*, vol.59, no.1, pp.60-71, 2012.
- [4] A.Sengupta and C.K.Sarkar, "Surface potential based analytical modeling of double gate MOSFET with Si and Au nano-dots embedded gate dielectric for non-volatile memory applications," *J. of Computational and Theoretical Nanoscience*, vol.10, no.4, pp.906-913, 2013.
- [5] D. S.Havaladar, G. Katti, N. DasGupta and A. DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, 2006.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] H.K.Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. Korea Inst. Inf. Commun. Eng.*, vol.17, no.11, pp.2621-2626, 2013.
- [8] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.