

---

# 실리콘 나노와이어 MOSFET' s의 채널 길이와 폭에 따른 아날로그 특성

권재협\* · 서지훈\* · 최진형\* · 박종태\*

인천대학교

Silicon Nano wire Gate-all-around SONOS MOSFET' s analog performance by width and length

Jae-hyup Kwon\* · Ji-hoon Seo\* · Jin-hyung Choi\* · Jong-tae Park\*

\*Incheon National University

E-mail : 6306kic@naver.com

## 요 약

본 연구에서는 채널 길이와 폭의 변화에 따른 실리콘 나노와이어 MOSFET 소자의 아날로그 특성을 비교 분석 하였다. 측정 온도는 30°C, 50°C, 75°C, 100°C이다. 사용된 소자의 폭은 20nm, 30nm, 80nm, 130nm 와 길이는 250nm, 300nm, 250nm, 500nm을 사용하였다. 소자의 아날로그 특성은 이동도, 트랜스컨덕턴스, Early 전압, 전압이득, 드레인 전류 이다. 이동도는 폭이 증가함에 따라 증가하고 길이와 온도가 증가할수록 감소한다. 트랜스 컨덕턴스는 폭이 증가하면 증가한다. Early 전압은 길이와 온도가 증가함에 따라 증가하고 폭이 증가함에 따라 감소한다. 따라서 이득은 폭의 감소와 길이가 증가함에 따라 증가하고 온도가 증가함에 따라 감소하는 것을 알 수 있었다.

## ABSTRACT

In this work, analog performances of silicon nanowire MOSFET with different length and channel width have been measured. The channel widths are 20nm, 30nm, 80nm, 130nm and lengths are 250nm, 300nm, 350nm, 500nm. temperatures 30°C, 50°C, 75°C, 100°C have been measured. The trans-conductance, early voltage, gain, drain current and mobility have been characterized as a function of temperature. The mobility has been enhanced with wider channel width but it has been reduced with longer length and higher temperature. The trans-conductance has been increased with wider channel width. The early voltage has been enhanced with increase of gate length and temperature but it has been reduced with wider width. Therefore, gain has been enhanced with increase of gate longer length and wider width but it has been reduced with higher temperature

## 키워드

나노와이어, 아날로그 특성, 트랜스 컨덕턴스, Early 전압, 게이트 커패시턴스

### I. 서 론

실리콘 CMOS소자 크기가 축소됨에 따라 전자의 유효이동도 저하 및 전류 구동 능력에 어려움이 발생하게 되었다. CMOS 소자를 2차원 구조에서 3차원 구조로 바꾸면 앞에서 설명한 문제들을 줄일 수 있다는 것은 이미 오래 전부터 진행되어 왔으며, 새로운 3차원 구조들에 대한 많은 연구가 현재 진행되고 있다[1].

기존의 MOSFET 구조를 벗어나 새로운 구조의 개발이 요구되고 있다. 이에 가장 부합되는 구조 중 하나가 실리콘 나노 와이어이다. 나노와이어 관련하여 공정조건을 달리하거나 구조를 다르게 하여 연구가 진행 중이다. 나노와이어의 중요성이 대두 되고 있는 가운데 본 논문에서는 소자 성능의 최적 조건을 찾기 위하여 폭, 길이 및 온도 변화를 주어 아날로그 특성을 확인하였다. 전류는 온도, 폭과 길이의 변화에 따라 복합적으로 성능이 개선, 퇴화되며 전류에 따라 전압 이득, 유효 이동도 등 소자의 아날로그 성능이 변화되는 것을 확인 할 수 있었다.

### II. 소자 제작

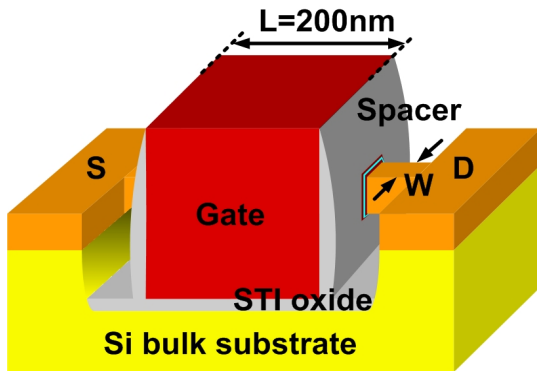


그림 1. 나노와이어 MOSFET의 도식도

그림1은 Silicon nanowire MOSFET 구조이다. Bosch process 방식으로 P-type (100)기판에 폭은 20nm~130nm, 길이는 250nm~ 500nm로 제작되었다. LPCVD 방식을 이용하여 터널링 옥사이드 2nm, 트랩 층 2nm 와 차단 옥사이드 2nm를 증착 하였으며 총 옥사이드 두께는 6nm이다.

### III. 아날로그 특성 분석

그림 2에서  $g_m/I_{DS}$ 에서 식은 다음과 같이 표현

된다[2].

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu C_{OX}W/L}{nI_{DS}}} \quad (1)$$

소자의 아날로그 성능을 평가하기 위한 가장 많이 사용되는 지수가  $g_m/I_{DS}$ 이다.  $g_m$ 은 소자증폭 능력을 나타내고,  $I_{DS}$ 는 소자의 동작 영역을 나타내며 소자의 크기를 결정할 때 사용된다. 그림 2에서 온도가 증가 할수록  $g_m/I_{DS}$ 는 감소한다. 이는 온도가 증가 할수록 유효 이동도가 감소하고 식 (2)에 나타난 유효이동도 감소로 인해  $g_m/I_{DS}$ 는 감소한다.

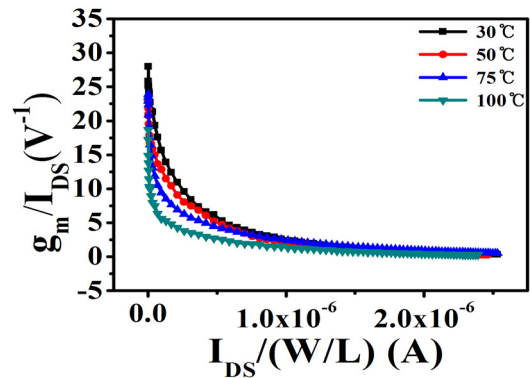


그림 2. 온도 증가에 따른  $g_m/I_{DS}$ 특성

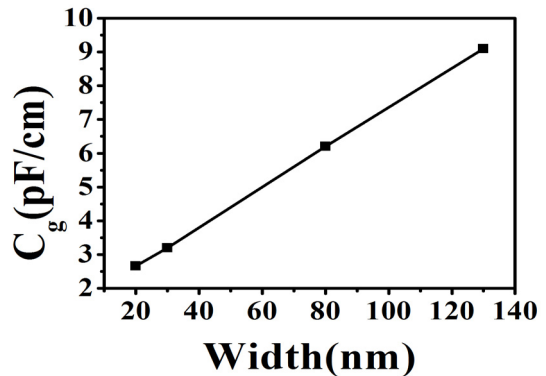


그림 3. 채널 폭의 변화에 따른 게이트 커패시턴스

$$C_g = (2\pi\epsilon_r\epsilon_o)/\ln((2d_{ox} + d_{NW})/d_{NW})$$

위의 식에서  $d_{ox}$ 는 옥사이드 두께,  $d_{NW}$ 는 나노 와이어의 직경이다.  $d_{NW} = (2W + 2h)/2\pi$ 로 고려하여 적용하였다. 따라서 그림 3에서 직경이 커짐에 따라 커패시턴스가 증가하였다[3].

그림 4는 폭에 따라 유효이동도를 나타낸 것이

다. 길이는 250nm로 고정 하고 폭이 커질 때를 비교하였다. 온도는 30°C, 50°C, 75°C, 100°C의 조건에서 확인하였다. 일반적으로 이동도의 식은 다음과 같이 표현된다[4-5].

$$\mu_{eff} = g_m \frac{L^2}{C_{OX}} \frac{1}{V_{DS}} \quad (2)$$

$g_m$  식은 다음과 같이 표현된다.[1]

$$g_m = \frac{dI_{DS}}{dV_{GS}} \Big|_{V_{DS}} \quad (3)$$

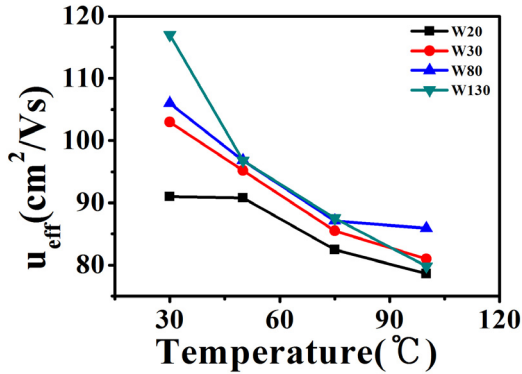


그림 4. 온도와 채널 폭에 따른 유효이동도

그림 4에서 폭이 증가할수록 유효이동도는 증가한다. 이것은 식 (3)에서  $I_{DS}$  값이 증가하면  $g_m$  값이 증가함을 알 수 있다. 그림 4에서 온도가 올라가면 이동도가 감소함을 알 수 있다. 이는 기존 논문에서 고온에서 계면상태의 이온화 현상과 surface roughness 증가 현상으로 설명하고 있다 [6].

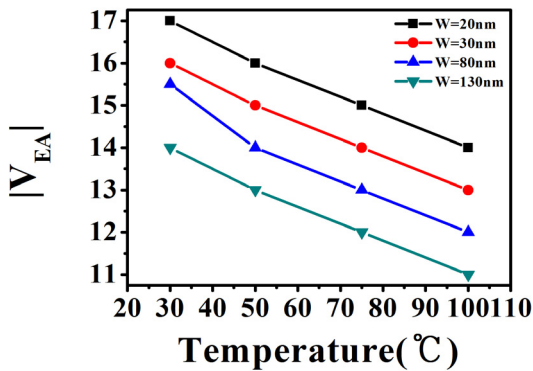


그림 5. 온도와 채널 폭 변화에 따른  $V_{EA}$

$V_{EA}$ 는 current mirror와 증폭기 회로의 전압이득을 결정하는 중요한 요소이므로 아날로그 성능을 평가하기 위해 많이 사용되고 있다. 그림 5에서 폭이 증가할수록  $V_{EA}$  값이 감소함을 볼 수 있

는데 이것은 식(4)에 의해 설명된다.  $V_A$ 는 intrinsic early 전압이며 폭이 좁아질수록 직렬저항 ( $R_S$ )가 커지고 Drain Induced Barrier Lowering (DIBL)이 작아지기 때문에  $V_{EA}$  값이 증가한다. 다음으로 길이를 분석하였을 때 길이가 증가할수록  $V_{EA}$ 는 증가한다. 이것은 식(2)에서 길이가 증가하면  $g_m$ 이 감소하는 비율이 상대적으로 크기 때문이다. 식(4)에서 이동도의 감소가 길이의 감소보다 상대적으로 크므로  $V_{EA}$  값이 증가함을 볼 수 있다. [7-8]

$$V_{EA} = V_A \left( 1 + \frac{V_{DS} - V_{DSAT}}{V_A} \right) [1 + R_S (V_{GS} - V_T)]$$

$$K_{eff} \left( 1 + \frac{V_{DS} - V_{DSAT}}{V_A} \right)$$

$$K_{eff} = \frac{u_{eff} C_{OX} W}{L} \quad (4)$$

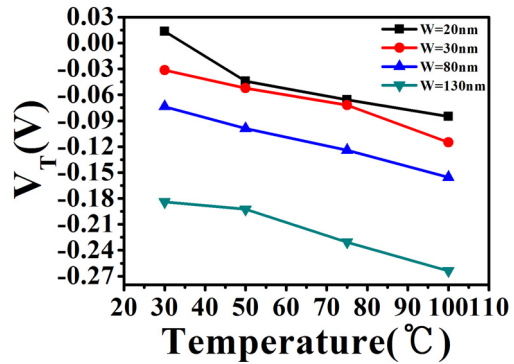


그림 6. 온도와 채널 폭 변화에 따른  $V_T$

그림 6에서는 온도가 증가할수록  $V_T$  감소가 감소하는 것을 확인 할 수 있다. 식 (5)에서 온도 증가에 따라  $V_T$  값이 작아지기 때문이다[7].

또한  $\Phi_F = n_i e^{-\frac{KT}{q}}$ 에서 온도가 증가할수록  $\Phi_F$  값이 작아짐을 볼 수 있다.

$$\frac{dV_{th}}{dT} = \frac{d\Phi_F}{dT} \left[ 1 + \frac{q}{C_{OX}} \sqrt{\frac{\epsilon_{si} N_a}{KT \ln(N_a/n_i)}} \right] \quad (5)$$

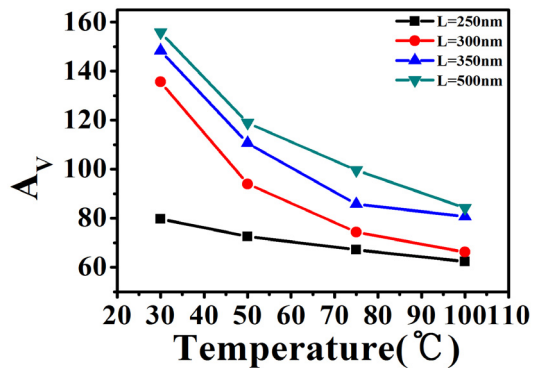


그림 7. 온도와 채널길이 변화에 따른  $A_V$

$A_V$ 를 구하는 식은 다음과 같다.

$$A_V = \frac{g_m}{I_{DS}} V_{EA} \quad (6)$$

그림 7은 온도 증가 시 길이에 따른  $A_V$ 을 비교하였다. 길이가 증가함에 따라  $g_m$ 이 감소하지만 상대적으로  $I_{DS}$ 보다 덜 감소하여  $g_m/I_{DS}$ 이 증가하고, 식 (4)과 같이  $V_{EA}$ 값도 증가하기 때문에 전체  $A_V$ 값은 증가하게 된다. 또 온도 증가 시 폭에 따른  $A_V$ 를 비교하였을 때, 폭이 증가함에 따라 전류 값이 증가하고 그림 5에서 알 수 있듯이  $V_{EA}$ 값이 작아지므로  $A_V$ 값이 작아진다. 또한 채널 길이, 폭 변화 두 경우 모두 온도가 증가할수록  $A_V$ 값이 작아짐을 알 수 있다.[9]

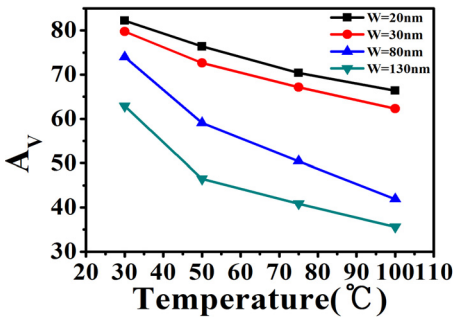


그림 8. 온도와 채널 폭 변화에 따른  $A_V$

#### IV. 결 론

본 논문에서는 실리콘 나노와이어 소자를 온도에 따라 아날로그 특성을 비교, 분석하였다. 먼저 아날로그 성능 평가지수  $g_m/I_{DS}$ 를 측정 했을 때 온도가 클수록 지수가 낮아짐을 확인 할 수 있었다. 다음으로 이동도는 폭이 좁아질수록 길이가 길수록 낮아지는 경향이 있었는데 폭이 300nm부터 이동도는 온도에 의한 감소폭이 전보다 커지는 것으로 측정되었다. 문턱전압과 Early전압의 경우 폭이 작을수록 길이가 길수록 큰 값이 측정되었다. 전압이득은 폭이 좁고 길이가 길수록 값이 커졌다. 이번 측정에서 폭이 크면 이동도가 좋아지나 온도에 의한 영향을 많이 받으며 문턱전압과 이득은 작아지고 폭이 작으면 이동도는 작아지나 문턱전압과 이득은 커짐을 알 수 있었다. 폭과 길이를 고려하여 원하는 조건에 맞는 이득을 추출할 수 있다고 사료된다.

#### 참고문헌

- [1] 이재기, 김진영, 조원주, 박종태, “Ge mole fraction에 따른 SGOI MOSFET의 아날로그 특성” 전자공학회 논문지 pp.12-17 2011-5
- [2] J.P Colinge, “Fully-depleted SOI CMO S for analog application,” IEEE Trans. on Electron Device, vol. 45, pp1010-1016, 1998
- [3] M. Abul Khayer, and Roger K. Lake “The Quantum Capacitance Limit of High-Speed, Low-Power InSb Nanowire Field Effect Transistors” Electron Devices Meeting. IEEE International pp.2 2008
- [4] C. Ford, Johnny C. Ho, Yu-Lun Chueh, Yu-Chih, ing Guo, y “Diameter-Dependent Electron Mobility of InAs NanowiresAlexandra” Nano Lett., 2007, 7 (6), pp 1561-1565
- [5] Sze, S Physics of Semiconductor Devices, 2nd ed; Wiley: New York, 1981
- [6] V. Subramanian, A. Mercha, B. Parvais, J. Loo, C Gustin, M Dehan, “Impact of fin width on digital and analog performances of FinFET,” Solid-State Electronics, vol. 51, pp.551-559, 2007.
- [7] W.A. Krull and J.F.LEE, “Demonstration of the benefits of SOI for high temperature operation,” In proc. IEEE SOS/SOI technology workshop(ST simons island, GA) 1988. P69
- [8] V. Subramanian. A. Mercha, B. Paevais, J.Loo, C. Gustin, M. Dehan, “Impact of fin width indigital and analog performances of FinFET,” Solid-State Electronics, vol.51,pp.551-559, 2007
- [9] Rodrigo Trevisoli Doria, Marcelo Antonio Pavanello, “Junctionless Multiple-Gate Transistors for Analog Applications” IEEE Trans. on Electron Device. vol 58, no.8 pp.2511-1519, 2011