

# 비대칭 DG MOSFET의 상하단 산화막 두께비에 따른 문턱전압 및 전도중심의 변화

정학기

## Deviation of Threshold Voltage and Conduction Path for the Ratio of Top and Bottom Oxide Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

### 요약

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심의 변화에 대하여 분석하고자한다. 비대칭 이중게이트 MOSFET는 상하단 게이트 산화막의 두께를 다르게 제작할 수 있어 문턱전압이하 영역에서 전류를 제어할 수 있는 요소가 증가하는 장점이 있다. 상하단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심을 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였다. 이때 전하분포는 가우스분포함수를 이용하였다. 하단게이트 전압, 채널길이, 채널두께, 이온주입범위 및 분포편차를 파라미터로 하여 문턱전압 및 전도중심의 변화를 관찰한 결과, 문턱전압은 상하단 게이트 산화막 두께 비에 따라 큰 변화를 나타냈다. 특히 채널길이 및 채널두께의 절대값보다 비에 따라 문턱전압이 변화하였으며 전도중심이 상단 게이트로 이동할 때 문턱전압은 증가하였다. 또한 분포편차보다 이온주입범위에 따라 문턱전압 및 전도중심이 크게 변화하였다.

### 1. 비대칭 이중게이트 MOSFET의 차단전류 및 문턱전압 모델

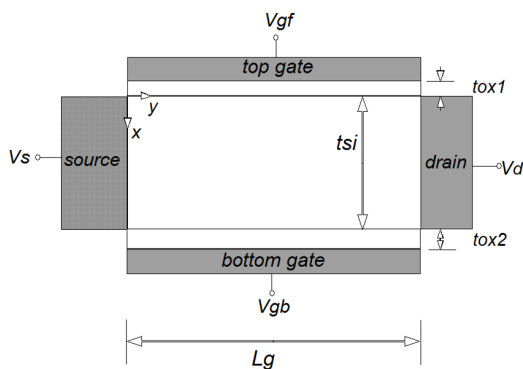


그림 1. 비대칭 이중게이트 MOSFET의 개략도

Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압  $V_{gf}$ 와 하단의 게이트 전압  $V_{gb}$ 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 즉, 비대칭 이중게이트 MOSFET는 상단과 하단 게이트의 역할을 구분함으로써 대칭구조의 이중게이트 MOSFET에서는 할 수 없는 전류제어 능력 향상이 이루어 질 것이다.

Ding 등은 일정한 채널도핑농도를 이용하여 비대칭 이중게이트 MOSFET의 전위분포를 구하였으며 이를 이용하여 문턱전압이하 특성을 해석하였다. 그러나 도핑을 위하여 광범위하게 사용되는 기술인 이온주입법의 경우, 도핑분포는 가우스분포함수를 따르므로 본 연구에서는 전하분포함수로 가우스분포함수를 사용하였다. 비대칭 이중게이트 MOSFET의 채널 내 전위분포를 구하기 위하여 식 (1)의 2차원 포아송방정식을

이용하였으며 이때 전하분포는 식 (2)와 같이 표현되는 가우스분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

$$C_n = \frac{e^{k_n t_{si}} (C_{ox1} + k_n \epsilon_{si})(B_8 + E_n) - (C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2})(B_7 + F_n)}{(1 - k_n \epsilon_{si}/C_{ox1})(C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2}) - e^{2k_n t_{si}} (1 + k_n \epsilon_{si}/C_{ox1})(C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2})} \quad (5)$$

$$D_n = \frac{e^{-k_n t_{si}} (C_{ox1} - k_n \epsilon_{si})(B_8 + E_n) - (C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2})(B_7 + F_n)}{(1 + k_n \epsilon_{si}/C_{ox1})(C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2}) - e^{-2k_n t_{si}} (1 - k_n \epsilon_{si}/C_{ox1})(C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2})}$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x, y=0) = V_s, \quad \phi(x, y=L_g) = V_s + V_d$$

$$\phi(x=0, y) = V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0}$$

$$\phi(x=t_{si}, y) = V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}}$$

여기서  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $V_{gf}$ 는 평탄전압을 고려한 상단 게이트 전압,  $V_{gb}$ 는 평탄전압을 고려한 하단 게이트 전압, 그리고  $C_{ox1}$ 과  $C_{ox2}$ 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 상단과 하단의 커패시턴스 값이 경계조건에 사용되며 이는 결국 전위분포에 영향을 미치는 요소로 작용한다는 것을 알 수 있다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다 [1].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이때 여기서  $n$ 은 정수,  $k_n = n\pi/L_g$ 이며  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $A_n(x)$ 에 나타나는 상수 중  $C_n$ 과  $D_n$ 은 다음과 같이 표현할 수 있다.

식 (4)와 식 (5)에 나타나는 상수는 참고문헌[2]에 표기하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당  $t_{si}$  W면적의 드레인에 도착하는 전자의 수를 이용하면 드레인 전류를 구할 수 있다. 이때 채널내 전자의 수는 맥스웰-볼츠만 통계를 이용하면 다음과 같이 구할 수 있다.

$$n_m(x) \approx (n_i^2/N_p) e^{q\phi_{\min}(x)/kT} \quad (6)$$

여기서  $n_i$ 는 순수반도체 전자농도이며  $\phi_{\min}(x)$ 는 상단 게이트의 표면전위 중 최소값을 갖는  $y_{\min}$  값을 구한 후, 식 (3)에 대입하며 구한 최소 전위분포 값이다. 식 (6)을 이용하여 드레인 전류를 구하면

$$I_d = \frac{qn_m(x)v_{th}t_{si}W}{6} \quad (7)$$

이다. 여기서  $v_{th}$ 는 열속도이다. 식 (6)과 식 (7)에서  $x$  값은  $\phi_{\min}(x)$ 의 형태에 의하여 구해지는 전도중심으로써 다음 식과 같이 구한  $x_{eff}$ 를 대입하여 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x, y_{\min})/V_i} dx / \int_0^{t_{si}} e^{\phi(x, y_{\min})/V_i} dx \quad (8)$$

이때  $V_i = kT/q$ 이다.

식 (5)에서 알 수 있듯이 상하단 게이트 산화막 두께에 따라 변화하는  $C_{ox1}$ 과  $C_{ox2}$ 이 결국 식 (3)의 전위분포에 영향을 미치며 특히  $C_{ox1}/C_{ox2} = t_{ox2}/t_{ox1}$ 이므로 상하단 게이트 산화막 두께가 직접적으로 전위분포 및 드레인전류에 영향을 미치는 것을 알 수 있다. 그러므로 본 연구에서는 상하단 게이트 산화막 두께비에 따른 문턱전압의 변화 및 전도중심과의 관계를 분석하고자한다.

## II. 비대칭 이중게이트 MOSFET의 문턱전압 및 전도중심 분석

본 연구에서 제시한 차단전류모델 및 문턱전압모델에 대한 타당성은 이미 발표된 논문[3]에서 입증되었으므로 본 연구에서는 2장에서 제시한 모델을 이용하여 문턱전압의 상하단 게이트 산화막에 대한 변화를 고찰할 것이다. 하단게이트 전압을 파라미터로 하여 전도중심 및 문턱전압의 변화를 상하단게이트 산화막 두께비에 따라 그림 2에 도시하였다.  $t_{ox2}$ 가  $t_{ox1}$ 보다 작을 경우 전도중심 및 문턱전압은 큰 변화를 보이다가  $t_{ox2}$ 가  $t_{ox1}$ 보다 커지면 전도중심의 위치 및 문턱전압이 포화되는 것을 알 수 있다. 하단게이트 전압이 증가하면 문턱전압은 감소하고 전도중심은 더욱 채널의 중심으로 이동하는 것을 알 수 있다. 그러므로 전도중심이 채널내부로 이동할수록 문턱전압은 감소하는 것을 알 수 있다.

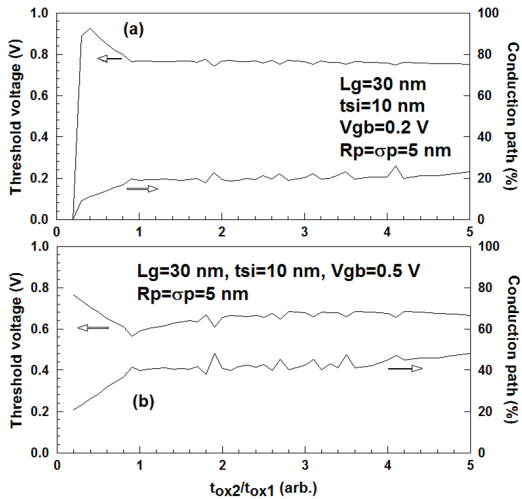


그림 2. 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화 a)  $V_{gb} = 0.2 V$ 일 때 b)  $V_{gb} = 0.5 V$ 일 때

Fig. 2. The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of a)  $V_{gb} = 0.2 V$  and b)  $V_{gb} = 0.5 V$

그림 3에 모든 조건을 그림 2(a)의 경우와 동일하게 고정시킨 후, 단지 채널길이만 40 nm로 증가시켜 채널길이 증가효과를 관찰하였다. 채널길이 증가하면 문턱전압은 약간 증가하며 전도중심은 상단게이트 방향으로 약간 이동하는 것을 관찰할 수 있다. 즉, 그림 2(a)와 그림 3을 비교하면 채널길이 감소하면 단채널효과에 의하여 문턱전압이동 현상이 발생하고 있다는 것을 알 수 있다. 그러나 상하단 게이트 산화막 두께 비에 따른 문턱전압 및 전도중심의

변화 경향은 거의 동일하였다.

그림 4에 그림 3과 동일한 조건이고 다만 채널두께만 20 nm로 증가시킨 후, 문턱전압 및 전도중심의 변화를 도시하였다. 이 경우 그림 2(b)와 비교해 보면 채널길이 및 채널두께가 동시에 증가한 경우이므로 변화추이가 그림 2(b)와 거의 동일하다는 것을 관찰할 수 있다. 특히 문턱전압의 경우는 거의 동일한 결과를 얻을 수 있었으며 전도중심의 변화도 거의 일치하는 것을 관찰할 수 있었다. 즉, 채널길이 및 채널두께의 절대값의 변화보다 상대적인 비가 문턱전압에 더욱 큰 영향을 미치고 있었다. 다만 그림 2(b)와 그림 4에서 하단 게이트 전압에 의한 문턱전압 및 전도중심의 약간의 변화만 관찰할 수 있었다.

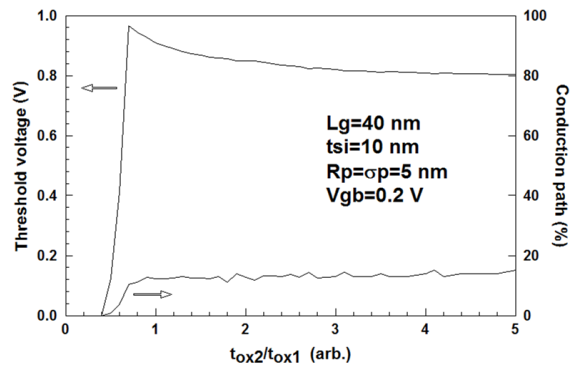


그림 3. 채널길이만 증가시켰을 경우 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화일 때 Fig. 3. The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of increasing channel length

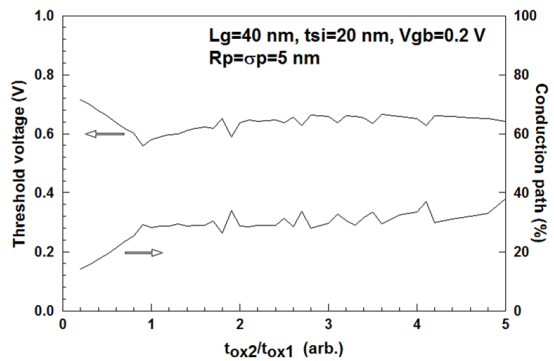


그림 4. 채널두께만 증가시켰을 경우 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화일 때 Fig. 4. The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of increasing channel thickness

### III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 상하 단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심의 변화에 대하여 분석하였다. 특히 하단게이트 전압, 채널길이, 채널두께, 이온주입범위 및 분포편차를 파라미터로 하여 문턱전압 및 전도중심의 변화를 관찰하여 결과를 비교·설명하였다.

하단게이트 전압이 증가하면 문턱전압은 감소하고 전도중심은 더욱 채널의 중심으로 이동하는 것을 알 수 있었으며 채널길이와 감소하면 단채널효과에 의하여 문턱전압이동 현상이 발생하고 있다는 것을 알 수 있다. 또한 채널길이 및 채널두께의 절대값의 변화보다 상대적인 비가 문턱전압에 더욱 큰 영향을 미치고 있었다.

### References

- [1]Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang,“An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs,” *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [2]Hakkee Jung, :Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function, *J. of KIICE*, vol.17, no.11, pp.2621-2626. 2013.
- [3]H.K.Jung and H.S.Kwon,“Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DG MOSFET,” 2014 International Conference on Future Information & Communication Engineering, vol.6, no.1, pp.299-302, 2014.