
Tri-Gate MOSFET에 SPACER가 단채널 및 열화특성에 미치는 영향

백근우* · 정성인* · 김기연* · 이재훈* · 박종태*

*인천대학교

The impact of Spacer on Short Channel Effect and device degradation in Tri-Gate MOSFET

Gun-Woo Baek* · Sung-In Jung* · Gi-Yeon Kim* · Jong-Tae Park*

*Inchoen National University

E-mail : bku4303@naver.com

요 약

Spacer 유무와 핀 폭, 채널길이에 따른 n채널 MuGFET의 단채널 및 열화 특성을 비교 분석 하였다. 사용된 소자는 핀 수가 10인 Tri-Gate이며 Spacer 유무에 따른 핀 폭이 55nm, 70nm인 4종류이다. 측정된 소자 특성은 DIBL, subthreshold swing, 문턱전압 변화 (이하 단채널 현상)와 소자열화이다. 측정 결과, 단채널 현상은 spacer가 있는 것이 감소하였고, hot carrier degradation은 spacer가 있고 핀 폭이 작은 것이 소자열화가 적었다. 따라서, spacer가 있는 LDD(Lightly Doped Drain) 구조이며 핀 폭이 작은 설계방식이 단채널 현상 및 열화특성에 더욱 바람직하다.

ABSTRACT

The device performance of n-channel MuGFET with different fin width, existence of spacer and channel length has been characterized. Tri-Gate structure(fin number=10) has been used. There are four kinds of Tri-Gate with fin width=55nm with spacer, fin width=70nm with spacer, fin width=55nm without spacer, fin width=70nm without spacer. DIBL, subthreshold swing, V_t roll-off, (above Short Channel Effect)and hot carrier stress degradation have been measured. From the experiment results, short Channel Effect with spacer was decreased, hot carrier degradation with spacer and narrow fin width was decreased. Therefore, layout of LDD structure with spacer and narrow fin width is desirable in short channel effect and hot carrier degradation.

키워드

Spacer, Tri-Gate, Degradation, Short Channel Effect

I. 서론

공정기술의 발달로 수십 나노 스케일 CMOS 소자가 제작되면서, 소자 크기가 작아질수록 단 채널 현상(Short Channel Effect)이 심화되고 있다. 대표적인 단채널 현상에는 DIBL(Drain Induced Barrier Lowering), 문턱전압 변화, subthreshold swing열화 등이 있다. 이러한 현상을 줄이고 sub-threshold slope을 향상시키기 위해 bulk 구조를 대체한 SOI(Silicon On Insulator) 구조가 제안되었고, SOI 구조의 Tri-gate FET를 사용한 CMOS 소자가 상용화 되었다. [1] 또한, 드레인 근처에 인가되는 전계를 감소시켜 누설전류와 hot carrier stress에 의한 열화를 줄이기 위해 Spacer를 이용한 LDD (Lightly Doped Drain) 구조가 제안되었다. [2] 하지만, 소스/드레인 접합면이 줄어들어 직렬저항이 커지는 단점이 있다.

본 논문에서는 spacer의 유무에 따른 DIBL, sub-threshold swing, hot carrier stress에 따른 소자열화, 직렬저항과 게이트 길이에 따른 드레인 전류변화 측정을 통해 더 효율적인 구조를 제안하고자 한다. [3]

II. 소자 및 특성

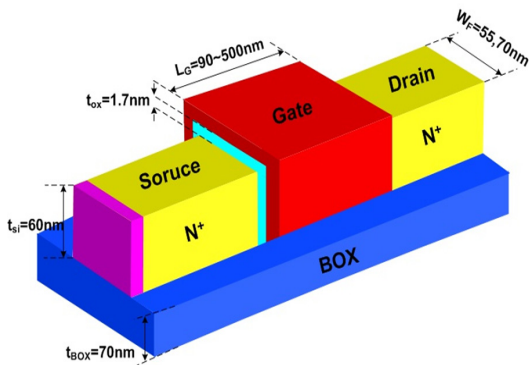


그림 1. Tri-gate 구조

II-1 단채널 현상

Spacer유무에 따라 $W_F=55\text{nm}$, $W_F=70\text{nm}$ 인 총 4 가지 소자의 게이트 길이에 따른 DIBL을 측정하였다. DIBL특성은 드레인 전압이 50mV일 때와 드레인 전압이 1V일 때의 문턱전압 차이로 정의하였다.

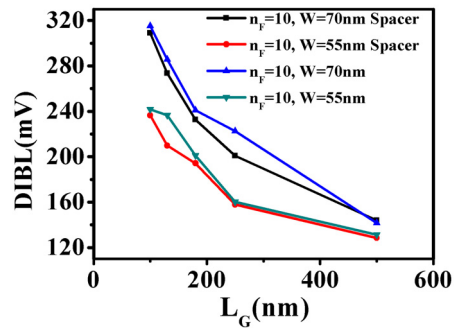


그림 2. 게이트 길이에 따른 DIBL

그림 2는 게이트 길이에 따른 DIBL 값을 비교하였다. 사용한 소자는 핀 수가 10개이며 채널 폭은 55nm와 70nm이고, 게이트 길이는 100nm, 130nm, 180nm, 250nm, 500nm이다. Spacer가 있고 채널 폭이 좁은 소자의 DIBL이 Spacer가 없고 채널 폭이 넓은 소자의 DIBL보다 작은 것을 알 수 있다.

이는 spacer가 있는 소자는 LDD구조로 드레인 부분의 공핍층이 넓어 드레인이 채널영역에 미치는 수평전계 효과가 적기 때문이다. [4] 또한, 게이트 길이가 일정 할 경우, 핀 폭이 좁을수록 드레인이 채널영역에 미치는 영향이 적어 DIBL이 작게 나타났다. [5]

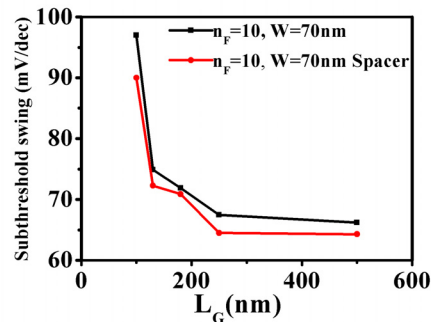


그림 3. 게이트 길이에 따른 Subthreshold swing 변화 그래프

그림 3은 게이트 길이에 따른 spacer 유무에 대한 subthreshold swing 변화를 나타낸 그림이다. 사용한 소자는 핀 수가 10개이며 $W=70\text{nm}$ 이고, 게이트 길이는 90nm, 130nm, 180nm, 250nm, 500nm이다. 게이트 길이가 180nm 이하 일 때는 subthreshold swing이 급격히 증가하였다. 또한, spacer가 있는 LDD 구조의 소자 subthreshold swing이 spacer가 없는 소자의 subthreshold swing보다 작아 소자 성능이 좋았다.

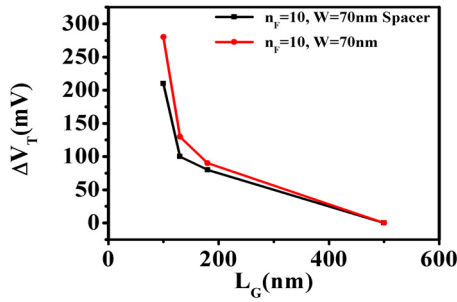


그림 4. 게이트 길이에 따른 문턱전압 변화

그림 4는 spacer 유무에 따라 $W_F=70\text{nm}$ 인 두 소자의 문턱전압 변화를 비교하였다. 측정 드레인 전압은 50mV 이며, 게이트 길이가 500nm 일 때를 기준으로 각 게이트 길이와의 문턱전압 차이를 나타낸 것이다. 그림 2에서 언급했듯이 spacer가 있는 소자는 LDD 구조로 수평전계 효과가 적게 나타나 문턱전압 변화가 작았다. 따라서 spacer가 있는 소자가 단채널 현상이 적게 나타남을 보여 준다. [6]

II-2 소자 열화 특성

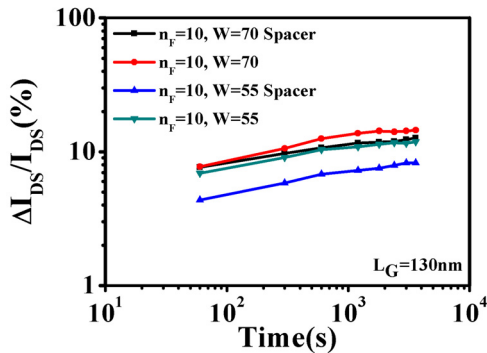


그림 5. Hot carrier에 의한 드레인 전류변화

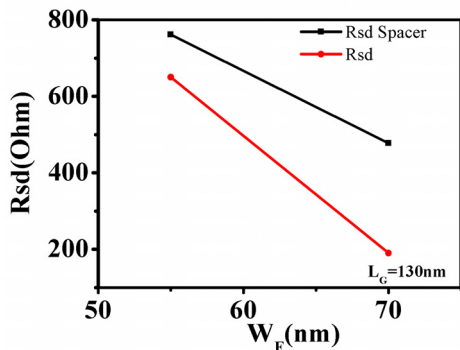


그림 6. 핀 폭 변화에 따른 직렬저항

그림 5는 hot carrier stress 시간에 따른 드레인 전류 열화이다. 사용한 소자는 게이트 길이가 130nm 이고 spacer 유무에 따라 $W_F=55, 70\text{nm}$ 인 총 4 소자이다. 측정 게이트 전압 조건은 0.8V , 측정 드레인 전압 조건은 1.6V 이다. spacer가 있고 핀 폭이 작은 소자의 드레인 전류 열화가 spacer가 없고 핀 폭이 큰 소자보다 작게 나타났다. 앞서 언급했듯이 Spacer가 있는 소자는 드레인 근처의 수평전계가 작아 전자가 oxide에 trap 될 확률이 적고, 핀 폭이 좁을수록 드레인이 채널에 미치는 영향이 작았다. [7]

$W_F=55\text{nm}$ 이고 spacer가 있는 소자의 드레인 전류변화가 가장 적게 나타났다. 그러나 그림 6에서 볼 수 있듯이 spacer가 있는 소자의 직렬저항은 spacer가 없는 소자에 비해 크게 나타남을 알 수 있다. [8]

그림 7은 채널 폭에 따른 직렬저항으로 나타낸 그림이다. 실리콘 웨이퍼 notch의 결정방향이 (110) 와 (100) 인 2 소자의 직렬 저항을 비교하였다. (110) 이 (100) 보다 직렬 저항이 크고, 핀 폭이 작을수록 직렬 저항이 크게 나타났다. [9]

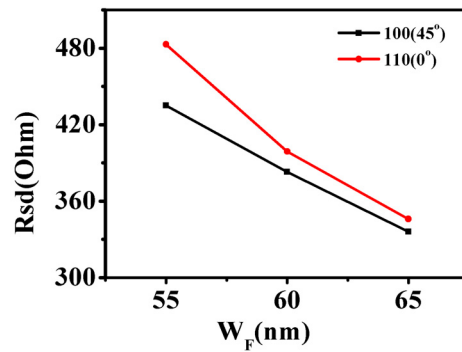


그림 7. 결정방향에 따른 직렬저항

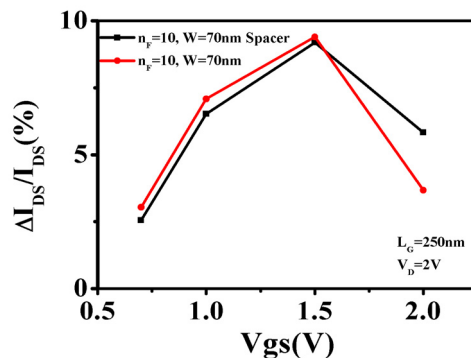


그림 8. 게이트의 Hot carrier stress 전압에 따른 드레인 전류변화

그림 8은 hot carrier stress 조건에서 게이트의 스트레스 전압에 따른 드레인 전류 열화를 비교한 그림이다. 게이트 스트레스 전압이 1.5V인 소자의 드레인 전류 열화가 가장 컸다. Spacer가 있는 소자가 spacer가 없는 소자보다 드레인 전류 열화가 작았다. [10]

III. 결 론

전체 핀 수는 같으나 spacer 유무와 핀 폭이 다른 n-채널 MuGFET의 단채널 현상과 소자열화 및 직렬 저항을 측정하여 분석하였다. spacer가 있고 핀 폭이 작은 소자가 spacer가 없고 핀 폭이 넓은 소자보다 DIBL, 문턱전압 변화는 작고, subthreshold swing은 향상 되었다. 게이트 전압에 따른 hot carrier stress에 의한 소자열화 역시 Spacer가 있고 핀 폭이 작을수록 특성이 우수하였다. 그러나 spacer가 있고 핀 폭이 작을수록 직렬 저항은 크게 나타났다.

MuGFET의 단채널 현상, 직렬 저항과 hot carrier stress에 대한 소자열화 특성을 모두 고려하였을 때, spacer가 있고 핀 폭이 작은 소자가 CMOS회로 설계에 바람직하다고 할 수 있다.

참고문헌

[1] Jong Tae Park, and Jean P.Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol. 49, no. 12, pp. 2222-2228, 2002.

[2] YIN HU, RICHARD V. H. BOOTH, AND MARVIN H. WHITE, "Analytical Model for the Lateral Channel Electric Field in LDD Structures," IEEE Trans. Electron Device, vol. 37, no. 10, pp 2254-2264, 1990.

[3] Y.K.Choi, D. W. Ha, E. Snow, J. Bokor, and T.J.King, "Reliability study of CMOS FinFETs," in IEDM Tech. Dig., 2003,pp. 177-180

[4] Hyun-kyung Yoon, Jae-hoon Lee, Ho-seong Lee, Jong-tae Park, "Optimization of Tunneling FET with Suppression of Leakage Current and Improvement of Subthreshold Slope," 종합학술대회논문집, 추계, 17권, 2호, 2013

[5] J. kedziarski, D.M. fried, E.J. Nowak, T. kanarsky, J.H. Rankin, H.Hannafi, et, al, "High performance symmetric-gate and CMOS compatible V_t asymmetric-gate FinFET devices," Tech. Dig. of IEDM, pp.437-440, 2001.

[6] Sung Min Lee, Jin Young Kim, Chong Gun Yu, and Jong Tae Park, "Effects of Device Layout On The Perormances of N-channel MuGFET," 대한전자공학회, vol. 49, no. 1, 8-14,

2012

[7] C. W. Lee, I. Ferain, A. Afzalian, K. Y. Byun, R. Yan, N. Dehdashti, P. Razavi. W. Xi-ong , J. P. Colinge, C. A. Colinge, and D. E. Io-annou, "Hot-carrier (HC) and bias-temperature-instability (BTI) degradation of MuGFETs on silicon oxide and silicon nitride buried layers," in Proc. ESSDERC, 2009,pp. 261-264

[8] Abhisek Dixit, Anil Kottantharayil, Nadine Collaert, Mike Goodwin, "Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs," IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, NO. 6, 1132-1139, 2005.

[9] Jae Hoon Lee, Jong Tae Park , "Crystallographic-orientation-dependent GIDL current in Tri-gate MOSFETs under hot carrier stress," Microelectronics Reliability, 2014.

[10] S T Ahn, S Hayashida, K Iguchi, K Uda and J Takagi, " Effect of sidewall spacer thickness on hot-carrier degradation of PMOS transistors, Sci. Technol. 7 , B585-B589, 1992