# 비대칭 DGMOSFET의 채널길이에 대한 문턱전압이하 스윙 분석

**정학기, 이종인, 정동수**

# Analysis of Subthreshold Swing for Channel Length of Asymmetric Double Gate MOSFET

Hakkee Jung, Jongin Lee, Dongsoo Cheong

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

**요 약**

본 연구에서는 비대칭 이중게이트(double gate; DG) MOSFET의 채널길이에 대한 문턱전압이하 스윙의 변화에 대하여 분석하였다. 문턱전압이하 스윙은 트랜지스터의 디지털특성을 결정하는 중요한 요소로서 채널길이가 감소하면 특성이 저하되는 문제가 나타나고 있다. 이러한 문제를 해결하기 위하여 개발된 DGMOSFET의 문턱전압이하 스윙의 채널길이에 대한 변화를 채널두께, 산화막두께, 상하단 게이트 전압 및 도핑농도 등에 따라 조사하고자 한다. 특히 하단 게이트 구조를 상단과 달리 제작할 수 있는 비대칭 DGMOSFET에 대하여 문턱전압이하 스윙을 분석함으로써 하단 게이트 전압 및 하단 산화막 두께 등에 대하여 자세히 관찰하였다. 문턱전압이하 스윙의 해석학적 모델을 구하기 위하여 포아송방정식에서 해석학적 전위분포모델을 유도하였으며 도핑분포함수는 가우스분포함수를 사용하였다. 결과적으로 문턱전압이하 스윙은 상하단 게이트 전압 및 채널도핑농도 그리고 채널의 크기에 매우 민감하게 변화하고 있다는 것을 알 수 있었다.

## I. 비대칭 DGMOSFET의 전위분포 및 문턱전압이하 스윙 모델

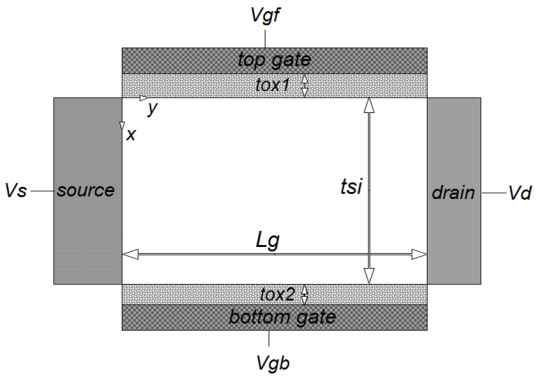


**그림 1.** 비대칭 이중게이트 MOSFET의 개략도

**Fig. 1** Schematic sectional diagram of asymmetric double gate MOSFET

그림 1은 비대칭 DGMOSFET의 개략도이다. DG MOSFET는 주로 3단자(3T) 소자로 사용하기 위하여 대칭적 구조를 갖는다. 즉 상하단의 게이트에 동일한 전압을 인가할 수 있도록 상호 연결시켜 사용하고 있다. 그러나 상단과 하단 게이트의 역할을 구분함으로써 전류제어 능력을 향상시키고자하는 노력을 하고 있다. 이에 부응하기 위하여 개발된 소자가 그림 1과 같은 비대칭 DGMOSFET이다. 비대칭 DGMOS FET는 상단과 하단 게이트 단자에 전압을 각각 별도로 인가할 수 있고 상단과 하단의 게이트 산화막을 다르게 제작할 수 있는 4단자(4T) 소자이다. Ding 등[1]은 비대칭 DGMOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 그러나 그들은 채널도핑농도를 일정하게 유지하면서 식 (1)의 포아송방정식을 이용한 해석학적 전위분포를 구하였으나 본 연구에서는 채널도핑 시 주로 사용하는 이온주입법에서 발생하는 식 (2)와 같은 가우스분포함수를 도핑분포함수로 사용하여 전위분포를 구하였다[2].

$$\frac{\partial^2\phi}{\partial x^2}+\frac{\partial^2\phi}{\partial y^2}=\frac{qn(x)}{\epsilon_{Si}} \quad (1)$$

$$n(x)=N_p\exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 $\epsilon_{si}$는 실리콘의 유전율이며 $n(x)$는 채널 내 도핑분포함수이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x,y=0)=V_s$$
$$\phi(x,y=L_g)=V_s+V_d$$
$$\phi(x=0,y)=V_{gf}+\frac{\epsilon_{Si}}{C_{ox1}}\frac{\partial\phi}{\partial x}|_{x=0}$$
$$\phi(x=t_{Si},y)=V_{gb}-\frac{\epsilon_{Si}}{C_{ox2}}\frac{\partial\phi}{\partial x}|_{x=t_{Si}}$$

여기서 $V_s$는 기준전압인 소스 전압, $V_d$는 드레인 전압, $V_{gf}$는 평탄전압을 고려한 상단 게이트 전압, $V_{gb}$는 평탄전압을 고려한 하단게이트 전압, 그리고 $C_{ox1}$과 $C_{ox2}$는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건의 처음 두 개의 식을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[1].

$$\phi(x,y)=V_s+\frac{V_d}{L_g}y+\sum_{n=1}^{\infty}A_n(x)\sin\frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x)=C_ne^{k_nx}+D_ne^{-k_nx}+B_1erf(\tau+b_1/2) \quad (4)$$
$$+B_2erf(\tau+b_2/2)+A$$

이며 여기서 $n$은 정수, $k_n=n\pi/L_g$이며 $V_s$는 소스 전압, $V_d$는 드레인 전압, $A_n(x)$에 나타나는 상수는 참고문헌[3]에 표기하였다.

이때 상단 게이트 전압 $V_{gf}$에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다. 즉,

$$S=\frac{\partial V_{gf}}{\partial(\log_{10}I_d)}=2.3\,V_t\left[\frac{\partial\phi(x,y)}{\partial V_{gf}}\right]^{-1}$$

$$=2.3\,V_t\left[\sum_{n=1}^{\infty}\frac{2}{n\pi}(1-(-1)^n)\left(\frac{a_4e^{k_nx}-a_3e^{-k_nx}}{a_1a_4-a_2a_3}\right)\right.$$
$$\left.\bullet\ \sin\frac{n\pi y}{L_g}\right]^{-1} \quad (5)$$

이다. 여기서 계수는

$$a_1=1-k_n\epsilon_{Si}/C_{ox1}$$
$$a_2=1+k_n\epsilon_{Si}/C_{ox1}$$
$$a_3=e^{k_nt_{Si}}+\epsilon_{Si}k_ne^{k_nt_{Si}}/C_{ox2}$$
$$a_4=e^{-k_nt_{Si}}-\epsilon_{Si}k_ne^{-k_nt_{Si}}/C_{ox2}$$

이다.

문턱전압이하 스윙을 구하기 위하여 식 (5)의 $y$에 상단게이트의 표면전위 중 최소값을 갖는 $y_{\min}$ 값을 구하여 대입하며 $x$는 다음과 같은 식에서 전도중심 $x_{eff}$ 값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff}=\int_0^{t_{si}}xe^{q\phi(x,y_{\min})/kT}dx/\int_0^{t_{si}}e^{q\phi(x,y_{\min})/kT}dx \quad (6)$$

여기서 $k$는 볼쯔만상수이며 $T$는 절대온도이다.

식 (3)의 전위분포는 채널길이, 채널두께, 하단게이트 전압 그리고 도핑농동 등에 따라 변화되므로 이를 이용하여 유도되고 있는 식 (5)의 문턱전압이하 스윙값 역시 이 들값에 따라 변화한다는 것을 알 수 있다. 그러므로 본 연구에서는 비대칭 이중게이트 MOSFET에 대한 채널길이에 대한 문턱전압이하 스윙 값의 변화를 채널두께, 하단게이트 전압 그리고 산화막 두께 및 도핑농도 등을 파라미터로 하여 분석하고자 한다.

## Ⅱ. 비대칭 DGMOSFET의 문턱전압이하 스윙 결과 고찰

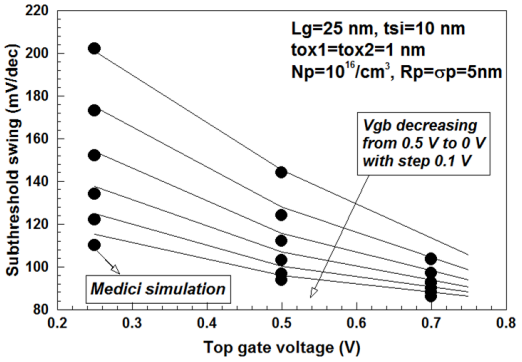


**그림 2.** 상단게이트 전압에 대한 문턱전압이하 스윙 값의 변화

**Fig. 2** The change of subthreshold swing for top gate voltage

식 (5)의 문턱전압이하 스윙에 대한 타당성을 증명하기 위하여 2차원 수치해석학적 시뮬레이션인 Medici 시뮬레이션의 결과[1]와 비교한 그래프를 그림 2에 도시하였다. 결과적으로 2차원 시뮬레이션값과 잘 일치하는 것을 알 수 있으므로 식 (5)는 타당하다고 사료된다. 그림 2에서 알 수 있듯이 상단게이트 전압이 증가할수록 문턱전압이하 스윙은 감소하며 하단게이트 전압이 감소할수록 문턱전압이하 스윙은 감소한다. 비대칭 DGMOSFET는 하단게이트 전압을 별도로 인가할 수 있으므로 가능하면 하단게이트 전압은 작게 인가하고 상단게이트 전압은 크게 인가하여야 문턱전압이하 스 윙을 감소시킬 수 있다.

상단 게이트 전압 및 채널두께 변화에 대한 문턱전압이하 스윙의 변화를 채널길이에 대하여 관찰한 결과를 그림 3에 도시하였다. 그림 2에서 관찰한 바와 같이 상단 게이트 전압이 증가할수록 채널두께에 관계없이 문턱전압이하 스윙은 감소하는 것을 알 수 있다. 그러나 채널길이가 증가하면 상단 게이트 전압의 변화에 대한 문턱전압이하 스윙의 변화는 매우 감소하게 된다는 것을 그림 3에서 알 수 있다. 채널길이가 감소하면 단채널효과에 의하여 문턱전압이하 스윙이 증가하는 문제점이 나타나며 채널두께가 증가할수록 문턱전압이하 스윙특성이 크게 저하되는 것을 관찰할 수 있다. 채널두께가 증가하면 문턱전압이하 스윙이 크게 증가하는 단채널효과가 발생하며 채널두께가 작아지면 채널두께에 대한 채널길이가 상대적으로 길어져 단채널효과가 감소하는 효과가 나타나고 있다. 특히 채널길이가 작아지면 상단 게이트 전압이 변화하여도 문턱전압이하 스윙이 크게 변화하지 않는다는 것을 알 수 있다.

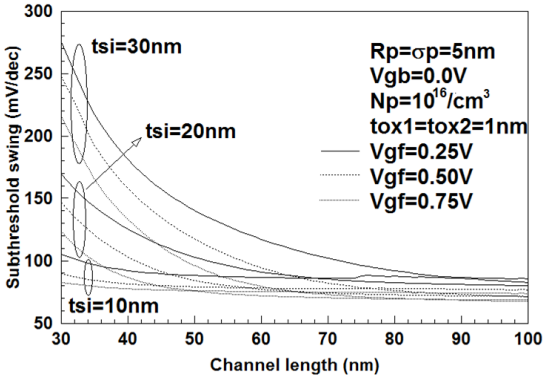


**그림 3.** 상단 게이트 전압과 채널두께를 파라미터로 계산한 채널길이에 대한 문턱전압이하 스윙 값의 변화
**Fig. 3** The change of subthreshold swing for channel length with parameters of top gate voltage and channel thickness

하단 게이트 전압 및 채널두께 변화에 대한 문턱전압이하 스윙의 변화를 채널길이에 대하여 계산한 결과를 그림 4에 도시하였다. 하단 게이트 전압이 증가하면 문턱전압이하 스윙이 증가하며 특히, 채널두께가 30 nm의 경우 채널길이가 50 nm 이상에서 문턱전압이하 스윙이 증가하는 경향을 보이고 있다. 채널두께가 감소하면 이와 같은 경향은 감소하나 하단 게이트 전압이 0 V 일 때 보다 문턱전압이하 스윙이 증가한다. 채널두께가 감소하면 채널길이에 따라 문턱전압이하 스윙이 거의 변화가 없다는 것을 그림 4에서 관찰할 수 있다.

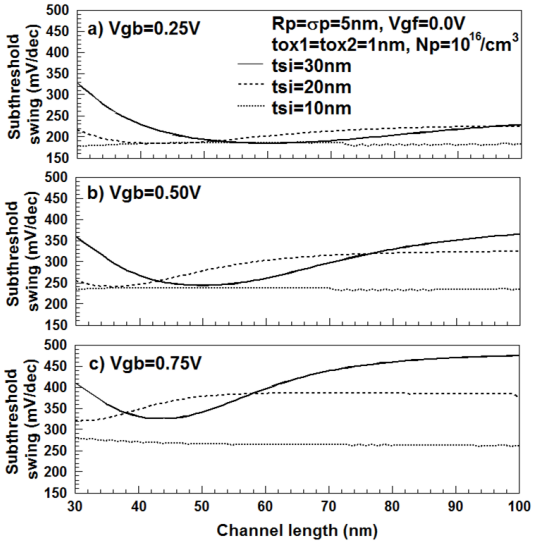


**그림 4.** 하단 게이트 전압과 채널두께를 파라미터로 계산한 채널길이에 대한 문턱전압이하 스윙 값의 변화
**Fig. 4** The change of subthreshold swing for channel length with parameters of bottom gate voltage and channel thickness

## Ⅲ. 결 론

본 연구에서는 비대칭 DGMOSFET의 채널길이에 대한 문턱전압이하 스윙의 변화에 대하여 분석하였다. 비대칭 DGMOSFET는 하단 게이트 구조를 상단과 달리 제작할 수 있는 특징이 있으므로 문턱전압이 단 산화막에 대한 문턱전압이하 스윙의 변화 채널하 스윙을 조절할 수 있는 요소가 증가하게 된다. 그러므로 비대칭 DGMOSFET의 채널길이에 대한 문턱전압이하 스윙의 변화를 채널두께, 하단 산화막 두께, 상하단 게이트 전압 및 도핑농도 등에 따라 조사하였다. 채널두께가 증가에 따라 문턱전압이하 스윙이 크게 증가하는 단채널 효과가 발생하며 채널두께가 작아지면 채

널두께에 대한 채널길이가 상대적으로 길어져 단채널 효과가 감소하는 효과가 나타나고 있었다. 특히 채널 길이가 작아지면 상단 게이트 전압이 변화하여도 문턱 전압이하 스윙이 크게 변화하지 않았다. 하단게이트 전압에 따른 문턱전압이하 스윙의 변화는 채널두께 및 채널길이에 따라 비례 및 반비례의 관계를 보이나 채널두께가 감소하면 문턱전압이하 스윙의 변화가 일정하게 나타나고 있었다. 하단 산화막 두께에 대한 변화 역시 채널두께에 따라 하단 산화막 두께가 미치는 영향이 변화하였으며 저도핑의 경우 도핑농도에 따라 문턱전압이하 스윙은 거의 일정하였으나 채널크기가 증가하면 문턱전압이하 스윙에 변화가 생기고 있었다. 이와 같은 결과는 향후 비대칭 DGMOSFET의 설계에 활용될 수 있으리라 사료된다.

## References

[1]Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang,“An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs,” *Microelectronics J.*, vol.42, pp.515-519, 2011.

[2]Hakkee Jung, :Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function, *J. of KIICE*, vol.17, no.11, pp.2621-2626.

[3] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.