

# 타일링 속도를 개선한 계층 구조 타일 기반 Rasterizer 설계

김도현\* · 경규택\* · 광재창\* · 이광엽\*

\*서경대학교

## A Design of Hierarchical Tile-based Rasterizer Using The Improved Tiling Algorithm

Do-Hyun Kim\* · Gyu-Taek Kyung\* · Jae-Chang Kwak\* · Kwang-yeob Lee\*

\*SeoKyeong University

E-mail : kdh3190@skuniv.ac.kr

### 요 약

타일 기반 렌더링 기법은 화면의 영역을 특정한 사이즈의 타일로 분할하여 한 번에 하나의 타일 씩 3D 그래픽 모델을 처리하는 방법으로 3D 그래픽 파이프라인에서 제한된 자원을 효율적으로 활용하기 위하여 사용된다. 본 논문에서는 계층 구조 타일 기반 렌더링 기법의 하위 계층 호출 빈도를 줄여 타일 기반 렌더링의 타일링 속도를 향상 시켰다. 제안하는 Rasterizer의 타일링 속도는 13.030ms로 멀티 소트 타일링의 29.614ms 보다 56%, 기존의 계층적 타일링 기법의 17.208ms 보다 24% 향상된 처리 속도를 가진다.

### ABSTRACT

The tile-based rendering technique which divides the screen area into tiles of a specific size and creates a 3D graphic model of one tile at a time is used to efficiently utilize limited resources in a 3D graphic pipeline. In this paper, the tiling speed of tile-based rendering was improved by reducing the count of calling lower-levels in the hierarchical tile-based rendering technique. The tiling speed of the proposed Rasterizer is 13.030ms which is 56% faster than 29.614ms of multi-sort tiling and 24% faster than 17.208ms of the conventional hierarchical tiling technique.

### 키워드

tile-based rendering; rasterization; multisample anti-aliasing; hierarchical tiling; polygon

## I. 서 론

3D 그래픽이 점점 발전 함에 따라 소비자의 요구사항 또한 높아지고 있다. 이를 충족시키기 위하여 3D 그래픽 파이프라인은 더욱 정교하고 빠른 알고리즘이 연구, 개발되고 있으며 Anti-Aliasing은 Rasterizer의 기본 사항으로 제시되고 있다. 본 논문은 기존 연구[1]에서 2가지 Case를 가지는 내외부 판정 알고리즘을 3가지 Case를 가지는 알고리즘으로 개선하여 불필요한 하위계층의 호출을 줄이고 3단계 계층구조를 사용하여 타일링 속도를 향상시켰다. 또한 본 논문은 타일링 속도의 향상 뿐 아니라 최하위계층(4\*4

픽셀 타일)에서 연산되는 64bit Sub Pixel Mask 통해 MSAA(Multi Sample Anti-Aliasing)을 포함하는 Rasterizer를 설계하였다.

## II. 본 론

### A. 타일 기반 렌더링 구조

타일 기반 렌더링에서 타일의 사이즈가 클 경우 하나의 프로세서가 처리해야 되는 폴리곤의 수가 많아지고 타일의 사이즈가 작을 경우 처리해야 할 타일의 수가 기하급수적으로 늘어나게

된다(Fig. 1). 계층 구조 타일 기반 렌더링은 위의 단점을 보완하기 위해 타일 기반 렌더링에 계층 구조를 적용하여 멀티코어 GPU 환경에서 고속으로 타일링을 수행 할 수 있도록 개발된 알고리즘이다. 본 논문에서는 3단계 계층구조와 3가지 Case의 내외부판정 알고리즘을 가진 Rasterizer 구조를 제안한다.

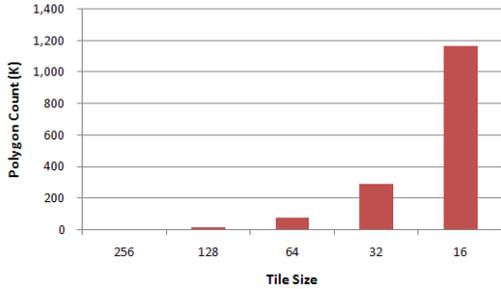


그림 1. 타일 사이즈 별 폴리곤 카운트

B. 내외부 판정

계층 구조 타일 기반 렌더링에서 호출된 하위 계층에 렌더링되는 픽셀이 존재하지 않을 경우 전체 3D 그래픽파이프라인의 성능저하를 가져올 수 있다. 이를 보완하기 위해 상위계층은 각 타일마다 픽셀의 내외부 판정을 통하여 불필요한 하위계층 호출로 인한 자원의 낭비와 처리속도의 저하를 방지해야 한다. 본 논문에서는 하위계층의 내외부 판정을 다음 3가지 case로 분류하여 처리속도를 향상 시킨다.

- Case 1 -하위계층의 픽셀 모두 폴리곤 외부
  - Case 2 -하위계층의 픽셀 모두 폴리곤 내부
  - Case 3 -하위계층의 픽셀 일부가 폴리곤 내부
- 상위계층은 전처리 단계로부터 얻어진 각 폴리곤을 이루는 3개의 직선의 방정식(Ax+By+C)을 이용하여 위3 가지 Case를 다룰 Check\_out과 Check\_in 신호를 생성한다. Check\_out이 Set될 경우 Case 1에 해당하고 Check\_out 이 Reset, Check\_in 이 Set 인 경우 Case 2, Check\_out 이 Reset, Check\_in 이 Reset 인 경우 Case 3 에 해당한다.

C. Rasterization 동작 순서

Rasterization 동작은 프레임을 64\*64픽셀 타일로 나누고 최상위 계층인 64\*64픽셀 타일을 호출하는 것으로 시작한다. 호출되어진 타일은 전처리 단계에서 연산된 직선의 방정식을 이용하여 현재 타일에서의 내외부 판정을 통하여 Check\_out 및 Check\_in 신호를 생성한다. 내외부 판정의 Case 1 인 경우 해당 타일은 하위계층 호출 및 렌더링 모두 수행하지 않는다. Case 2 인 경우 해당 타일은 하위계층을 호출하지 않고 내부의 모든 픽

셀에 대하여 렌더링을 수행한다. Case 3인 경우 해당 타일은 하위 계층을 호출하고 호출된 16\*16 픽셀 타일은 최상위 계층과 동일한 방법을 통하여 하위계층 호출과 렌더링을 수행한다. 최하위 계층인 4\*4픽셀 타일은 64bit Sub Pixel Mask를 생성하여 자신을 호출한 16\*16픽셀 타일에 반환하고 16\*16픽셀 타일은 얻어진 Mask를 이용하여 해당 픽셀의 렌더링을 수행한다.

D. Anti-Aliasing

최근 상용화되어지는 Rasterizer는 계단 현상 방지를 위한 Anti-Aliasing을 기본으로 요구한다. 본 논문에서는 최하위 계층인 4\*4 픽셀 타일에서 MSAA(Multi Sample Anti - Aliasing)를 적용하여 Anti-Aliasing을 위한 64bit Sub Pixel Mask를 생성한다. 각 픽셀은 4개의 Sub Pixel로 구성되고 각 Sub Pixel은 서로 다른 좌표(Fig. 2화살표)에서 Sub Pixel의 렌더링 수행 여부를 판단한다. 폴리곤 내부에 있는 Sub Pixel은 해당 비트의 Sub Pixel Mask 를 Set, 외부에 있는 Sub Pixel은 Reset 하여 4\*4픽셀 타일에서 64bit Sub Pixel Mask 를 연산하고 이를 상위계층 (16\*16픽셀 타일)으로 반환한다. 상위계층은 반환받은 Sub Pixel Mask의 Set 상태인 Sub Pixel을 렌더링한다. Fig. 2는 4\*4픽셀 타일로16개의 픽셀을 나타낸다.

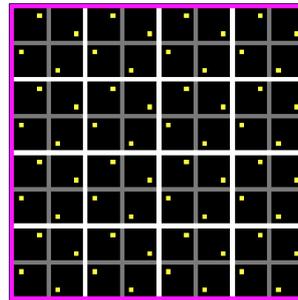


그림 2. MSAA(Multi Sample Anti-Aliasing)

III. 본 론

기존 연구[1]에서 계층 구조 타일 기반 렌더링은 6단계 계층구조를 이용해 전체 범위 내에서 하위계층의 호출 빈도수를 줄여 타일링을 고속으로 수행한다. 또한 타일 내부에 렌더링 해야되는 픽셀이 있는 경우와 없는 경우 두 가지 Case로 하위계층의 내외부를 판정하는 알고리즘을 사용한다. 위의 알고리즘을 사용할 경우 해당 타일에 렌더링 해야 될 픽셀이 있다면 반드시 하위 계층을 호출 해야 한다. 하지만 본 논문에서는 하위계층의 내외부 판정을 세 가지 Case로 분류하여 내외부 판정 Case 2 인 경우 하위계층을 호출하지 않고 타일 내부의 모든 픽셀에 대하여 렌더링만

을 수행하는 구조를 제안하여 전체 타일링 수행 시간을 개선하였다.

기존 연구[1]에서와 같이 VGA 사이즈에서 2256 개의 폴리곤을 가진 Teapot 모델을 후면 제거 한 후 생성된 975개의 폴리곤 데이터를 이용해 타일링을 수행했을 때 선행 연구 결과에서 제시된 두 가지 타일링 알고리즘보다 성능이 향상된 것을 알 수 있다.

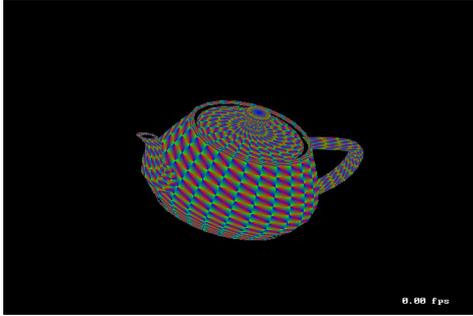


그림 3. Teapot Model

VGA 사이즈 Frame 내부의 Teapot 모델에서 세 가지 방식의 알고리즘의 타일링 속도를 측정 한 결과, MS Tiling(Multi Sort Tiling)의 타일링 알고리즘이 29.614ms 로 가장 느렸고, 기존의 계층 구조 타일 기반 렌더링은 17.208ms로 MS Tiling보다 42% 향상 된 성능을 보였다. 그리고 본 논문에서 제안하는 알고리즘은 13.030ms 로 MS Tiling 보다는 56%, 기존의 계층 구조 타일 기반 렌더링 보다는 24%의 성능 향상을 보였다. 또한 Anti-Aliasing 을 적용하여 기존 연구의 결과보다 더 깔끔한 모델을 출력 할 수 있게 하였다.

표 1. 타일링 알고리즘의 연산 속도

타일링 알고리즘	연산속도
MS Tiling	29.614ms
Hierarchical Tiling	17.208ms
Proposed Tiling Algorithm	13.030ms

#### IV. 결 론

3D 그래픽의 발전이 점점 가속화 되고 소비자의 고성능 그래픽에 대한 요구사항 또한 빠르게 늘어가고 있다. 위와 같은 요구사항 들을 만족시키기 위해 3D 그래픽은 하드웨어, 소프트웨어, 알고리즘 등 다양한 분야에서 연구 되고 있다.

본 논문은 3D 그래픽파이프라인의 성능향상을 위해 타일링 시간을 줄일 수 있는 Rasterizer 구조에 대해 제안한다.

본 논문에서는 기존 연구[1]에서의 하위계층의 내외부 판정을 개선하여 세 가지 Case로 내외부

판정을 수행하고 이를 통해 하위계층의 호출 빈도를 줄이고 타일링 속도를 향상시켰다. 또한 Anti-Aliasing 을 적용해 계단현상을 방지하여 기존의 렌더링보다 깔끔한 모델을 출력할 수 있도록 하였다.

발전된 그래픽에 따라 높아진 해상도의 화면에서 더욱 빠른 처리가 가능하도록 더 많은 계층 구조와 효율적인 타일 사이즈에 대한 연구가 진행되기를 기대한다.

#### Acknowledgement

본 연구는 미래창조과학부 및 정보통신산업진흥원의 시스템반도체 설계인력양성사업의 연구결과로 수행되었음.(NIPA-2014-H0601-14-1001)

#### 참고문헌

- [1] Junseo Kim, "A Design of Tile based rendering for a Multi-Core GPU", Master's thesis, SeoKyeong University, February 2012.
- [2] Woo-Young Kim, "A Design of a Shader based on the Variable-Length Instruction for a Mobile GP-GPU", Master's thesis, SeoKyeong University, February 2010.
- [3] Jim Blinn, "Jim Blinn's Corner", Morgan Kaufmann, July 2002.
- [4] W.F.P.W. Burgers, "Tile-Based Rendering", Master's thesis. Technische Universiteit Eindhoven, Eindhoven, January 2005.
- [5] Dong-Young Yeo, "A Design of a 3D Graphics pipeline based on Multi-core Processor", Master's thesis, SeoKyeong University, February 2011.