MIPI DSI 브릿지 IC의 비디오 전송모드 구현

서창수* · 김경훈** · 신경욱*** · 이용환****

*금오공과대학교

An implementation of video transmission modes for MIPI DSI bridge IC

Chang-sue Seo* · Gyeong-hun Kim** · Kyung-wook Shin*** · Yong-hwan Lee****

*Kumoh National Institute of Technology

E-mail : scs@kumoh.ac.kr

요 약

본 논문에서는 MIPI (Mobile Industry Processor Interface) DSI (Display Serial Interface) 규격을 지원하는 마스터 브릿지 IC의 고속 데이터 전송모드를 구현하였다. MIPI DSI 마스터 브릿지 IC는 RGB 데이터 및 각종 제어 명령어를 디스플레이 모듈 (슬레이브)로 전송하여 디스플레이 모듈을 시험하는 용도로 사용된다. 설계된 마스터 브릿지 IC는 2 라인의 영상 데이터를 저장하는 버퍼, 패킷생성 부분, 패킷을 데이터 레인 (1~4개)에 분배하여 슬레이브로 전송하는 D-PHY 계층 등으로 구성된다. 4가지 bpp (bit per pixel) 형식과 Burst 및 Non-Burst (Sync Events, Sync Pulses 방식)의 세 가지 전송모드를 지원하도록 설계되었다. 설계된 비디오 전송모드가 MIPI DSI 규격에서 정의되는 다양한 동작 파라미터들에 대해 올바로 동작함을 기능검증을 통해 확인하였다.

ABSTRACT

High-speed video transmission modes of master bridge IC are implemented, which supports MIPI (Mobile Industry Processor Interface) DSI (Display Serial Interface) standard. MIPI DSI master bridge IC sends RGB data and various commands to display module (slave) in order to test it. The master bridge IC consists of buffers storing video data of two lines, packet generation block, and D-PHY layer that distributes packets to data lanes and transmits them to slave. In addition, it supports four bpp (bit per pixel) formats and three transmission modes including Burst and Non-Burst (Sync Events, Sync Pulses types). The designed bridge IC is verified by RTL simulations showing that it functions correctly for various operating parameters.

키워드

MIPI, DSI, D-PHY, 디스플레이

Ⅰ. 서 론

최근 모바일 시장의 성장에 따른 고해상도 고속의 데이터 전송이 요구되고 있다. 하지만 기존의 병렬 데이터 전송방식은 많은 면적을 차지하고 많은 전력 소모를 일으키며 EMI등의 특성도 좋지 않다. 이러한 문제점들을 해결하기 위하여 삼성, 소니 등 세계 각국의 모바일 업체들이 모여 MIPI(Mobile Industry Processor Interface) Alliance라는 단체를 만들어 고속 직렬방식의 인터페이스를 발표하여 모바일 산업의 표준화를 구축하여 자리잡기위하여 노력하고 있다[1].

본 논문에서는 모바일 디스플레이 직렬 인터페이스인 DSI와 물리계층을 나타낸 D-PHY를 만족하며 Burst mode, non-burst mode(with sync events, with sync pulses)3가지 모드와 입력영상 데이터의 bpp가 16, 18(loosely packed, packed), 24의 4가지 bpp를 모두 지원하는 브릿지 IC를 구현하였다.

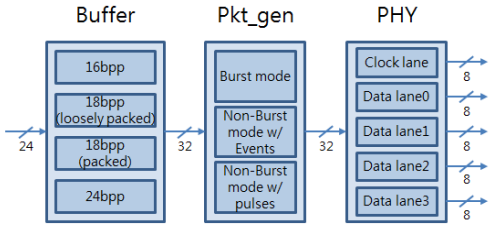

그림 1. 전체 블록도

II. 브릿지 IC의 구조

입력 영상데이터는 pixel clock에 동기화되어 브릿지 IC로 들어온다. 하지만 패킷화 된 출력 데이터는 byte clock이라는 주파수에 동기화되어 전송하기 때문에 한 라인의 영상데이터를 버퍼에 쌓은 후에 다음 라인의 영상데이터가 입력될 때 Sync 신호를 감지하여 이전에 입력받은 영상을 내보내기 시작한다. 이 때문에 최대 2라인의 영상데이터를 저장할 수 있도록 하였다.

또한 입력 영상데이터는 bpp에 따라 한 픽셀의 bit수가 다르지만 수신부 쪽으로 내보내는 데이터는 기본단위가 8bit로 고정이므로 입력 영상데이터를 쌓아서 32bit로 재조합하여 패킷 생성부분이 전송할 때가 되어 신호를 보내면 전송한다[2].

PHY 계층으로부터 HS 데이터 전송이 시작 된다는 신호를 받으면 FSM이 동작하게 한다. 이때 PHY 계층으로 데이터를 전송할 때에는 32bit의 패킷데이터뿐만 아니라 4bit의 각각의 레인 상태를 나타내는 신호도 전송하여 레인이 데이터 전송이 끝나서 LP로 전환해야하는지 정보를 나타내도록 하였다.

PHY 계층으로 입력된 8bit씩의 데이터들은 LP-11을 유지하고 있던 각각의 레인에 전해져서 HS 모드로 전환된 후 SoT(Start of Transmssion)를 전송한다[3]. 이 시점이라는 것을 패킷생성 부분에서 알아야한다. 그런데 모듈간의 데이터 전송 시에는 플립플롭을 거쳐서 출력되므로 한 클럭이 지연된다. PHY 계층에서 신호를 받아서 패킷생성 부분에 전달되면 한 클럭이 지연 되서 레인 분배 모듈로 입력되고 또다시 레인 분배 모듈로 들어가서 한 클럭이 지연 되서 PHY 계층으로 들어가 두 클럭의 차이가 생기게 된다.

그래서 SoT 발생시점의 두 클럭 전에 sot_ena 신호를 발생하여 패킷생성 부분에서 동작을 하면 PHY 계층에서는 SoT 발생 후 출력해야할 데이터들이 연속적으로 들어오게 된다.

III. 시뮬레이션 검증 결과

본 설계의 RTL 검증을 위하여 ModelSim을 사용하였으며 입력영상데이터의 주파수는 100MHz 출력데이터의 주파수는 200MHz로 하여 검증하였다.

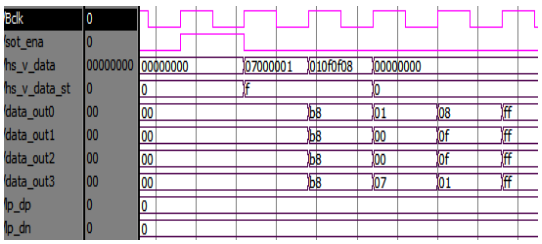

그림 2. Porch 부분에서의 데이터 전송 시뮬레이션

위 그림에서 보면 PHY계층에서 0xB8이라는 SoT를 전송하기 전에 sot_ena이라는 신호를 발생시켜 패킷생성 부분에서 Vertical Sync Start라는 32bit의 데이터를 출력하는 것을 볼 수 있다. 이 정보로 데이터 전송의 첫 부분이라는 것을 알 수 있다. 그 다음 데이터로 EoT가 전송되고 상태를 나타내는 hs_v_data_st가 0으로 바뀌면서 LP로 전환하라는 것을 나타낸다. 이때의 데이터들이 PHY계층으로 가면서 4개의 레인에 분배되어 data_out0~3까지 1byte씩 출력된다.

IV. 결 론

본 논문에서는 MIPI DSI규격을 만족하는 마스터 브릿지 IC의 고속 데이터 전송모드를 설계하였으며 설계된 비디오 전송모드가 MIPI DSI 규격에서 정의되는 다양한 동작 파라미터들에 대해 올바로 동작함을 RTL검증을 통해 확인 하였으며 D-PHY 계층에 8bit 데이터를 Serialize하는 부분을 더한다면 디스플레이에 영상 데이터를 확인할 수 있을 것으로 예상된다.

감사의 글

※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

참고문헌

[1] http://www.mipi.org
[2] MIPI Alliance Specification for Display Serial Interface
[3] MIPI Alliance Specification for D-PHY