
지연시간 최소화를 위한 고속 데이터

광 전송용 ADC 개발에 관한 연구

박종대* · 박찬홍* · 박병호* · 안창엽** · 성현경*

*상지대학교, **(주)알윈

A Study on Development of High-speed Data Optical Transmission ADC for Minimization of Time Delay

Jong-Dae Park* · Chan-Hong Park* · Byeong-Ho Park* ·

Chang-yeop Ahn** · Hyeon-Kyeong Seong*

*Sangji University, **RWIN Co., Ltd

E-mail : orient3690@sangji.ac.kr, pchnaya1@sangji.ac.kr, eden200@sangji.ac.kr,

chang0311@gmail.com, hkseong@sangji.ac.kr

요 약

본 논문에서는 지연시간 최소화를 위한 고속 데이터 광 전송용 ADC 개발에 관한 연구를 진행하였다. 기존 광 중계기의 전송 방식은 데이터 신호 변환에서 $6\mu s$ 이상의 지연시간을 갖고 있어 고속 데이터 전송 및 신호 변환에 제한을 받고 있으므로 이를 직접 변환 방식을 이용하여 데이터 신호 변환 시 지연시간을 $2\mu s$ 이내로 줄이는 새로운 기술의 개발이 요구된다. 이동통신 LTE, LTE advanced 등의 서비스 전송망 구축에 필요한 신호변환 부품 핵심기술의 발전이 요구되고 있으므로, 본 논문에서는 신호변환 단계에서 지연시간을 획기적으로 줄일 수 있는 기술을 적용하여 $3\mu s$ 의 지연시간을 갖는 ADC를 개발하였다.

ABSTRACT

In this paper, the ADC performs research and development for high speed data transfers to minimize the optical delay. Have more $6\mu s$ delay in the data signal converting optical repeater transmission system existing there has been a limit on the high-speed data transmission, and signal conversion. The need to develop a new technique to reduce the delay in time within $2\mu s$ data signal converted by using this direct conversion system. It is desired the development of the core technologies necessary for the signal transduction component, such as mobile communications LTE, LTE advanced service transport network is established, the delay time $3\mu s$ technology for reducing the delay time in the signal converting a revolutionary step is applied in this paper we have developed an ADC.

키워드

직접 변환, 아날로그디지털 변환기, 디지털아날로그 변환기, 광전송, 지연시간
Direct conversion, ADC, DAC, Optical transmission, Delay time

1. 서 론

최근 스마트 폰의 보급이 활발해지면서 클라우

드 서비스 도입 등으로 네트워크에서의 대역폭 확장 요구가 끊임없이 요구 되고 있으며, 이로 인해 기반 망인 광 전송망 업그레이드가 필요하며

새로운 광 전송 기술에 대한 수요가 계속 이어지고 있는 추세이다.[1][2]

또한 통신망의 대역폭 증가추세가 계속 이어지고 있어 현재보다 우수한 광 대역 망을 구현하기 위한 기술혁신이 요구 되고 있으며 광 대역 시대를 촉진 시키는 주요 요인들과 발전 방향을 보면 데이터 센터의 대용량화, 액세스망의 광대역화 이더넷/광 백본 망의 고속화, 모바일 백홀의 광대역화 등과 같다.[3][4]

광 전송 장치는 전기신호를 광신호로 변환하는 발광기(송신기), 광 신호를 전달하는 광섬유 케이블, 광 신호를 전송 도중에 증폭하는 중계기, 전해진 광 신호를 전기신호로 변환하는 수광기(수신기)로 구성되는 일련의 광통신 시스템이다.[5-7]

기존의 광 전송망 산업은 2000년대에 들어서면서부터 초고속 인터넷 망 가입자가 포화상태에 이르러 침체기를 겪었으나 스마트 폰의 보급과 클라우드 서비스 도입 등으로 네트워크 대역폭 수요가 증가하여 다시 호황기에 접어들고 있어 광 전송망에 대한 추가 투자가 필요하며 사회 기반 시설 및 생활환경이 네트워크망으로 구축되어 가는 추세임으로 광 전송망산업의 기술적 향상과 시설증대로 인해 기반시설 및 생활환경의 변화를 가져오게 될 것으로 예상하고 있으며 실제 기술한 내용과 같은 추세로 이어지고 있다.

II. 고속 데이터 광 전송용 ADC

2.1 ADC 구성 과 비교

기존의 ADC는 그림 1 과 같이 복잡한 회로 구성으로 신호의 가공 시 자체 회로의 부품들에 의한 지연시간이 많고 양자화 과정으로 데이터가 확산되어 전송데이터가 많았다.

개발하고자 하는 ADC는 회로구성이 간단하고 직접 변환 방식을 사용하여 전송 데이터의 확장 없이 원래의 데이터 용량으로 전송이 가능하며 사용되는 부품이 적어 지연시간을 최소화 할 수 있다는 장점이 있다.

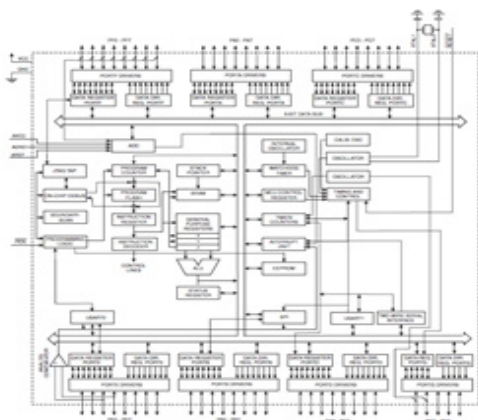


그림 1. 기존 ADC 회로구성 PCB

2.2 고속 포락선 검출기 개발

입력신호 대역폭의 크기에 따라 중심 주파수가 변하여 포락선 검출을 하는 모듈을 개발하였으며 유전체 BPF를 이용하여 대역을 경정하며 출력 레벨을 0dbm 으로 고정 출력할 수 있는 광 대역 AGC 모듈을 개발하였다.

개발한 고속 포락선 검출기는 입력되는 아날로그 신호를 주파수 영역에서 다중으로 포락선을 검출하여 데이터를 검출하며 검출된 데이터는 디지털 변환을 위해 Slice limit가 입력된다.

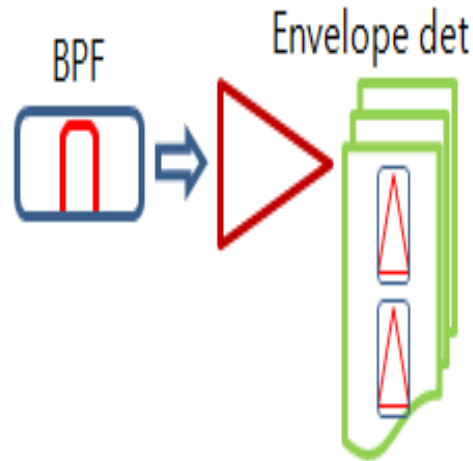


그림 2. 포락선 검출 개념도

2.3 Slice limiting 개발

입력된 아날로그 신호의 최고점 레벨과 최저점 레벨을 4단계로 분할하여 limiting 하며, 4단계 각각의 limiting된 신호의 데이터 값을 분석하여 디지털 변환 limiting 기준점을 설정 하였다.

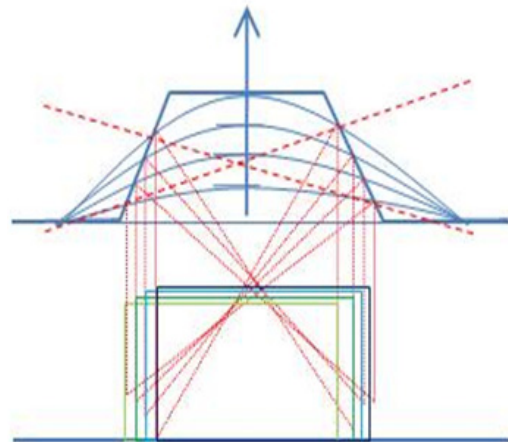


그림 3. sampling diagram

2.4 제어보드 개발

Slice limit의 기준 레벨을 설정하며, limiting 된 데이터의 데이터 rata을 분석하여 limiting 준위를 변화시켰다.

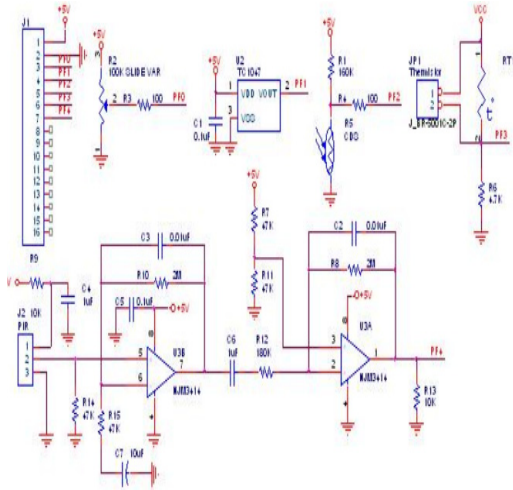


그림 4. 개발 ADC 회로도의 예

III. 개발된 ADC 실험

ADC 장치의 지연시간 측정은 Digital Scope로 입력단의 아날로그 동기 점을 기준으로 하여 최종 ADC 변환 된 Digital 신호의 동기점을 비교 측정하여 ADC의 지연시간을 측정 하였으며, 사용된 Digital Scope는 4채널 500MHz Test Range를 갖고 있다.

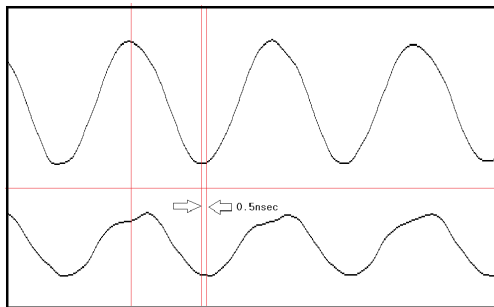


그림 5. 지연시간 신호 파형

실험과정은 그림 6과 같이 Analog신호를 상세하게 확장시켜 측정한 파형으로 본 파형의 위상 동기 점을 기준으로 Slicing 해준다.



그림 6. Analog 변조 신호

그림 7은 Analog신호를 상세하게 확장시켜 측정한 파형으로 본 파형의 위상 동기 점을 기준으로 Slicing 한다.

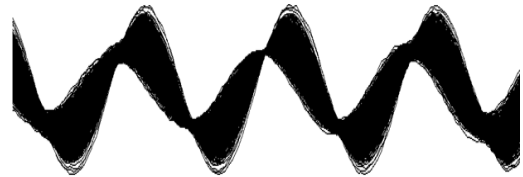


그림 7. Analog 상세 파형

1차 Slicing은 그림 7의 Analog신호를 DC level 전위차에 의한 신호의 검출로 DC전위는 가장 높은 상위 DC 전위를 기준으로 Slicing 하게 된다.



그림 8. 1차 Slicing 파형

그림 8에서 1차 Slicing된 파형과 Analog신호를 비교하면 신호의 피크 부분에서 왜곡되는 현상을 볼 수 있다.

1차 Slicing된 신호는 Analog의 신호성분이 많고 Bias 에 의한 잡음도 혼합되어 출력된다. 따라서 2차 Slicing을 진행하게 되는데 2차 Slicing은 1차와 동일한 DC Bias를 가지고 신호를 정형화 한다. 이러한 신호의 정형은 고속 디지털 신호에서 발생하는 지터 및 Over/under 신호 왜곡을 최소화 하는 과정의 단계이다. 3차 Slicing은 3/5의 Bias dc 전위로 신호를 변형시켜 원 데이터의 손실을 최소화 한 신호를 구현하였다. 3차 Slicing은 추후 연구 예정인 DAC 연동 시에 조정되어 EVM의 보정에 크게 작용하게 된다. 4차 Slicing은 3차 Slicing의 신호를 50% duty cycle에 Bias를 고정하여 최종 광 전송을 위한 Digital 신호로 변형시킨다.

그림 9과 같이 4차 Slicing 시행 전에 Digital 잡음 제거를 위해 Slicing되어 상호 위상 반전으로 신호를 상쇄시키고, 잡음만을 증폭하여 최종 Digital 신호 송출 전에 잡음을 제거시켜준다. 그

림 9는 최종 잡음 제거 뒤에 변환된 디지털신호 파형이다.



그림 9. Digital Noise cancellation

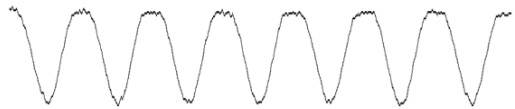


그림 10. 4차 Slicing을 거쳐 디지털신호로 변환된 파형

IV. 결론

본 연구에서 개발하고자 하는 Direct ADC는 직접 변환 방식을 사용하여 $3\mu s$ 이내의 지연을 갖는 새로운 개념의 ADC/DAC장치로서 LTE, WCDMA 전송방식에서 고속 데이터 전송이 가능하도록 하는 시스템이며 광 전송을 위한 Direct ADC 개발하였다.

연구 개발된 ADC 성능은 기존의 지연시간 4 - $6\mu s$ 에서 $3\mu s$, EVM 3%에서 3%, 소모전력 2A에서 1A, 전송대역 30MHz에서 30MHz, SNR 30dB에서 30dB, UTP전송 50 - 80min에서 80min 으로 결과를 보였다.

데이터 지연시간의 경우 세계 최고 기술수준인 4 - $6\mu s$ 보다 적은 지연시간 결과를 보여줘 추후 개발연구가 더 좋은 개발 연구가 될 것으로 보인다. 향후 시제품 PCB 설계, 조립시험, 환경시험을 시행하며, 최종 ADC/DAC 연동시험 및 광 전송망과 UTP 전송망 연결 연구를 시행할 예정이다.

참고문헌

- [1] H. Xing, H. Jiang, D. Chen and R. Geiger, "A fully digital-compatible BIST strategy for ADC linearity testing," IEEE International Test Conference, pp.1-10, Oct. 2007.
- [2] S. M. Max, "Testing high speed high accuracy analog to digital converters embedded in systems on a chip," IEEE International Test Conference, Paper 29.3, pp. 763-771, 1999.
- [3] A. Gines, E. Peralias and A. Rueda. "On-line Estimation of the Integral Non-linear Errors in Analogue-to-Digital Converters without Histogram Evaluation," in Proc. of Circuit Theory and Design 2009, pp. 97-100, 2009.
- [4] J. Markus, J. Silva, G.C. Temes, "Theory and applications of incremental delta-sigma converters," IEEE Tran. on Circuits and Systems I, vol.51, no.4, pp.678-690, Apr. 2004.
- [5] J. Mocerino, "Carrier Class Ethernet Service Delivery Migrating SONET to IP & Triple Play Offerings," OFC/NFOEC, JThB97, 2006, pp. 396-401. ETRI Journal, Volume 32, Number 2, April 2010 Jiwook Youn et al. 247
- [6] V. Ramamurti et al., "Initial Implementations of Point-to-Point Ethernet over SONET/SDH Transport," IEEE Commun. Mag., 2004, pp. 64-70.
- [7] S. Gringeri et al., "Packet and TDM Transport Integration: How, When, and Why?" OFC/NFOEC, NWF4, 2006.