다중 모드를 지원하는 고성능 HEVC 변환 블록의 하드웨어 설계

김기현, 신승용, 류광기
한밭대학교 정보통신전문대학원 정보통신공학과
e-mail : kkkh89@hotmail.com, kkryoo@hanbat.ac.kr

A Hardware Design of High Performance HEVC Multi-mode Transform

Ki-Hyun Kim, Seung-Yong Shin, Kwang-Ki Ryoo
Dept. of Information and Communication, Graduate School of Hanbat National University

요 약

변환 블록은 영상 압축에서 데이터를 공간적 영역에서 주파수 영역으로 변환해줌으로써 압축의 효율성을 높이는 역할을 수행한다. 본 논문에서는 고성능 HEVC 를 위한 4 개의 TU 모드(4x4, 8x8, 16x16, 32x32)를 지원하는 변환 블록 하드웨어 구조를 제안한다. 제안하는 변환 블록의 하드웨어 구조는 공통 연산기를 사용하여 각 TU 모드에 맞는 행렬 계수들 간의 연산을 수행한다. 또한 병렬적인 구조로 설계하여 4x4, 8x8, 16x16, 32x32 크기 TU 모드의 행렬 연산을 처리하는 사이클수가 35cycle 로 동일하게 처리된다. TSMC 180nm CMOS 공정 라이브러리를 통해 합성한 결과 4k(3840x2160)@30Hz 의 영상을 기준으로 최대 동작주파수는 400MHz 이고 총 게이트 수는 159k 이며, 10-Gpels/cycle 의 처리량을 갖는다.

1. 서론

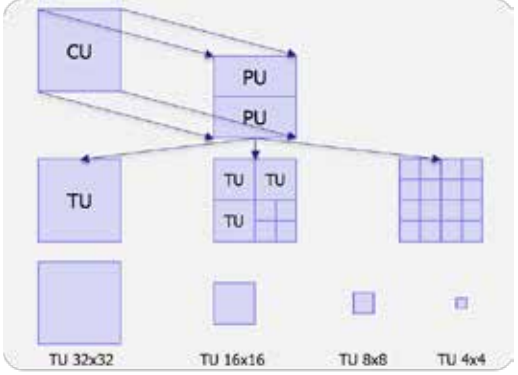
최근 UHDTV(Ultra High Definition TV)와 같은 영상 서비스들의 사용자가 증가하면서 고화질, 고해상도의 영상을 높은 압축 효율로 압축하는 영상 압축 코덱의 필요성이 증가되고 있다. 이를 배경으로 ITU-T(International Telecommunication Union Telecommunication Standardization Sector)와 ISO/IEC MPEG(Moving Picture Experts Group)이 공동으로 JVT 를 구성해 차세대 동영상 표준인 HEVC(High Efficiency Video Coding)를 제정했다.

HEVC 는 고화질, 고해상도의 영상에 대한 압축 효율을 높이기 위해 다양한 블록 사이즈를 지원하고 있다. H.264/AVC 에 비해 2~4 배 정도 증가된 여러 가지 크기의 블록을 지원하기 때문에 연산량이 급증하여 하드웨어로 구현 시 면적이 커지고, 연산 시간도 늘어나는 단점을 갖는다. HEVC 의 변환 블록은 다양한 PU(Prediction Unit) 크기로 인해 4 개의 TU(Transform Unit) 모드(4x4, 8x8, 16x16, 32x32)를 모두 수행하고, 최적의 TU 모드를 결정한다.

본 논문에서 제안하는 HEVC 의 변환블록은 행렬 계수들간의 특성을 사용하여 공통 연산기를 통해 병렬적인 구조로 변환 행렬 연산을 수행함으로써 4 개의 TU 모드를 동일한 사이클로 처리하는 구조이다. 제안하는 HEVC 변환 블록의 하드웨어 구조를 TSMC 180nm CMOS 공정 라이브러리를 사용하여 합성한 결과 4k(3840x2160)@30fps 영상을 기준으로 최대 동작주파수는 400MHz 이고, 총 게이트 수는 214k 이다.

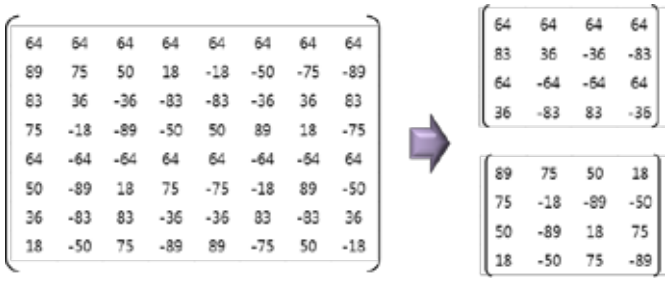
2. 기존의 HEVC 변환 블록

HEVC 의 변환 블록은 원본 영상 데이터와 예측 영상 데이터 간의 공간적 영역의 오차 데이터인 다양한 크기의 PU 를 입력 받아 주파수 영역의 데이터로 바꾸는 역할을 수행한다. 이로 인해 변환 블록은 4x4~32x32 크기의 TU 모드에 대한 변환 행렬 연산을 모두 수행하여 최적의 TU 모드를 찾는다. TU 모드에 비례하여 크기가 커지는 특성을 갖는 변환 블록은 주로 Chen's fast DCT 알고리즘을 기반으로 둔 기법을 사용하여 버터플라이 구조를 가지기 때문에 구현이 쉽고, 작은 크기의 변환의 재사용이 가능하다[1]. 그림 1 은 HEVC 변환 블록에서 사용되는 쿼드 트리 구조를 나타낸 것이다[2].



(그림 1) HEVC 변환 블록의 쿼드 트리 구조

그림 2 는 하나의 8x8 크기 TU 모드의 변환 행렬을 Chen's fast DCT 기법에 적용시켜 두 개의 4x4 변환 블록으로 재구성한 예이다.



(그림 2) 16x16 크기 변환 행렬의 재구성

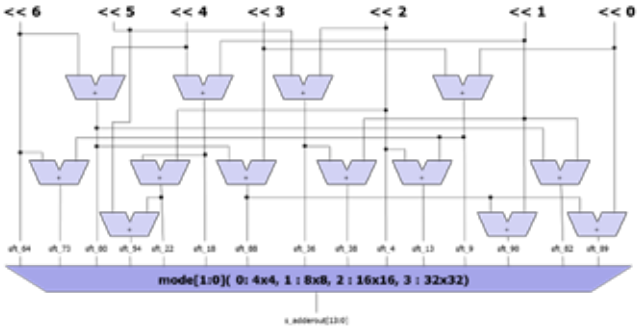
3. 제안하는 HEVC 변환 블록

본 논문에서 제안하는 HEVC 변환 블록의 구조는 하나의 변환 행렬을 짝수와 홀수 행렬로 나누는 방식인 Chen's fast DCT 알고리즘에 기반하여 설계되었다. 변환 행렬은 4x4~16x16 크기 TU 모드의 행렬 계수들이 32x32 크기 TU 모드의 행렬 계수의 부분 집합인 특징을 갖는다. 이를 기반으로 제안하는 변환 블록은 최적화된 공통 연산기를 사용하여 모든 행렬 계수에 대한 변환 행렬 연산을 수행할 수 있는 구조로 설계하였다. 표 1 은 공통 연산기를 구현하기 위하여 사용한 변환 행렬 계수들의 특징이다.

<표 1> 변환 행렬 계수 간의 관계

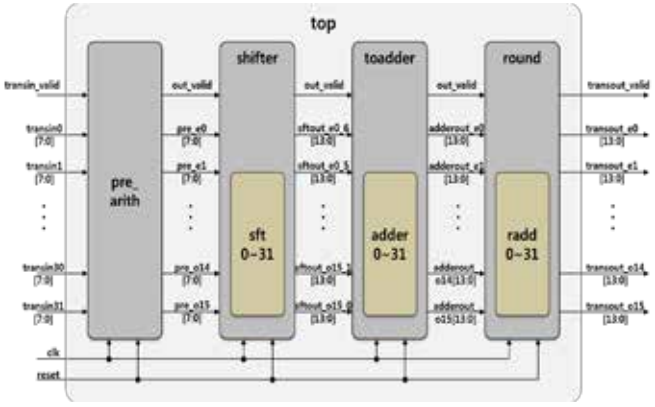
Coefficient	Shift & Adder
64	<<6
80	<<6 <<4
88	<<6 <<4 <<3
89	<<6 <<4 <<3 +1
90	<<6 <<4 <<3 <<1
87	<<6 <<4 <<2 <<1 +1
85	<<6 <<4 <<2 +1
82	<<6 <<4 <<1
83	<<6 <<4 <<1 _1
78	<<6 <<3 <<2 <<1
75	<<6 <<3 <<1 +1
73	<<6 <<3 +1
70	<<6 <<2 <<1
67	<<6 <<1 +1
61	<<5 <<4 <<3 <<2 +1
57	<<5 <<4 <<3 +1
54	<<5 <<4 <<2 <<1
50	<<5 <<4 <<1
46	<<5 <<3 <<2 <<1
43	<<5 <<3 <<1 +1
36	<<5 <<2
38	<<5 <<2 <<1
31	<<4 <<3 <<2 <<1 +1
25	<<4 <<3 +1
22	<<4 <<2 <<1
18	<<4 <<1
13	<<3 <<2 +1
9	<<3 +1
4	<<2

구현된 공통 연산기는 6 개의 쉬프트 <<6, <<5, <<4,<<3, <<2, <<1 과 1 개의 덧셈기 +1 로 구성된다. 그림 3은 공통 연산기의 구조이다.



(그림 3) 공통 연산기의 구조

TU 모드에 대한 제어 신호와 입력 영상 데이터를 받아 6 개의 쉬프트에 대한 연산을 수행한 후 1 개의 덧셈기를 통해 변환 행렬 계수에 대한 행렬 연산을 수행한다. 본 논문에서 제안하는 HEVC 변환 블록의 하드웨어 구조는 그림 4와 같다.



(그림 4) 제안하는 HEVC 변환 블록의 하드웨어 구조

전체 모듈은 전처리 연산을 수행하는 pre_arith 모듈, 쉬프트 연산을 수행하는 shifter 모듈, 덧셈 연산을 수행하는 toadder 모듈, 라운딩 연산을 수행하는 round 모듈로 구성된다.

원본 영상 데이터와 예측된 영상 데이터 간의 오차 데이터인 PU 를 병렬적으로 입력 받아 pre_arith 모듈에서 전처리 연산을 수행한다. shifter 모듈은 전처리 연산이 수행된 데이터를 입력 받아 공통 연산기인 sft 를 통해 각 데이터에 대한 <<6~<<0 까지의 쉬프트 연산을 수행한다. toadder 모듈은 쉬프트 연산이 수행된 데이터를 입력 받아 공통 연산기인 adder 를 통해 각 TU 모드에 맞는 변환 행렬 계수에 대한 연산을 수행한다. round 모듈은 데이터의 손실을 줄이기 위하여 공통 연산기인 radd 를 통해 덧셈 연산이 수행된 데이터들을 반올림하는 연산을 수행한다.

4. 검증 및 결과

본 논문에서 제안하는 HEVC 변환 블록은 표준 참조 소프트웨어인 HM-10.0rc1 을 이용하여 검증하였다

[3]. HM-10.0rc1 의 변환 블록을 통과하기 전과 후의 영상 데이터를 추출하여 제안하는 변환 블록을 시뮬레이션 한 결과를 파일로 생성하여 비교하였다. 또한 IDEC 에서 제공하는 synopsys 사의 Design Compiler 를 통해 TSMC 180nm CMOS 공정 라이브러리로 합성한 결과, 4k(3840x2160)@30fps 영상을 기준으로 최대 동작 주파수는 400MHz 이고 총 게이트 수는 214k 이다. 표 2는기존의 변환 블록의 구조와 제안하는 변환 블록의 구조를 비교한 것이다. 기존의 변환 블록 구조들은 대부분 역변환 블록에 대하여 다루어지기 때문에 제안하는 변환 블록의 구조를 기존의 역변환 블록들과 비교하였다. 비교한 결과로 총 게이트의 수는 기존의 연구보다 3~4 배 정도 늘었지만 처리량은 10 배이상 좋아짐을 확인할 수 있다.

<표 2> 기존 변환 블록과 제안하는 변환 블록 구조의 비교

Architecture	Fan[4]	Chen[5]	Proposed
Technology	180nm	180nm	180nm
Max. frequency	125MHz	250MHz	400MHz
Gate Counts	95.1k	56.4k	214k
Max. throughput (pels/cyle)	1000M	1-G	10-G
Functions	HEVC 4x4/8x8 2-D Inverse	H.264/AVC 4x4/8x8 2-D Inverse	HEVC 4x4/8x8/ 16x16/32x32 2-D Forward

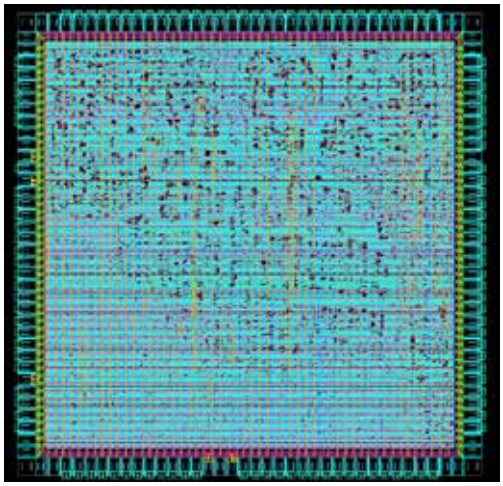
표 3은기존 변환기가 1D 변환을 할 경우, 32x32 크기의 TU 모드에서 한 라인을 1 사이클에 처리한다고 가정하였을 때 나머지 TU 모드를 처리하는데 걸리는 사이클 수를 나타낸 것이다.

<표 3> 각 TU 모드 별 1D 변환 처리 사이클 수

TU 모드	기존 변환기	제안하는 변환기
4x4	512	35
8x8	256	35
16x16	128	35
32x32	32	35

기존 변환기는 각 TU 모드 별 변환 행렬 연산을 처리하는데 걸리는 사이클 수가 다르며, 32x32 크기의 TU 모드에 대한 변환 행렬 연산을 처리하기 위해서 32 사이클, 16x16 크기의 TU 모드의 경우 128 사이클, 8x8 크기의 TU 모드의 경우 256 사이클, 4x4 모드의 경우 512 사이클이 소요된다. 제안하는 변환기는 TU 모드에 영향을 받지 않고 모든 변환 행렬 연산을 처리하는데 동일하게 35 사이클이 소요된다.

그림 5는 Synopsys 사의 IC Compiler 칩 설계 결과 화면이다.



(그림 5) IC Compiler 칩 설계 결과

5. 결론

본 논문에서 제안하는 HEVC 변환 블록은 4 개의 TU 모드(4x4, 8x8, 16x16, 32x32)를 지원하며, 행렬 계수의 특징을 사용하여 공통 연산기를 통해 입력 영상 데이터에 대한 모든 행렬 계수 연산을 수행한다. 모든 TU 모드의 변환 행렬 연산을 처리하는데 걸리는 사이클은 35 사이클로 동일하다. 제안하는 HEVC 변환 블록의 하드웨어 구조를 합성한 결과 총 게이트 수는 214k 로 이전 연구에 비해 3~4 배정도 늘었으나 처리량은 10-Gpels/cycle 로 이전 연구에 비해 10 배정도 증가하여 효율성을 높였다. 최대 동작주파수는 400MHz 이다.

감사의 글

본 논문은 교육부와 한국연구재단의 지역혁신인력양성사업 및 미래창조과학부 출연금으로 수행한 ETRI SW-SoC 융합 R&BD 센터와의 공동 연구의 결과입니다.

참고문헌

[1] W. H. Chen, C. H. Smith, and S. Fralick, “ A fast computational algorithm for the discrete cosine transform,” Communications, IEEE Transactions on 25.9, pp. 1004-1009, 1997.

[2] B. Bross. et. al, “High Efficiency Video Coding (HEVC) text specification draft 9,” Shanghai, Oct. 2012.Document JCTVC-K1003.

[3] “HM10: High efficiency video coding HEVC test model 10”(https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-10.1rc1/)

[4] C.-P. Fan, C.-H. Fang, C.-W.Chang, and S.-J. Hsu, “Fast multiple inverse transforms with low-cost hardware sharing design for multistandard video decoding,” IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 58, no. 8, pp. 517-521, Aug. 2011.

[5] Y.-H. Chen, T.-Y. Chang, and C.-W. Lu, “A low-cost and high-throughput architecture for H.264/AVC integer

transform by using four computation streams," in Proc. IEEE Int. Symp. Integr. Circuits, pp. 380-383, Dec. 2011.