

# HVDC Valve Operational Test를 위한 개선된 합성시험회로

권준범\*, 백승택\*, 이옥화\*, 정용호\*  
LS산전\*

## Improved Synthetic Test Circuit for HVDC Valve Operational Test

Jun Bum. Kwon\*, Seung Taek. Baek\*, Wook Hwa. Lee\*, Yong Ho. Chung\*  
LS Industrial Systems\*

### ABSTRACT

합성시험설비는 별도로 개발이 필요한 기술이다.<sup>[1]</sup>

신재생 에너지의 용량이 증대하고, 수요가 늘어 남에 따라, 국가 간, 도시 간의 송전이 중요한 이슈로 대두 되고 있으며, 해당 요구 조건을 만족시키기 위해서 초고압 직류 송전 개발이 요구 되고 있다. 이 초고압 직류송전(HVDC)에는 전류형과 전압형으로 나뉘게 되는데, 각 HVDC 에서 사용되는 Valve는 실제 운전 전에 여러 가지 방법으로 검증이 되어야 한다.

합성 시험회로(Synthetic Test Circuit = 이하 STC) 는 전류형 HVDC에서 사용되는 주요 전력변환 장치 인, Thyristor Valve의 동작을 실제 동작 조건에 맞추어 동작을 시켜, 동작의 신뢰성을 검증하는 시험 설비 이다. 기존 STC는 고전압 대전류 회로와 고전압 저전류 회로의 합성 동작으로 Thyristor Valve의 동작을 검증한다. 하지만 제안된 Topology를 이용하면, 고전압 대전류 회로를 저전압 대전류 회로로 사용할 수 있으며, 제작 비용 및 설치 면적 등을 감소 시킬 수 있어 경제적이다.

### 1. 서론

HVDC 시스템은 초고압 직류 송전 시스템으로써, AC를 DC로 변환하여 장거리 송전에 유리한 시스템이다. 현재 대륙간 송전 및 주파수 변환을 위한 BtB Topology에 많이 응용되고 있다. HVDC 시스템의 장점은 일정 송전거리 이상이 되면, DC가 AC에 비하여 손실율이 적고 유리한 장점이 있다.

해당 HVDC Valve는 전력을 AC-DC-AC로 변환하려면, HVDC Valve(Module)이라고 불리는 전력 변환 장치가 필수적이다. 해당 Valve를 현장에 설치하기 전에 IEC 60700-1 또는 CIGRE 같은 국제 표준 규격에 맞추어 Type Test를 진행 후에 통과 시 현장에 설치 되어야 한다.

해당 Type Test는 크게 2가지로 분류되며, 절연 성능을 시험하기위한 Dielectric Test 그리고, 실제 Thyristor Valve의 동작을 가혹 한 조건에서 시험하기위한 Operational Test가 필요 하다.

해당 Operational Test에서, 가혹한 전압/전류 조건을 시험대상에 인가하기 위해서는 두 가지를 모두 충족하는 합성 시험 회로가 필수적으로 필요하다.

해당 합성 시험 회로는 기존 고압 차단기 또는 GIS 등 고압 제품에서 많이 사용되었으나, HVDC Valve를 목적으로 하는

### 2. 기존 합성 시험 설비

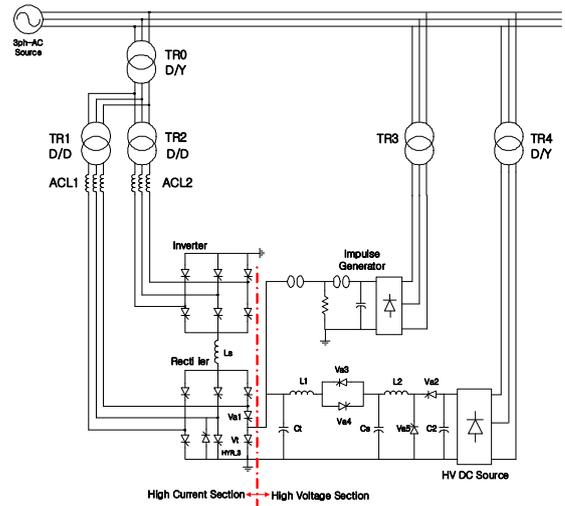


그림 1. 기존 합성 시험 설비

그림 1은 기존 전류형 HVDC Valve 합성 시험 설비를 나타내는 단선도이다.

TR0~TR4는 변압기를 나타내며, ACL1~ACL2는 Commutation Reactance를 나타낸다.  $V_t$ 는 시험 대상 HVDC Valve module을 나타낸다.

적색 선을 기준으로 좌측은 대전류(High Current Section)을 나타내며, 우측은 고전압(High Voltage Section)을 나타낸다. 각 대전류원, 고전압원에서 전류 및 전압에 대한 가장 심한 스트레스를 시험대상( $V_t$ )에 인가함으로써, 시험대상의 성능을 검증할 수 있는 합성 시험 설비이다.

전류형 HVDC Valve 모듈에 인가되는 전류와 같은 파형을 시험대상에 인가하기 위하여, 대전류 원은 6-펄스 Rectifier 및 6펄스 Inverter로 구성된 Back to Back 구성 방식으로 구성되어 있다. 또한 전류원의 DC 전류를 평활 하기 위해 Smoothing Reactor (Ls)가 설치 되어 있다.

시험 대상은 IEC 규격에 따라, Scale된 수량으로 시험된다. 그

중, Thyristor를 동작 시키려면, Gate Electronics라는 카드가 Thyristor 마다 필요하다. 하지만 해당 카드는 Thyristor의 스너버회로에서 전원을 충전하기 때문에, 대전류원부터 동작 시키는 합성시험회로의 특성 상, 시험 대상에 전원을 충전하기 위해 시험 대상에 특정 전압을 인가 해야 한다.

시험 대상 (Vt)에 고 전압 조건을 인가 해주기 위해, 공진회로로 구성이 되어 있다. C2, Cs는 공진용 Capacitor 이며, L1, L2는 공진용 Inductance이다.

C2에 DC 고전압을 충전 하기 위해, AC를 정류하여 30kV를 만들 수 있는 고전압 DC원이 사용된다. C2에 충전된 DC 고전압을 스위칭 하여 시험대상에 실제 HVDC Valve와 유사 시험 조건을 인가 하기 위해 Va3~Va5의 Valve가 사용된다. Va3~Va5는 실제 전압 조건을 역전압 및 순방향 전압조건에서 Blocking 할 수 있는 전압 정격을 가지고 있어야 한다. Ct는 실제 HVDC Valve에 인가되는 기생 Parameter 조건을 모의 하기 위한 Capacitance 이다. 공진 회로 동작 조건에 따라 동작 하기 위해서는 Vt가 대전류원에서 이미 충전되어 동작 될 수 있는 조건을 갖추어야 동작이 가능하다.

기존 회로의 경우 초기에 시험대상의 동작을 위해 전압을 충전 시, 대전류원 부터 동작 시켜 충전 시킨다. 이와 같이 동작을 구성 시, 앞서 설명한 대전류원의 구성에서, 대전류원에 사용되는 Thyristor Valve는 시험대상과 같은 전압/전류 정격을 가지고 있어야 한다. 또한 그림 1에서 변압기의 정격 또한 고전압/대전류를 만족하기 위해 용량이 엄청나게 커지게 된다. 대전류원의 조건은 시험대상에 대전류를 인가만 할 수 있으면 되기에, 고전압-대전류 회로로 구성 시 설치 면적 및 비용 제어 등이 복잡해지는 문제가 있다.

### 3. 개선된 합성 시험 설비

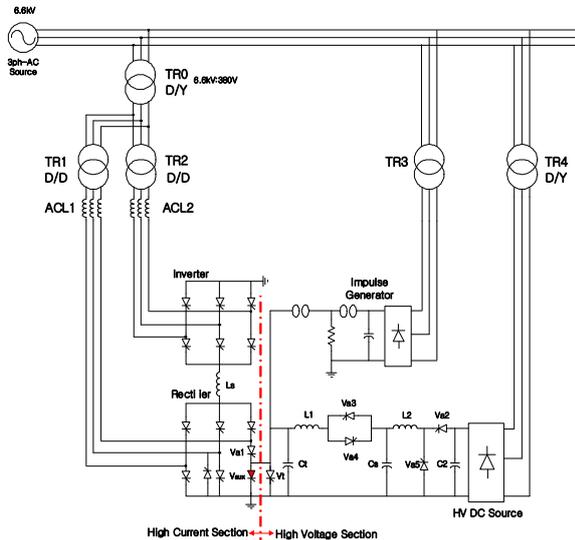


그림 2. 개선된 합성시험회로

대전류회로의 전압이 낮고, 전류가 높은 경우, 대전류 회로를 이용하여 초기에 시료(Vt)의 Gate Driver 전원을 충전 시킬 수 없기 때문에, High Voltage Circuit 에서 충전을 시켜야 한다.

하지만, 기존 High Voltage Circuit 에서는 시료(Vt)의 Gate

Driver 충전조건을 만족할 수 있는 AC전압을 만들어 낼 수 없다. Va2가 Turn-on이 되고 Cs가 충전된 후에, Va3를 Turn-on 시킨 후에 Ct에 전압이 충전됨으로써, Va4는 Ct의 전압을 방전 시키기 전에는 Reverse biased 상태이기 때문에, Turn-on 동작을 할 수 없다. 따라서, 역 전압을 인가 할 수가 없다. 해당 조건에서 시험대상(Vt)의 Gate Electronics 전원은 충전되기 전의 조건이며, Vt는 Turn-on 될 수 없으므로, 이후의 High Voltage Circuit 동작은 진행 될 수 없다.

하지만, 본 논문의 Topology 처럼, Vaux를 추가 시에, Va3를 Turn-on시킴과 동시에, Vaux를 Turn-on 시킴으로써, Va4가 Turn on 될 수 있는 조건을 만들어 준다. 시험대상(Vt)에 역 전압이 인가된 후, Va5를 Turn-on 시키고, 순방향 전압에서 모자란 전압은 Va2를 Re-Turn-on하여 재 충전하여, 지속적인 AC 전압을 만들 수 있다. 해당 전압은 시험대상 (Vt)에 인가될 시에, 초기에 Gate Driver 전원을 충전 시킬 수 있다.

초기 Gate Electronics 충전 동작 후에, Type Test를 위해 High DC Current를 시험대상(Vt)에 도통 시킬 시에도, Vrec1에 전류가 흐르지 않는 구간부터, Va1 및 시험대상(Vt)을 동시에 Turn-On을 시키고, Vaux는 Turn-off 시켜서, 시험대상(Vt)에 High AC Voltage 및 High DC Current가 Soft Start로 인가 될 수 있다.

또한, 시험대상(Vt)에 병렬로 설치되는 Vaux의 Impedance 경우, 시험대상(Vt)의 IEC 규격 시험 조건 상, 다른 Thyristor Valve의 합성 Impedance 및 기생 Impedance가 실제운전 조건과 같은 조건으로 시험하기 위해 설치되어야 하기 때문에, 해당 Vaux Impedance를 제외한 Impedance 회로만 설치하면, 국제 시험 규격에 또한 적합하게 합성시험이 가능하다.

### 3. 결론

기존 회로에서는 대전류원을 통해 시험대상의 Gate Electronics를 충전해야 하기 때문에 대전류원의 전압 정격도 같이 커지기 때문에 변압기 및 Back-to-Back 회로의 정격도 같이 커짐으로, 절연 간격 및 용량에 의해, 설치면적도 커지고 제어도 복잡하며, 비용이 크게 소요되었다. 하지만, 본 논문은 추가로 설치된 Valve 및 제어 방법을 변경하여 대전류원의 전압 용량을 저 전압으로 변경하였으며, 변경하였음에도 불구하고, IEC같은 국제 표준에 적합한 시험을 시험대상에 인가할 수 있다. 본 발명을 통해, 설치면적이 작아지고, 제어방법도 간단해지며, 용량감소로 인해 비용도 감소시킬 수 있다.

### 참고 문헌

- [1] “DC 50kV급 HVDC Valve 개발”, 전력전자학회, 전력전자학회 2012년도 전력전자학술대회 논문집 2012.7
- [2] IEC 60700-1 “HVDC Valve Type Test”
- [3] “A New Synthetic Test Circuit For the Operational Tests of HVDC Thyristor Modules”, PELS APEC2001 Conference on March 04-08, 2001