

왜곡된 3상 전압에 대한 Time Delay PLL 및 MDSOGI PLL 비교

조종민 · 이재도 · 차한주
충남대학교 전기공학과

Comparison for Time Delay PLL and MDSOGI PLL method under distorted three-phase voltage

Jongmin Jo · Jaedo Lee · Hanju Cha
Department of Electrical Engineering, Chungnam National University

ABSTRACT

계통 연계형 시스템에서 왜곡된 입력전압에 대해서 기본과 전압의 크기, 주파수, 위상 등을 정확히 추종함으로써 계통과 시스템 간의 빠르고 정확한 동기화 과정은 매우 중요하다. 본 논문은 불평형 및 고조파를 포함한 3상 전압 조건에서 기본과 성분의 위상 추출을 위한 두 가지 기법인 Time Delay PLL과 MDSOGI PLL 기법을 Matlab Simulink를 통해 모델링하고 비교·분석 하였다. 동기좌표계에서 발생하는 고조파 성분의 영향을 저감시키는 효과를 확인하고 그 특성을 비교하였다.

1. 서론

계통 연계형 시스템에서 가장 중요한 기술 중 하나는 계통의 위상과 주파수를 빠르고 정확하게 추종함으로써 계통과 시스템 간에 동기화를 이루는 기술이다. 현재 일반적으로 가장 널리 사용되고 있는 위상추종 기법은 평형 3상 전압에서 우수한 특성을 보이는 SRF PLL 기법이다. 그러나, 실제 계통 연계형 시스템은 다양한 외부 요인에 의해 불평형 및 고조파를 포함한 왜곡된 3상 전압 조건하에서 동작하며, 왜곡된 전압으로부터 SRF PLL은 d q축에 발생하는 고조파 성분으로 인해 기본과 주파수의 위상을 정확히 추출할 수 없기 때문에 동기화시키기 어렵다.

따라서, 왜곡된 전압으로부터 발생하는 d q축 전압에 포함된 고조파 영향을 저감시킴으로써 기본과 성분의 주파수와 위상을 추출하는 기법으로 Time Delay와 MDSOGI 기법을 SRF PLL과 결합한 Time Delay PLL과 MDSOGI PLL(Multi Double Second Generalized Integrator PLL)을 모델링한다. 기존 SRF PLL보다 성능이 향상된 두 기법을 이용하여 정상분 추출과정에서 고조파 성분의 영향을 저감시키는 효과를 Matlab Simulink 시뮬레이션을 통해 비교한다.

2. Time Delay PLL과 MDSOGI PLL 모델링

2.1 Time Delay PLL Matlab Simulink 모델

그림 1은 Matlab Simulink를 이용하여 SRF PLL과 Time Delay 기법을 결합한 Time Delay PLL의 모델링을 나타낸다. 그림 2는 Time Delay의 내부 블록도를 나타낸다.

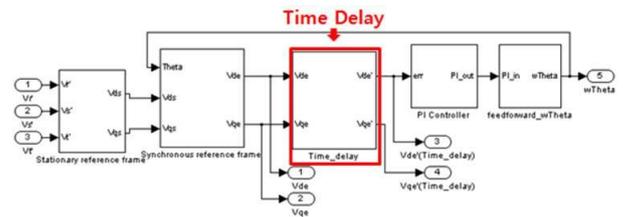


그림 1 Time Delay PLL Matlab Simulink 모델

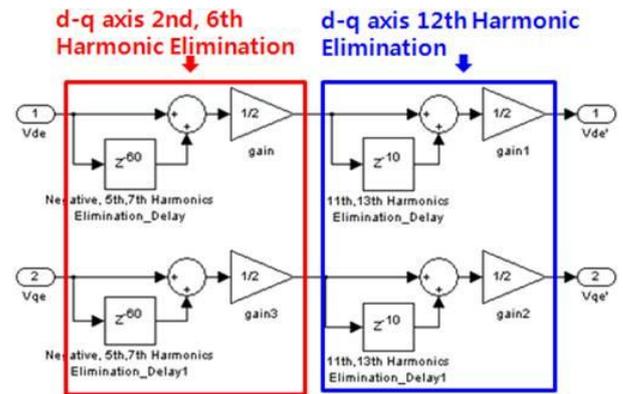


그림 2 Time Delay 내부 블록도

Time Delay PLL은 왜곡된 3상 전압에 의해 d q축에서 발생하는 고조파 성분의 영향을 저감시키기 위해, 동기 좌표계 출력으로부터 기본과 주기에 대하여 일정한 주기만큼 delay 시킨 성분을 생성, 기존의 d q축 전압과 더해줌으로써 고조파 성분을 상쇄시킨다.⁽¹⁾ 왜곡된 3상 전압이 역상분 5, 7, 17, 19고조파 성분을 포함하는 경우, d q축에서 발생하는 2, 6, 18고조파는 기본과 주기(T)의 1/4T 주기만큼 delay 시킴으로써 제거할 수 있다. 또한, 3상 입력에 11, 13, 23, 25 고조파가 포함되는 경우에는 기본과의 1/24T 주기만큼 delay 시킴으로써 d q축에 발생하는 12, 24고조파를 제거한다. Delay time은 지연되는 샘플링 시간으로 기본과 주기와 스위칭 주파수에 따라 달라진다.

2.2 MDSOGI PLL Matlab Simulink 모델

그림 3은 Matlab Simulink를 이용하여 왜곡된 3상 전압으로부터 정상분 전압을 추출하여 계통의 위상을 추종하는

MDSOGI PLL 모델이다.

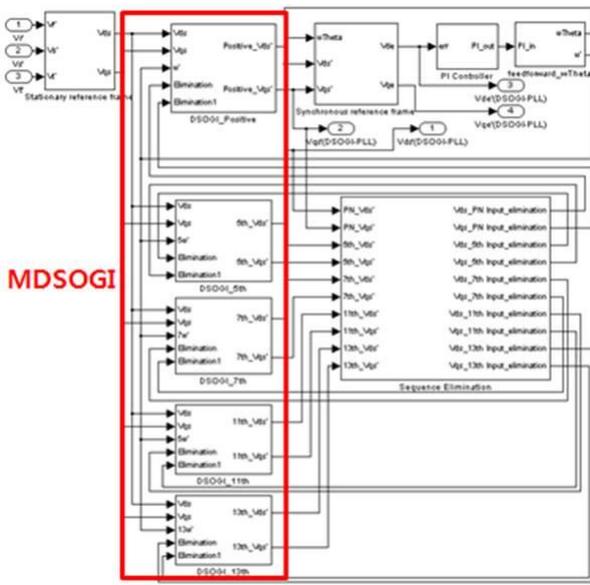


그림 3 MDSOGI PLL Matlab Simulink 모델

불평형 및 고조파를 포함하는 3상 전압이 입력 될 때, MDSOGI는 기본파의 정상분과 역상분, 각각의 고조파 성분을 추출하는 n개의 DSOGI 블록들이 평행한 형태로 구성된다. 각 DSOGI 블록은 정지좌표계 출력전압 Vds, Vqs 입력에서 추출하고자 하는 DSOGI 출력 값을 제외한 나머지 모든 DSOGI 블록들의 출력을 합성한 성분을 뺀 값을 입력 받는다.⁽²⁾

MDSOGI PLL을 통해 기본파의 정상분 전압에 대한 주파수와 위상을 추종하기 위해 DSOGI_Positive 블록에 PLL을 연결한다. 기본파의 정상분 추출은 첫 번째 DSOGI 블록 내에서 PSC (Positive Signal Calculator)로부터 추출된다. PLL에 의해 검출된 w'은 각 DSOGI 블록의 피드백 요소로서 Resonance frequency 역할을 수행하며, 해당 DSOGI 블록이 추출하고자 하는 n차 고조파 주파수 성분에 따라 w'에 n배를 해줌으로써 QSG (Quadrature Signal Generator)를 구성한다.

2.3 왜곡된 3상 전압에 대한 Time Delay PLL과 MDSOGI PLL의 시뮬레이션에 따른 d-q축 전압 결과 비교

표 1 왜곡된 3상 전압의 크기

Table 1 An Amplitude of distorted three-phase voltage

입력성분	크기	입력성분	크기
정상분	180V	역상분	50V
5차 고조파	39.6V	7차 고조파	16.2V
11차 고조파	10.8V	13차 고조파	5.4V

그림 4는 왜곡된 3상 전압에 대한 Time Delay PLL과 MDSOGI PLL의 시뮬레이션 d q축 전압 비교를 보여주고 있다. 3상 입력 전압의 크기는 표 1과 같고, 기본파 주파수는 50 Hz, 스위칭 주파수는 12 kHz 조건으로 시뮬레이션 하였다.

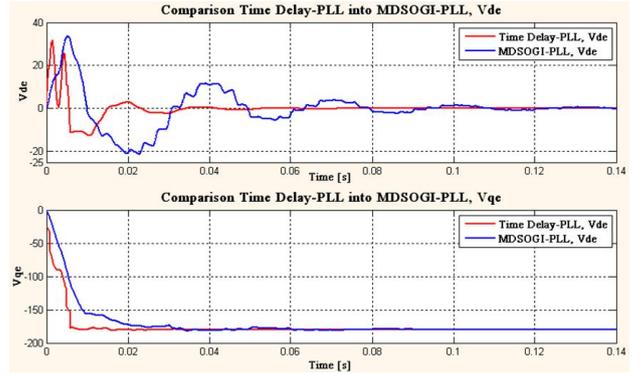


그림 4 d q축 전압 비교

Time Delay PLL의 경우, d q축에 발생한 2고조파와 6고조파를 제거하기 위해 기본파의 1/4T 만큼 delay 시키면 $1/4 * 20ms * 12k = 60$ 의 delay 시간을 갖게 되며, d q축에서 2고조파는 π , 6고조파는 3π 만큼 위상 지연된다. 또한 12고조파 제거를 위해 1/24T를 delay 하면 $1/24 * 20ms * 12k = 10$ 의 delay 시간을 갖고, 12고조파는 π 만큼 지연된다.. MDSOGI PLL의 경우, 정상분과 역상분, 5, 7, 11, 13고조파를 추출하는 5개의 평행한 DSOGI 블록으로 구성되어 정상분 전압을 추출하였다.

시뮬레이션 결과, d축 전압에서 MDSOGI PLL은 초기 과도 상태에서 34 V peak값을 갖고 6주기 이후에 안정화 상태에 도달하는 반면, Time Delay PLL은 2주기 이후 빠르게 안정화 상태에 도달한다. q축 전압에서도 MDSOGI PLL에 비해 Time Delay PLL의 안정화 속도가 더욱 빠르다는 것을 알 수 있다. 따라서, Time Delay PLL이 MDSOGI PLL 보다 불평형 및 고조파 성분에 의해 d q축에 발생하는 고조파 성분을 저감시키는 효과가 더 크다는 것을 알 수 있으며, 기본파의 위상을 더욱 빠르고 정확하게 추종한다는 것을 확인할 수 있다.

3. 결론

왜곡된 3상 전압에 대해 기본파 전압의 주파수와 위상을 추종하는 Time Delay PLL과 MDSOGI PLL 기법을 이용하여 고조파 성분의 영향을 저감시키는 효과를 비교하였다. 동기좌표계 d q축 전압을 통해, 불평형 및 고조파 성분의 영향을 저감시키는 효과는 Time Delay PLL이 MDSOGI PLL보다 우수한 특성을 보이는 것을 확인할 수 있다.

참고 문헌

[1] Ziwen Yao, "Fundamental Phasor Calculation With Short Delay", Power Delivery, IEEE Transactions on, Vol. 23 Issue. 3, pp .1280 1287, July. 2008.
 [2] Rodriguez, P. Luna, A. Etxeberria, I. Hermoso, J.R. Teodorescu, R. "Multiple second order generalized integrators for harmonic synchronization of power converters", Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE, pp .2239 2246. 2009.