

3-Level 인버터에서 기생 인덕턴스를 고려한 DC_Link 설계 및 스위치 특성 분석

엄태호*, 홍석진*, 신수철*, 이희준*, 유재성**, 원충연*
성균관대학교*, 삼성중공업**

Analysis of Switch Characteristics and Design for DC_Link considering Stray Inductance at 3-Level Inverter

Tae Ho Eom*, Seok Jin Hong*, Soo Cheol Sin*, Hee Jun Lee*, Jae Sung Yu**,
Chung Yuen Won*
Sungkyunkwan University*, Samsung Heavy Industries Co.,Ltd.**

ABSTRACT

3 level 인버터에서 DC_Link와 각 leg의 스위치 간 라인에 존재하는 Stray inductance로 인해 스위칭 시 Voltage spike가 발생하게 된다. 3 level 인버터는 고전압, 대전력에서 주로 사용되기 때문에 Voltage spike로 인해 전력반도체 스위치에 순간적으로 큰 전압이 인가되어 정격 이하의 운전에서도 스위치가 소손되어 전체 시스템의 고장을 초래할 수 있다. 이와 같은 사고를 방지하기 위해 본 논문에서는 DC_Link 커패시터를 분할로 구성하여 Stray inductance를 균일하게 하고 전반적으로 최소화 하였다. Stray inductance는 Double Pulse Test 시뮬레이션 및 실험으로 확인하였다.

1. 서론

대전력, 고전압 시스템에서 주로 사용되는 Multi level 인버터는 2 level 인버터에 비해 THD를 우수하게 출력할 수 있다. 3 level 인버터는 2 level 인버터보다 높은 DC_Link 전압을 가지기 때문에 Stray inductance가 미치는 영향이 크다. 따라서 Stray inductance를 최소화하여 Voltage spike와 스위칭 손실을 개선해야 할 필요가 있다.

본 논문에서는 3상 Back to back 3 level ANPC 인버터의 DC_Link를 분할하여 설계하였다. 이를 통해 DC_Link 커패시터와 모든 leg 사이의 길이를 동일하게 할 수 있다. 따라서 각 leg와 커패시터 간의 Stray inductance를 최소화함으로써 각 스위치에서 발생하는 전압, 전류 spike도 최소화 할 수 있다.

2. 3-level Active NPC 인버터

2.1 시스템 구성 및 동작

그림 1은 3상 Back to back 3 level Active NPC(ANPC) 인버터 시스템 회로도이다. 3 level ANPC 인버터는 NPC 인버터의 중성점 다이오드를 IGBT로 사용한 토폴로지로서 NPC의 State "0" 를 분할하여 사용할 수 있는 토폴로지이다. ANPC 인버터의 스위칭 상태는 표 1과 같다. ANPC 인버터는 "+", " " 상태에서 어떤 "0" 상태로 전환 되는지에 따라 다른 손실이 나타나 손실을 분배를 할 수 있다.[1]

표 1. 3 level ANPC 인버터 스위칭 상태

	Tx1	Tx2	Tx3	Tx4	Tx5	Tx6
State"+"	1	1	0	0	0	1
State"0U2"	0	1	0	0	1	0
State"0U1"	0	1	0	1	1	0
State"0L1"	1	0	1	0	0	1
State"0L2"	0	0	1	0	0	1
State"-"	0	0	1	1	1	0

2.2 Stray inductance에 의한 스위칭 손실

그림 2는 Double pulse test시 나타나는 전압 및 전류 파형이다. Double pulse test는 공심형 인덕터를 사용하여 인버터의 각 라인 인덕턴스를 계산하는데 많이 사용되는 방식이다.[2] 인덕턴스 크기에 따른 Voltage spike와 Current spike 및 인버터 동작 시 나타나는 di/dt 성분을 통해 Stray inductance를 식(1)을 통해 계산할 수 있다.

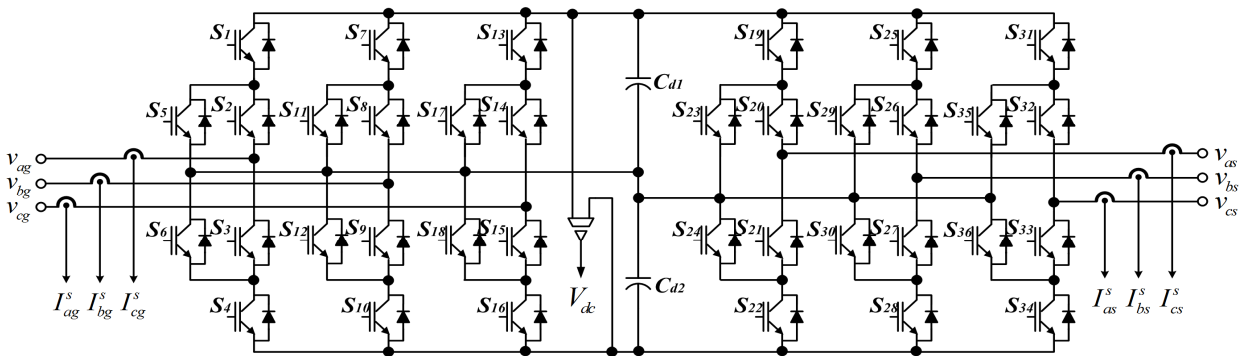


그림 1. 3상 Back to back 3 level Active NPC 인버터 회로도

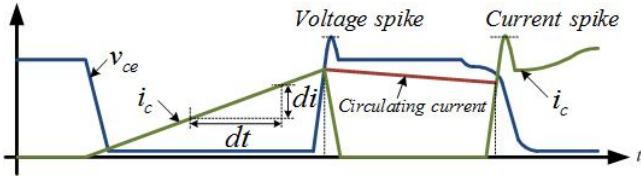


그림 2. Double pulse test시 IGBT 전압, 전류 곡선

$$V = (L + L_{stay}) \frac{di_c}{dt} \quad (1)$$

Stray inductance 성분이 크면 IGBT 오프시 나타나는 전류 지연 현상으로 IGBT의 기생 커패시터에 쌓이는 전류가 많아진다. 커패시터에 인가되는 전압은 식(2)와 같이 커패시터에 쌓이는 전하의 총량이 증가 할수록 스위치에 걸리는 전압이 높아져 Voltage spike가 커진다. 또한 스위치에 흐르는 전류와 전압이 교차하는 면적이 넓어지기 때문에 손실이 증가한다.

$$V_c = \frac{1}{C} \int i_c dt \quad (2)$$

2.3 ANPC 인버터 하드웨어 구성

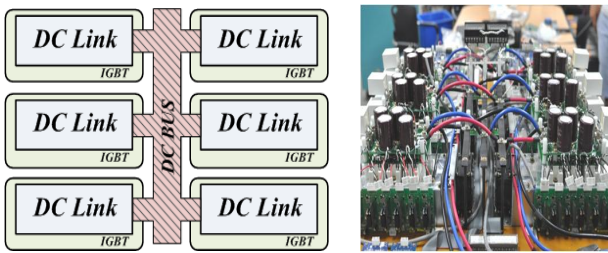


그림 3. 분할 DC_Link 3 level ANPC 인버터 구성

그림 3은 DC_Link 커패시터를 분할하여 설계한 ANPC 인버터의 구성도이다. 본 논문에서는 그림 3과 같이 DC_Link 커패시터를 각 모듈 위에 쌓은 형태로 제작하였고, 각 DC_Link는 직류 BUS로 연결하였다. 이로 인해 각 모듈과 DC_Link 간의 거리를 동일하게 설계할 수 있었다.

3. 시뮬레이션 및 실험

3.1 시뮬레이션 결과

3 level ANPC 인버터에서 Stray inductance 특성을 계산하기 위한 Double pulse test를 PSIM으로 시뮬레이션 하였다. 시뮬레이션의 파라미터는 표 2에 나타내었다.

표 2. 시뮬레이션 파라미터

파라미터	값	파라미터	값
공심형 인덕터 인덕턴스	330 [μH]	입력 전압	300 [V]
공심형 인덕터 내부저항	0.414 [Ω]	DC_Link 커패시턴스	6000 [μF]

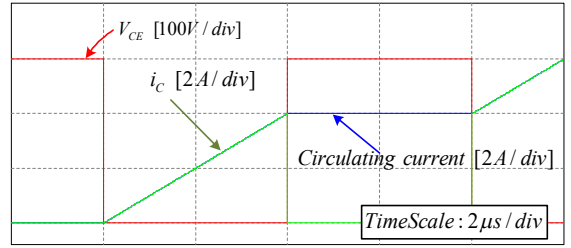


그림 4. Double pulse test시 전압, 전류 시뮬레이션 파형

3.2 실험 결과

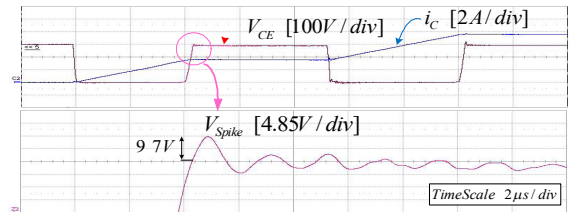


그림 5. Double pulse test시 Voltage spike 파형

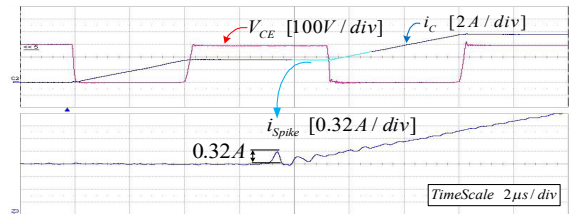


그림 6. Double pulse test시 Current spike 파형

실험은 그림 3의 하드웨어를 통해 수행하였고 파라미터는 시뮬레이션과 동일하게 설정 하였다. 그림 5, 6을 통하여 최소화 된 Voltage spike와 Current spike를 확인할 수 있다.

4. 결론

본 논문에서는 3 level ANPC 인버터에서 Stray inductance에 의해 발생하는 Voltage spike에 대하여 분석하고 이론적 계산 방법을 나타내었다. Stray inductance는 Double pulse test 시뮬레이션과 실험을 통하여 확인하였다. 이 방법은 ANPC 인버터 외에 대부분의 하드웨어 설계 시 유용하게 사용될 수 있다.

이 논문은 2013년도 정부(지식경제부)의 재원으로 삼성중공업의 지원을 받아 수행된 연구임 (No. 2012T100100064).

참고 문헌

- [1] Bruckner, T.; Bernet, S.; Guldner, H. "The Active NPC Converter and Its Loss Balancing Control" Industrial Electronics, IEEE Transactions on Volume: 52, Issue: 3
- [2] Osman S. Senturk, "Converter Structure Based Power Loss and Static Thermal Modeling of The Press Pack IGBT Three Level ANPC VSC Applied to Multi MW Wind Turbines", IEEE Transactions On Industry Applications, Vol. 47, No. 6, November/December 2011.