

# MMC-HVDC 시스템에서 시간 지연을 고려한 디지털 제어기의 설계

송지완 구남준 김래영\*  
한양대학교

## Design of Digital Controller considering Time Delay in the MMC-HVDC system

Ji Wan Song Nam Jun Ku Rae Young Kim\*  
Hanyang University

### ABSTRACT

본 논문에서는 모듈형 멀티레벨 컨버터(Modular Multi level Converter, MMC)의 제어기를 설계에 있어 시간 지연을 고려한 디지털 제어기 설계 방법을 제시한다. 제안된 방법으로 설계한 디지털 제어기를 사용하면 시간 지연으로 인한 시스템의 성능저하를 완화할 수 있으며, 11 Level로 구현된 MMC HVDC 시스템 모델에 적합한 디지털 제어기의 설계 방법에 관해 기술하고 제안한 방법의 타당성을 아날로그 제어기와 성능비교를 Psim를 통해 검증하였다.

### 1. 서론

최근 마이크로프로세서의 가격이 많이 하락하는 반면 연산 성능은 크게 향상되면서 시스템의 제어기 설계에 있어서 회로 구성이 간단하면서 정밀한 제어도 별도의 하드웨어 변경 없이 프로그래밍을 통해 구현이 가능한 디지털 제어기를 아날로그 제어기보다 많이 사용된다.

디지털 제어기를 사용한 제어 시스템의 큰 영향 미치는 요소는 시간 지연 (Time delay)이다. 시간 지연(Time delay)에는 크게 계산 시간 지연 (Computational Time delay) 과 ZOH (Zero order hold) 의 특성으로 인한 지연, 통신기반 시스템으로 인한 신호 지연(Signal delay)이 존재한다. 이것의 영향으로 인해 디지털 제어기는 아날로그 제어기와 비교하면 제어기의 안정도면에서 약화하기 마련이다.

본 논문에서는 11 Level로 구현된 MMC HVDC 모델에 존재하는 시간 지연들을 고려한 디지털 제어기를 설계 했으며 시뮬레이션을 통해 아날로그제어기와 성능비교를 검증하고자 한다.

### 2. MMC HVDC 시스템의 제어기 설계

#### 2.1 MMC HVDC 시스템의 구조 및 특성

그림 1를 보면 MMC HVDC 시스템 구성은 3 개의 상 레그 (Leg)로 구성되어 있으며 각 레그는 상/하단 암 (Arm)으로 구성된다. 각 암은 n 개의 SM과 직렬로 인덕터(L)와 등가저항(R)으로 연결된 구조를 가지고 있으며 각상의 출력 측에서 센싱 받아 디지털 제어와 모듈레이션(Modulation)을 통해 각상 SM으로 Gate signal을 각각 인가된다. MMC HVDC 시스템의 전달함수는 식 (1)로 나타내었다. [1][2]

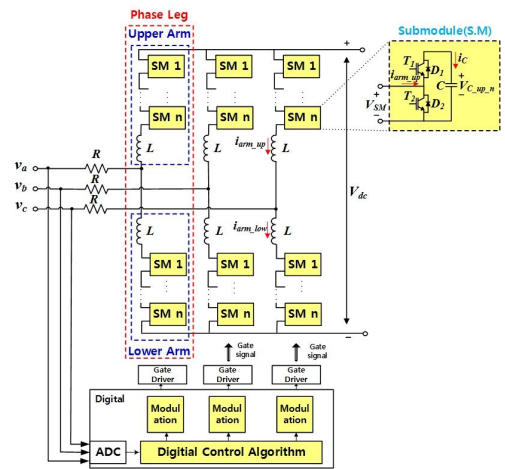


그림 1. MMC HVDC 및 Submodule 회로 구성도.

$$G_d(s) = \frac{i_d(s)}{v_{arm\_up\_d}(s)} = \frac{Ls + R}{L^2s^2 + 2LRs + R^2 + L^2\omega^2} \quad (1)$$

아날로그 제어기  $C(s)$ 는 MMC HVDC 시스템 모델의 전달 함수 식(1)에 대하여 MATLAB 이용해 적절한 위상여유(Phase Margin)와 절점 주파수(Crossover frequency)를 갖는 PI제어기로 설계 하였다.

#### 2.2 디지털 제어기의 설계

시간 지연(time delay)에 대한 전달 함수를 식 (2) 표현하였다.

$$G_{d,clay}(s) = G_{ZOH}(s) \cdot G'_{d,clay}(s) = e^{-s(\frac{T_s}{2} + T_c + T_g)} \quad (2)$$

식(3)에서  $e^{-sT_c}$ 는 계산 지연시간 (Computational time delay)을  $e^{-sT_g}$ 는 신호 지연(signal delay)을 의미하며, ZOH는  $e^{-sT_s/2}$ 로 표현 할 수 있다. [3]

시스템의 총 지연시간을  $T_d = T_s/2 + T_c + T_g$  로 바꿀 수 있으며  $e^{-sT_d}$  의 계산을 위해 파데 근사법 (Pade approximation)를 사용한다.

식 (3)처럼 식(2)의 역수로 아날로그 제어기를 곱해주면 그 아날로그 제어기는 MMC HVDC 시스템의 존재하는 지연시간

을 상쇄시켜주는 결과가 된다.

$$C_d'(s) = \frac{C_d(s)}{G_{d,clay}(s)} \quad (3)$$

그래서 식 (4)인 디지털 제어기는 식(3)의 아날로그 제어기를 Tustin 기법을 이용해 등가 변환하여 구한다. 그림 1은 MMC 시스템의 제어 블록도이다.

$$C_d'(z) = z[C_d'(s)] = \frac{C_d(z)}{G_{d,clay}(z)} \quad (4)$$

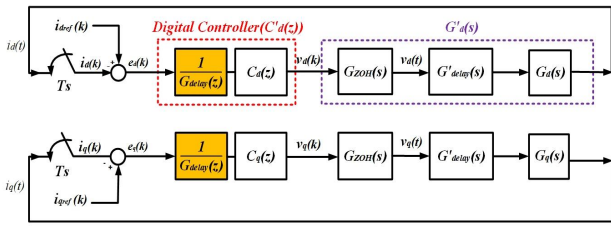


그림 2. MMC HVDC 시스템의 지연시간을 고려한 디지털 제어 블록도.

### 3. 시뮬레이션 결과

앞 장에서 제안한 방법으로 설계된 디지털제어기를 Psim 이용해 DLL로 구현하여 시뮬레이션을 수행하였다. 11 Level로 구현된 MMC HVDC 시스템의 모델의 파라미터 값은 직류단 전압은 1000 [V], SM 커패시터는 1.5 [mF] 이며 SM의 개수는 10 [개], 총 지연시간은 500 [ $\mu$ s]이고 샘플링 속도는 12[kHz]이다. 그림 3과 4 와 5는 지령전류를 5 [A]에서 10 [A]로 변화시켜 각각 제어기 의해 나타난 (a) 상전류의 d 축,q 축 지령전류 및 전류 (b) 상전류 (c) up ,low의 압 전압 파형이다.

지연 성분을 고려하지 않고 설계한 디지털 제어기는 각각 전류, 전압 응답특성이 좋지 못하는 반면 지연시간을 고려해서 설계된 디지털제어기를 사용한 각각 전류, 전압 응답특성 파형은 아날로그 제어기를 사용한 것과 유사한 성능 내는 것을 확인할 수 있다.

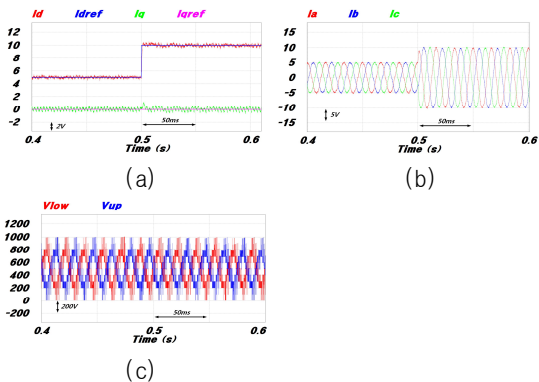


그림 3. 아날로그 제어기의 성능 파형.

: (a) 상전류의 d 축,q 축 지령전류 및 전류 (b) 상전류 (c) up ,low의 압 전압

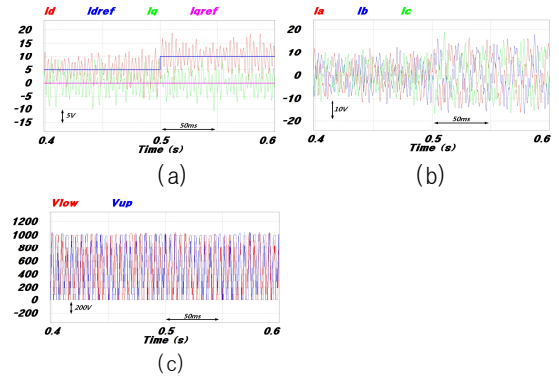


그림 4. 지연시간을 고려하지 않은 디지털 제어기의 성능.

: (a) 상전류의 d 축,q 축 지령전류 및 전류 (b) 상전류 (c) up ,low의 압 전압

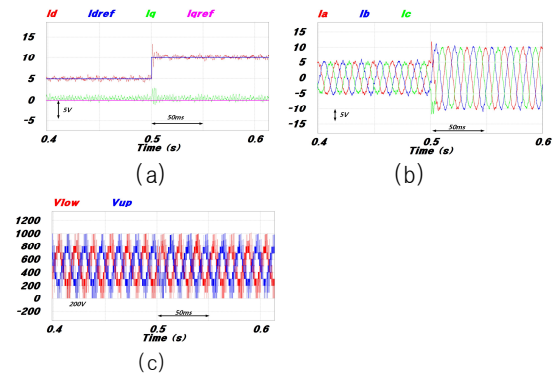


그림 5. 지연시간을 고려한 디지털 제어기의 성능.

: (a) 상전류의 d 축,q 축 지령전류 및 전류 (b) 상전류 (c) up ,low의 압 전압

### 4. 결론

본 논문에서는 11 Level로 구현된 MMC HVDC 모델에서 시간 지연, 특히 통신시스템에 내재하여 있는 신호지연시간을 고려한 디지털 제어기의 설계 대해 설명하였다. 제안된 방법으로 설계한 디지털 제어기를 Psim을 이용해 아날로그 제어기와 성능비교를 통해 검증했다.

### 참고 문헌

- [1] A. Antonopoulos, L. Angquist, and H. P. Nee, "On dynamics and voltage control of the modular multilevel converter," in Proc. EurConf. Power Electron. Appl., Barcelona, Spain, 2009, pp. 1-10.
- [2] Q. Tu, Z. Xu, and L. Xu, "Reduced switching frequency modulation and circulating current suppression for modular multilevel converters," IEEE Trans. Power Del., vol. 26, no. 3, pp. 2009-2017, Jul. 2011
- [3] Richard C.Dorf, Robert H.Bishop "MODERN CONTROL SYSTEMS" 11th Prentice Hall,