
LCD 드라이버에 적용 가능한 저소비전력 및 높은 slew율을 갖는 이중 레일 투 레일 버퍼 증폭기

이민우, 강병준, 김한슬, 한정우, 손상희, 정원섭

청주대학교

A Low-Power High Slew-Rate Rail to Rail Dual Buffer Amplifier for LCD output
Driver

Min-woo Lee* , Byung-jun Kang* , Han-seul Kim* , Jung-woo Han* , Sang-hee Son** , Won-sup
Jung**

Cheongju University

E-mail : dlalsdn789@nate.com

요 약

본 논문에서는 LCD source driver IC의 output buffer op-amp로 사용가능한 저소비전력 및 높은 slew율을 갖는 CMOS rail-to rail 입/출력 op-amp를 설계하였다. 제안한 op-amp는 기존의 출력단 Class-AB 단에 새로이 설계한 Class-B control단을 추가하여 저소비전력과 높은 slew율을 갖게 하였다. 시뮬레이션 결과 제안된 op-amp는 소비전력이 1.19mW로 감소하였으며 사용한 부하커패시터 (10nF)를 기준으로 slew율은 6.5V/us 로 확인되었다.

Abstract

In this paper, low power and high slew rate CMOS rail to rail input/output opamp applicable for output buffer amp. in LCD source driver IC, is proposed. Proposed op-amp. is realized the characteristics of low power consumption and high slew rate adding the newly designed control stage of class-B to the conventional output stage of class-AB. From the simulation results, we know that the proposed opamp buffer can drive a 1000pF capacitive load with a 6.5V/us slew-rate, while drawing only the the power consumption of 1.19mW from 3.3V power supply

키워드

class-B , rail to rail opamp, TFT LCD

I. 서 론

TFT LCD의 Driver IC는 고화질, 고용량의 저항, 커패시터 부하를 갖는 LCD 패널의 데이터 라인을 구동하는 역할을 한다. 이러한 특성은 큰 전압이득을 갖고, 저전력을 소모하며, 부하에 따른 슬루율, 전

류 구동능력, 입출력 동작영역, 작은 입력 오프셋을 가지며, 넓은 영역의 전원 전압의 변화에도 일정한 동작 특성이 요구된다. 따라서 대용량 부하를 구동하기 위해서는 저소비 전력, 빠른 구동 속도를 가지는 출력 버퍼 증폭기가 필수적이다. 하지만 이득 및 공통모드 제거 비, 전원 변화 제거 비, 오프셋 및 입출력 동작 영역, 전류 구동 능력, 소비전력 등을 고려하여 단일 출력단을 쓸 경우 슬루율 과 이득을 고려하여 설계하면 trade off 되는 결과를 볼 수 있다. TFT LCD panel 에 응용할 수 있도록 저소비 전력 과 빠른 구동속도를 가지는 output buffer op-amp 를 설계하였다. 본 논문은 기존의 레일-투-레일 입력 단을 사용하면서 출력 단을 이중으로 채택하고, class-AB 와 class-B를 사용하여 slew-rate 를 향상시키는 방법을 제안하고자 한다[1].

II. 본 론

제안된 증폭기의 블록다이어그램을 그림 1에 보였다. 입력단은 기존의 레일-투-레일 차동 입력을 사용하고, 두 가지 전류 비교기 A, B를 추가하여 전류를 비교하여 부하 커패시터를 충전, 방전한다.

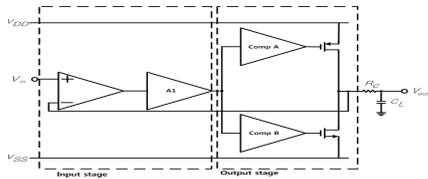


그림 1. 제안한 회로의 블록다이어그램
Fig1. Block diagram of proposed amplifier

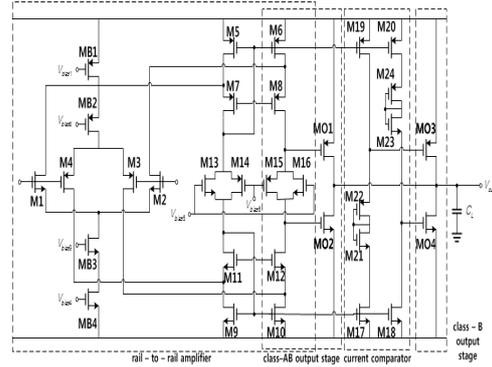


그림 2. 제안한 저전력, 높은 슬루율 증폭기 회로
Fig 2. Proposed amplifier with low power & high-slew rate

그림2에서 도시한 바와 같이, 제안한 OP-AMP의 입력 단은 레일-투-레일 폴드드 캐스코드 구조로 (M1 - M16)으로 되어있고, 여기에서 M1 - M4 로 인하여 입력은 VDD ~ VSS 까지 풀스윙할 수 있다. 그 이유는 입력단 (M1 ~ M4)가 상보형 CMOS이므로 각각의 동작영역에서 동작하며, M5 ~ M12의 전류 미러를 통하여 출력 단으로 전류를 내보낸다. 바이어스 회로로는 (MB1 - MB4)로 구성되어있으며, 그리고 출력 단은 Class-AB (MO1, MO2), Class-B (MO3, MO4)로 구성되어 있으며, MO1, MO2는 전류 미러를 통하여 출력되고, MO3, MO4는 M17~M24의 전류비교기를 통하여 동작된다. LCD driver IC의 buffer op-amp의 기본적인 회로에서 출력 단을 기존의 class-AB와 class-B로 추가하여 설계하였다. 비교기를 통하여 MO3와 MO4가 class-B로 작동된다. 기존의 op-amp와 달리 정적 전류가 감소하며 큰 부하커패시터 용량을 구동할 수 있게 된다. 전류 미러에서 M5-M8의 흐르는 전류와 M9-M12의 흐르는 전류는 같은 W/L 비이며, 만약 (M17, M18), (M19, M20)의 드레인 전류차이가 $I_{M17}, I_{M18} \gg |I_{M19}|, |I_{M20}|$ 된다면, M17, M18의 nMOS가 포화 영역이고 M19, M20의 pMOS가 차단 영역이 된다. MO4의 게이트 전압은 VSS가 인가되면 차단 영역이 되고, MO3의 게이트 전압 또한 VSS가 되면서 부하 커패시터를 VDD에 가까운 전압으로 충전하고, 만약 (M17, M18), (M19, M20)의 드레인 전류차가 $I_{M17}, I_{M18} \ll |I_{M19}|, |I_{M20}|$ 된다면, M17, M18의 nMOS가 차단 영역

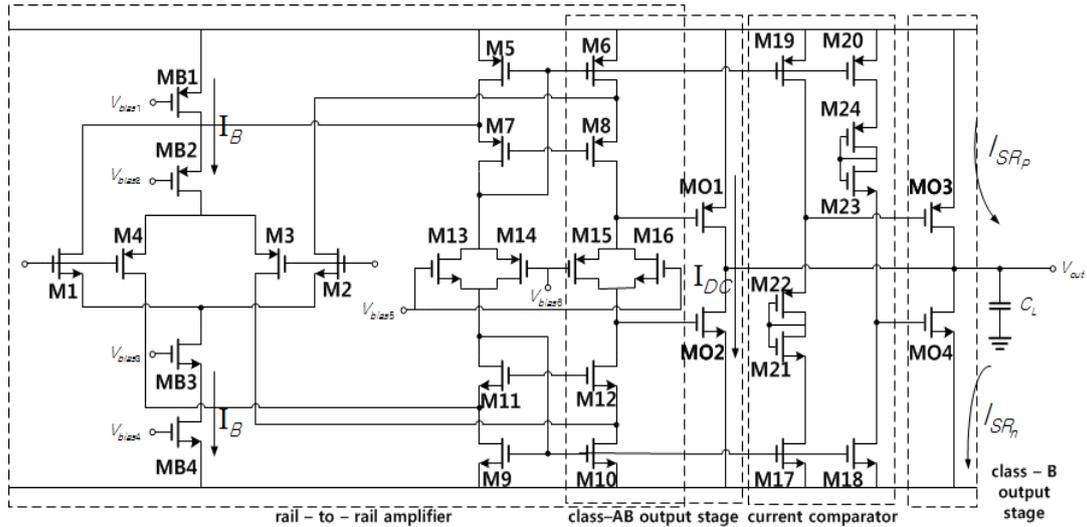


그림3. 제안된 저소비전력 및 높은 슬루율을 갖는 레일-투-레일 버퍼 증폭기

Fig 3. Circuit schematic of proposed low-power and high slew rate rail-to-rail buffer amplifier

이고 M19, M20의 pMOS가 포화 영역이 된다[2]. MO4의 게이트 전압은 VDD가 인가되면 차단 영역이 되고, MO3의 게이트 전압 또한 VDD가 되면서 부하 커패시터를 VDD에 가까운 전압으로 충전된다. 그러므로 I_{SR_n} 의 값이 V_{GS} 가 VDD일 때, I_{SR_p} 의 값이 V_{GS} 가 VSS일 때 높은 슬루율 특성을 갖기 때문에 MO3와 MO4의 게이트 전압은 각각의 전류 비교기를 통하여 Vgs 값이 VDD 또는 VSS를 인가하여 MO1, MO2를 도와 높은 슬루율을 갖게 된다. 전류 비교기를 통하여 MO3와 MO4는 정적 소비전력을 소비하지 않으며 빠르게 커패시터를 충/방전시키는 것을 볼 수 있다. MO1이 켜져 있을 경우 MO3가 켜져 부하 커패시터를 충전시키고 MO2가 켜져 있을 경우 MO4가 켜져 부하 커패시터를 방전시키는 것을 Class - B의 출력 단으로 슬루율을 향상시킨다[3].

표 1. 제안한 레일-투-레일 버퍼 증폭기 특성 비교
Table 1. Comparison of characteristics of proposed rail-to-rail buffer amplifier

	Ref	This work
CMOS technology	0.18um	0.18um
Supply voltage	3.3V	3.3V
Av	80dB	103dB
Phase Margin	41.8°	50.6°
GB	6.8M	44.41M
CMRR	100.9dB	122dB
PSRR+	80.2dB	110.5dB
PSRR-	80.35dB	114.9dB
Slew-rate	2V/us	6.5V/us
Power consumption	1.5mV	1.19mV
In/Out range	0/3.3	0/3.3
In/Out range	98%	99%
Load capacitor	10nF	10nF

III. 결 론

본 논문에서는 LCD에 사용되는 버퍼 증폭기의 출력 특성을 개선하기 위하여 향상된 저전력 및 높은 슬루율을 갖는 레일-투-레일 이중 출력단을 갖는 증폭기를 설계하였다. 제안된 증폭기는 큰 부하 커패시터를 빠르게 구동하며 소비전력 또한 Class-B를 추가함으로써 감소하였다. 0.18-um 1-폴리 6-메탈 TSMC 공정을 사용한 시뮬레이션 결과 제안한 op-amp는 부하 커패시터가 10p를 기준으로 기존의 op-amp의 슬루율 보다 상승 시간 일 때는 54.5V/us 이고 하강 시간 일 때는 35.7V/us이며 약 2배 이상의 슬루율을 갖으며, 부하커패시터가 10nF를 기준으로 기존의 op-amp의 슬루율 보다 상승 시간 일 때는 5.4V/us 이며 하강 시간 일 때는 6.4V/us이며 약 2배 이상의 슬루율을 갖는다. 소비전력은 기존의 op-amp의 소비전력보다 1.19mW로 20% 감소됨을 확인하였다.

감사의 글

2013년도 본 논문은(보고서는) 미래창조과학부 지원으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구결과입니다.

참 고 문 헌

- [1] 안창호 외 3인 “전압 이득 향상을 위한 고전압 CMOS Rail-to-Rail 입/출력 OP-AMP설계,” 전자공학회, 44권, 10호, 10월, 2007년.
- [2] R. Jacob baker “Circuit Design, layout, and Simulation,” IEEE, pp. 613-743, 2010.
- [3] Davide Marano 외 2인 “Low-Power Dual-Active Class-AB Buffer Amplifier with Self-Biasing Network for LCD Column Drivers,” IEEE, pp. 2832-2835, June. 2010.

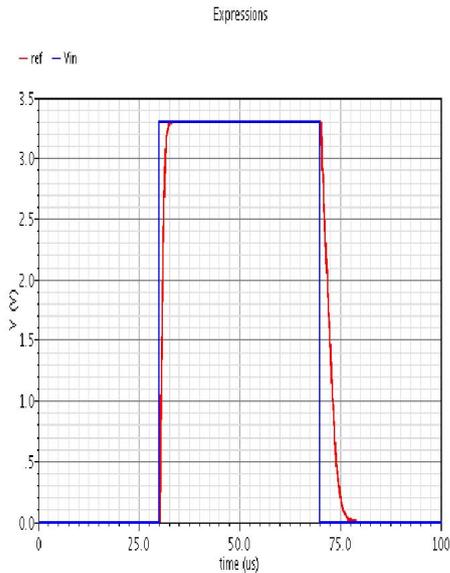


그림 4. 기존 회로에서의 부하커패시터 10nF를 구동하였을 때의 과도응답

Fig 4. Transient response of conventional circuit with load capacitor, 10nF

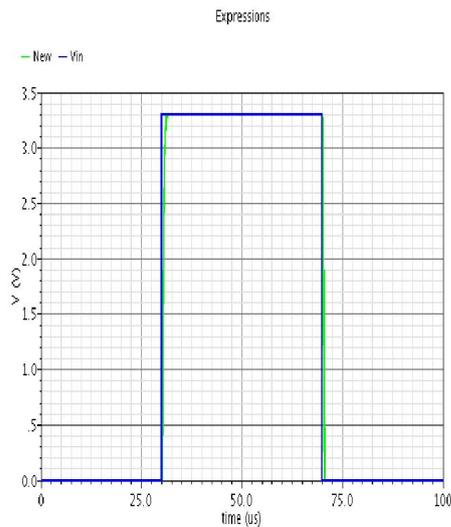


그림 5. 제안된 회로에서의 부하커패시터 10nF를 구동하였을 때의 과도응답

Fig 5. Transient response of proposed circuit with load capacitor, 10nF