
누설전류 감소 및 Subthreshold Slope 향상을 위한

Tunneling FET 소자 최적화

윤현경* · 이재훈* · 이호성* · 박종태*

*인천대학교

Optimization of Tunneling FET with Suppression of Leakage Current and Improvement of Subthreshold Slope

Hyun-kyung Yoon* · Jae-hoon Lee* · Ho-seong Lee* · Jong-tae Park*

*Incheon National University

E-mail : yhk4095@naver.com

요 약

전체 채널 길이는 같지만 드레인과 게이트사이의 진성영역 길이(L_{in}), 드레인 및 소스의 불순물 농도, 유전율, 유전체 두께가 다른 N-채널 Tunneling FET의 특성을 비교 분석하였다. 사용된 소자는 SOI 구조의 N-채널 Tunneling FET이다. 진성영역 길이는 30~70nm, 드레인 dose 농도는 $2 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{15} \text{cm}^{-2}$, 소스 dose 농도는 $1 \times 10^{14} \text{cm}^{-2} \sim 3 \times 10^{15} \text{cm}^{-2}$, 유전율은 3.9~29이고, 유전체 두께는 3~9nm이다. 소자 성능 지수는 Subthreshold slope(S-slope), On/off 전류비, 누설전류이다. 시뮬레이션 결과 진성영역 길이가 길며 드레인 농도가 낮을수록 누설전류가 감소한 것을 알 수 있었다 S-slope은 소스의 불순물 농도와 유전율이 높으며 유전체 두께는 얇을수록 작은 것을 알 수 있었다. 누설전류와 S-slope을 고려하면 N-채널 TFET 소자 설계 시 진성영역 폭이 넓으며 드레인의 불순물 농도는 낮고, 소스 농도와 유전율이 높으며 유전체 두께는 얇게 하는 것이 바람직하다.

ABSTRACT

The device performances of N-channel Tunneling FET have been characterized with different intrinsic length between drain and gate(L_{in}), drain and source doping, permittivity and oxide thickness when the total effective channel length is constant. N-channel Tunneling FET of SOI structure have been used in characterization. L_{in} was from 30nm to 70nm, dose concentration of drain and source were from $2 \times 10^{12} \text{cm}^{-2}$ to $2 \times 10^{15} \text{cm}^{-2}$ and from $1 \times 10^{14} \text{cm}^{-2}$ to $3 \times 10^{15} \text{cm}^{-2}$, permittivity was from 3.9 to 29, and oxide thickness was from 3nm to 9nm. The device performances were characterized by Subthreshold slope(S-slope), On/off ratio, and leakage current. From the simulation results, the leakage current have been reduced for long L_{in} and low drain doping. S-slope have been reduced for high source doping, high permittivity and thin oxide thickness. With considering the leakage current and S-slope, it is desirable that are long L_{in}, low drain doping, high source doping, high permittivity and thin oxide thickness to optimize device performance in n-channel Tunneling FET.

키워드

n-채널 Tunneling FET, SOI 구조, 누설전류, S-slope

I. 서 론

현재 반도체 시장의 가장 큰 화두는 누설전류감소를 통한 저 전력 디바이스를 설계하는 것이다.[1] 그러나 CMOS의 크기를 줄이는 것은 단 채널 현상의 영향을 받기 때문에 CMOS를 대체할 새로운 소자들이 대두되고 있다. [2-3] 특히 TFET는 Band to band tunneling에 의해 전류가 흐르기 때문에 낮은 off 전류에 도달할 수 있고, 이상적인 문턱 전압 아래 기울기인 60mV/dec 이하를 얻을 수 있다. 일반적인 MOSFET의 이론적 장점과 더불어 TFET는 저 전력 설계에 효과적이다. 하지만 TFET는 ambipolar 전도성 때문에 큰 누설 전류를 줄여야 하는 문제점을 겪는다. [2-4] 이 논문에서는 TFET의 몇 가지 특성에 초점을 맞추었다. 첫째로 S-slope의 크기를 비교하기 위하여 유전율과 산화층의 두께, 소스 도핑 농도를 변화 시켜 비교해 보았다. 둘째로 누설 전류를 줄이기 위하여 L_{in} 과 드레인 도핑 농도, 서로 다른 밴드갭을 가진 물질을 사용하여 비교하였다. [5-6]

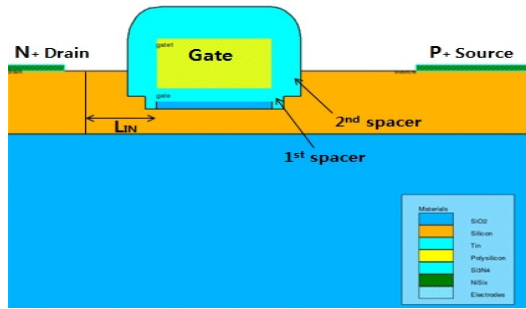


그림 1. NTFET 구조

II. 소자 최적화

그림 1의 NTFET 구조는 두 개의 spacer를 가진 MOSFET의 구조와 아주 비슷하다. 그림 1에서 볼 수 있듯이 누설 전류를 없애기 위해 L_{in} 을 추가함으로써 채널로부터 드레인의 접촉이 분리되도록 만들어진 구조이다. 드레인 영역은 N+로 정의하고, 소스 영역은 P+로 정의한다. 소스는 항상 접지 시키고 반면에 드레인은 양의 전압을 인가해 준다. 그리고 I_{ON} 은 $V_{GS} > 0$ 일 때 소스-채널 접합에서 터널링에 의해 생성된다. [2-4]

Athena 시뮬레이션을 이용하여 그림 1과 같은 NTFET구조를 설계하였다. SOI구조(20nm의 Si와 140nm의 BOX)를 기본구조로 두고 그 위에 PR막을 증착시키고 가운데를 etching한 뒤 SiO_2 와 게이트를 증착시켰다. 다음으로 10nm의 Si_3N_4 증착하여 첫 번째 spacer를 만들고 Lightly Doped Drain(LDD) 주입을 해주었다. 그리고 20nm의 두 번째 spacer를 만들고 Highly Doped Drain(HDD) 주입을 한 구조이다. [6-7]

II-1. 드레인과 게이트 space 길이 최적화

누설전류를 줄이기 위해 드레인과 게이트 space 길이를 최적화 하였다. 그림 2에서 볼 수 있듯이 L_{in} 의 길이를 달리하여 시뮬레이션 한 결과, L_{in} 이 70nm일 때 누설 전류가 가장 작은 것을 알 수 있었다. 반면 L_{in} 이 50nm 이하가 되면 L_{in} 의 길이가 짧아 터널링 현상에 의해 누설이 생기게 된다.[6]

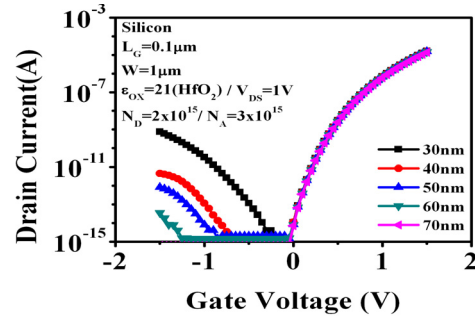


그림 2. L_{in} 에 따른 드레인 전류

II-2. 드레인과 소스 도핑농도

소자를 최적화하기 위해 드레인과 소스의 도핑 농도를 달리하여 시뮬레이션 하였다. 먼저 드레인 도핑농도에 따른 누설전류를 비교해보았다. 그림 3에서 볼 수 있듯이 $2 \times 10^{12} \text{ cm}^{-2}$ 의 dose 농도를 가질 때 누설전류가 가장 작았다.[7]

또한 소스 도핑 농도를 변화시켜 S-slope를 비교한 결과 그림 4에서 볼 수 있듯이 농도가 클수록 S-slope가 작아짐을 확인할 수 있다. 따라서 소자의 최적화를 위해 드레인 도핑은 줄이고 소스 도핑을 크게 하는 것이 바람직하다.

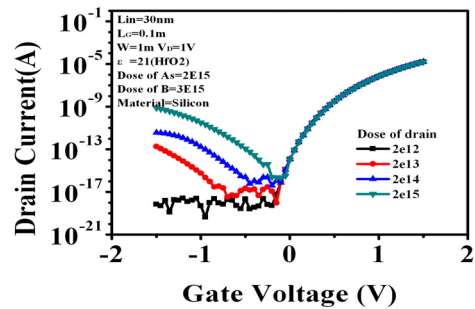


그림 3. 드레인 도핑농도에 따른 드레인 전류

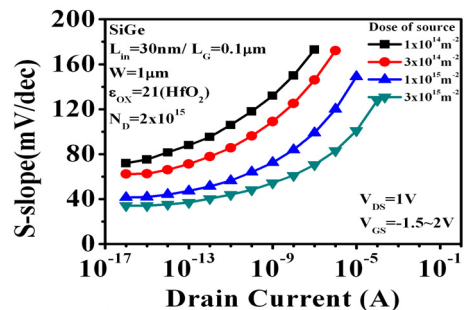


그림 4. 소스 도핑농도에 따른 S-slope

II-3. 게이트 유전상수 및 산화층 두께

게이트 유전상수와 산화층 두께가 소자에 어떠한 영향을 미치는지 알아보기로 시뮬레이션 하였다. 그림 5에서처럼 산화층 두께를 3,5,7,9nm로 변경하여 시뮬레이션 한 결과 산화층 두께가 얇을수록 작은 S-slope 값을 가져 특성이 향상되는 것을 확인 하였다. 이러한 결과는 아래의 (1)식과 일치함을 확인 할 수 있다.[8]

$$S\text{-slope} = \ln(10) \frac{kT}{q} \left(1 + \frac{C_d}{C_{ox}}\right) \quad (1)$$

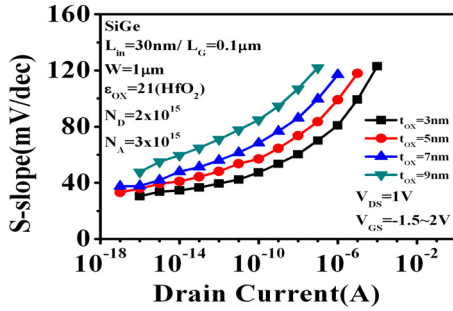


그림 5. 산화층 두께와 S-slope

또한 게이트 유전상수를 달리하여 S-slope의 변화를 알아보았다. 그림 6에서 볼 수 있듯이 유전상수가 클수록 작은 S-slope를 가져 더 좋은 특성을 가지는 것을 확인 하였다. Cox와 유전상수는 비례관계이기 때문에, 유전상수의 증가는 S-slope를 감소시킨다. 마찬가지로 (1)식을 통해 이론적으로 확인 할 수 있다.[9]

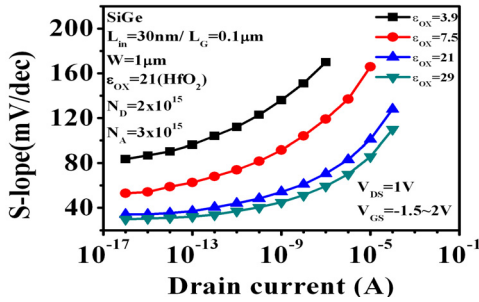


그림 6. 게이트 유전상수와 S-slope

II-4. 박막재료

마지막으로 다양한 밴드갭을 갖는 물질을 박막 재료로 사용하여 시뮬레이션 하였다. GaAs, InP, Si, SiGe의 물질로 시뮬레이션 한 결과 SiGe와 Si의 물질을 사용할 경우 S-slope이 향상되었고, 그중에서도 SiGe의 물질을 사용했을 때 누설전류가 가장 적게 나타났다. 따라서 소자 최적화를 위해서 SiGe의 물질을 사용하는 것이 바람직하다.[10]

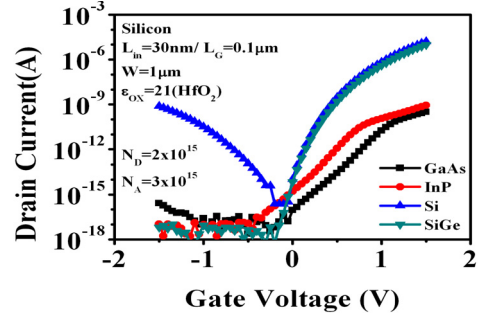


그림 7. 박막재료와 드레인 전류

II-5. 소자 최적화

누설전류를 감소시키고 S-slope를 향상시키기 위해 다양한 파라미터를 변경하여 시뮬레이션 하였다. S-slope을 향상시키기 위해서는 산화층 두께를 줄이고 게이트 유전상수를 높이고, 소스 도핑농도를 증가시키는 것이 바람직하다는 것을 알았다.

또한 드레인 도핑농도의 증가, Lin의 길이 증가 그리고 SiGe의 물질을 박막재료로 사용하여 소자를 설계하면 누설전류를 감소시킬 수 있었다. 각각의 파라미터를 조절하여 시뮬레이션 한 최적화된 소자의 성능은 아래의 그림 8, 9를 통해 확인할 수 있다.

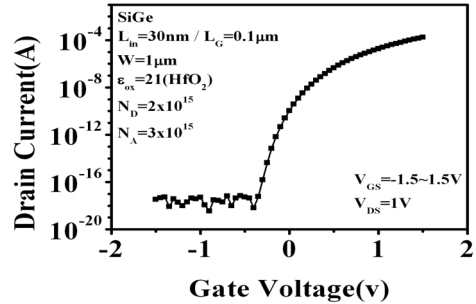


그림 8. 게이트 전압에 따른 드레인 전류

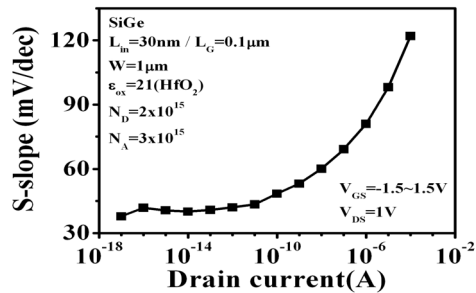


그림 9. 드레인 전류에 따른 S-slope

III. 결 론

우리는 이번 논문을 통해 누설전류 감소와 S-slope 향상을 위한 터널링 FET 소자 최적화에

대하여 소개 하였다. 먼저 L_{in} 이 누설전류에 미치는 영향을 시뮬레이션 한 결과 L_{in} 을 70nm로 설계하였을 때 누설전류가 사라짐을 확인하였다. 다음으로 드레인 도핑농도의 영향을 분석한 결과 $2 \times 10^{12} \text{ cm}^{-2}$ 의 dose 농도에서 누설전류가 없어짐을 확인하였다. 또한 SiGe물질을 박막재료로 사용하였을 때 누설전류가 거의 흐르지 않음을 확인하였다.

S-slope를 향상시키기 위해 소스 도핑농도 산화층 두께 그리고 게이트 유전상수를 변화시켜 시뮬레이션 하였다. 그 결과 소스 dose 농도는 $3 \times 10^{15} \text{ cm}^{-2}$, 산화층 두께는 3nm 마지막으로 게이트 유전상수는 29 일 때 가장 작은 S-slope의 값을 가졌다.

최적화 결과 60mV/dec 이하의 S-slope를 갖고 누설전류가 거의 흐르지 않는 소자를 설계할 수 있었다. 이는 누설전류 감소를 통한 저 전력 디바이스를 설계하는데 큰 도움이 될 것이다.

참고문헌

[1] P.-F. Wang, K. Hilsenbeck, Th. Nirschl, M. Oswald, Ch. Stepper, M. Weis, D. Schmitt-Landsiedel W. Hansch, Complementary tunneling transistor for low power application, Solid-State Electronics, vol.48, no.12, pp.2281-2286, 2004.

[2] W. M. Reddick, G.A.J. Amaratunga, Silicon surface tunnel transistor, Appl. Phys. Lett., vol.67, no.4, pp.494, 1995.

[3] J. Wan, C. Le Royer, A. Zaslavsky, S.Cristoloveanu. Tunneling FETs on SIO: Suppression of ambipolar leakage, low frequency noise behavior, and modeling, Solid-State Electronics, vol.65-66, pp.226-233, 2011.

[4] W. Y. Choi, B G Park, J. D. Lee, and J. C. S. Woo, The tunneling field effect transistors (TFETs) with subthreshold swing (SS) less than 60mV/dec, IEEE Electron Device Lett., vol.28, pp.743-745, 2007.

[5] Kanghoon Jeon, Band-to-Band Tunnel Transistor Design and Modeling for Low Power applications, Ph.D thesis, Berkeley, California, United State of America, pp.1-4, 2012.

[6] Jing wan, Cyrille Le Royer, Alexander Zaslavsky, Sorin Cristoloveanu, SOI TFETs: Suppression of Ambipolar Leakage and Low-Frequency Noise Behavior, Solid-State Electronics, Vol.65 - 66, pp.226 - 233, 2011.

[7] Jung-Shik Jang, Woo Young Choi, Ambipolarity Factor of Tunneling Field-Effect Transistors (TFETs). Journal of semiconductor technology and science, vol.11, no.4, 2011.

[8] Y Kiinizuka, I Yamamoto, I hluyaiiii, K Yaiiiaguchi. K Iiriai, and T lloriuclii, The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on MOSFET scaling, Symposium on VLSI Technology Digest of Technical Papers, pp.73-74, 1999.

[9] Katherine BOUCART, Simulation of Double-Gate Silicon Tunnel FETs with a High-k Gate Dielectric, Ph.D thesis, EPFL Lausanne, Swiss, pp.22-25, 2010.

[10] Bhuwalka, Krishna Kumar; Schulze, Jörg Eisele, Ignaz, Performance Enhancement of Vertical Tunnel Field-Effect Transistor with SiGe in the δp^+ Layer, Japanese Journal of Applied Physics, vol.43, no.7A, pp.4073, 2004.