

---

# PCB Module에서의 Processor와 DDR2 메모리 사이에 인터페이스되는 고속신호 품질확보를 위한 SI해석

하현수\* · 김민성\* · 하판봉\* · 김영희\*

\*창원대학교

## SI Analysis for Quality Assurance of High-Speed Signal Interfaced Between Processor and DDR2 Memory on PCB Module

Hyeon-Su Ha\* · Min-Sung Kim\* · Pan-Bong Ha\* · Young-Hee Kim\*

\*Changwon National University

e-mail: youngkim@changwon.ac.kr

### 요 약

본 논문에서는 Processor와 DDR2 사이에 인터페이스되는 고속신호의 Signal Integrity 해석을 위해 IC Chip의 IBIS Model과 Transmission Line의 S-Parameter를 이용하여 고속신호의 Transient 해석을 수행하고 Eye Diagram을 생성하였다.

고속으로 동작하는 DQ, DQS/DQSb 신호 및 Clock, Address, Control 신호의 Eye Diagram에서 Setup/Hold 구간동안 Timing Margin과 Voltage Margin을 측정하였으며 Over-/Under-shoot 및 Differential 신호의 Cross Point가 Spec에 만족하는지 확인하여 신호의 품질을 확보하였다.

### ABSTRACT

In this paper, for signal integrity analysing high-speed signal between a processor and a DDR2 memory, transient analysis is done and eye diagrams are generated using IBIS models of IC chips and S-parameters of transmission line.

From the eye diagrams of such high-speed signals as DQ, DQS/DQSb, Clock, Address and Control, signal quality is assured through measuring timing and voltage margins during setup and hold times and verifying that the over-/under-shoot and the cross points of differential signals satisfy their specifications.

### 키워드

SI Analysis, DDR2, High-Speed Signal, PCB Module

### I. 서 론

PCB Module에서 다양한 기능을 제공하기 위해 사용되는 Processor는 OS Loading 및 Application 프로그램을 저장하는 메모리로 SDRAM을 사용한다. SDRAM의 DDR메모리는 고속의 환경에 적합하도록 업그레이드되어 속도에 따라 DDR, DDR2,

DDR3, DDR4와 같이 구분되고 있으며 기본적으로 DDR과 DDR2/3/4의 구조의 차이가 있고 DDR2/3/4는 같은 구조를 가지지만 동작속도만 빠른 형태이다[1]. 또한 DDR은 400MHz 이상의 고속 Data Rate과 전력소모에 한계가 있으므로 DDR2, DDR3로 오면서 VDD/VDDQ 전압이 2.5V에서 1.8V, 1.5V로 각각 줄었으며[2], DDR2에서는 DQ신호의

1과 0을 판별하는 기준이 되는 DQS신호를 Differential Line으로 구성하여 파형의 중앙점이 Vref 지점으로 되게 하므로 정확한 동작의 Reference 역할을 하게 한다.

DDR2 메모리는 400Mbps 이상의 동작 속도로 인해 고주파특성이 강해지므로 신호 품질확보와 전원 노이즈에 민감한 문제가 발생한다. 이러한 DDR2 메모리의 성능은 PCB Pattern에 크게 의존하게 되며 PCB Pattern과 회로 소자들이 적절하게 설계/배치되지 않으면 고속에서 데이터가 깨지는 문제들이 발생하게 되는 것이다. 그러므로 PCB를 구조적으로 분석하는 것이 중요하다[1].

본 논문에서는 Processor와 DDR2-400 사이에 인터페이스 되는 고속신호의 품질확보를 위해 IBIS Model과 S-Parameter를 이용하여 SI를 해석하였다. DQ와 DQS 및 Clock, Address, Control 신호의 Transient 해석을 통해 Eye Diagram의 VIH/VIL Margin 및 Setup/Hold Time Margin을 측정하고, Over/Undershoot 및 Differential 신호의 Cross Point Voltage가 Spec에 만족하는지 확인하였다.

## II. 본 론

IBIS Model은 IC칩의 버퍼에 관련된 정보를 포함하고 있어 Pin 커패시턴스 및 기생 특성, 디지털 출력 버퍼의 상승/하강 시기 등과 같은 유용한 정보를 제공하므로[3] 해석 시 IC칩의 Pin 특성을 적용할 수 있다. 또한 Board의 PCB Pattern 특성은 Transmission Line의 S-Parameter를 추출하여 해석에 적용한다. S-Parameter는 주파수 분포 상에서 입력전압 대 출력전압의 비를 의미하며, Port 설정에 따라 전달계수, 반사계수 등으로 이용될 수 있다[4].

Transient 해석은 SI 해석의 기본으로서, 주어진 시간 내에서 결과 파형을 계산하는 Time Domain 해석이다. Eye Diagram은 Time Domain의 파형을 일정한 간격으로 잘라서 중첩시킨 출력파형으로 Eye Opening의 크기 정도로 수신 데이터의 품질이나 결함을 평가할 수 있고, 신호왜곡, Jitter, Rise/Fall Time등을 확인할 수 있다[5].

Processor와 DDR2 사이에 인터페이스 되는 신호는 데이터 신호인 DQ와 DQS 신호의 I/O Data에 대한 Strobe 신호인 DQS/DQSb가 있으며, Vref에서 DQS/DQSb 신호의 Cross Point가 나타나는 순간에 DQ 신호의 0 또는 1의 데이터를 판별하게 된다. Clock을 기준으로 동작하는 Address, RAS, CAS, CS, SDWE신호 등이 있으며 마찬가지로 Clock의 Cross Point가 나타나는 순간에 신호의 데이터를 판별할 수 있다.

DDR2의 경우 VDDQ는 Typical 1.8V로 동작하며 Vref는 0.9V이다. Strobe 신호가 Vref를 지나가는 순간을 기준으로 지나기 전에 Setup Time Spec과 지난 후의 Hold Time Spec이 존재하며

DDR2-400의 Minimum Setup Time은 0.15ns, Minimum Hold Time은 0.275ns로 정의되어 있다. 0과 1을 판별하는 기준이 되는 전압 Spec으로 Setup 구간에서는 AC Spec이 적용되고, Hold 구간에서는 DC Spec이 적용된다.

고속 신호의 품질을 나타내는 중요한 기준이 되는 Setup/Hold Time Margin은 Setup 구간 중 AC Spec을 만족하는 구간에서 Setup Time Margin을 측정할 수 있으며, Hold 구간 중 DC Spec을 만족하는 구간에서 Hold Time Margin을 측정할 수 있다. Voltage Margin은 Setup 구간에서 AC VIH/VIL Spec을 기준으로 측정하고, Hold 구간에서 DC VIH/VIL Spec을 기준으로 측정해 볼 수 있다. 신호 품질을 확보하기 위해서는 Over/Undershoot 및 Clock 신호와 같은 Differential 신호에서의 Differential Cross Point Voltage(VIX)도 고려해야한다.

본 논문에서는 Simulation 시 Worst Case를 Test하기 위해 VDDQ를 1.7V로 설정하여 해석하였다. VDDQ가 1.7V인 경우 DDR2의 주요 Voltage Spec을 표 1에 나타내었다.

표 1. Simulation시 DDR2의 주요 Voltage Spec

Symbol	Expression	Value
VDDQ	Minimum	1.7V
Vref	$0.5 \times VDDQ$	0.85V
VIH(DC)(min)	$Vref + 0.125$	0.975V
VIL(DC)(max)	$Vref - 0.125$	0.725V
VIH(AC)(min)	$Vref + 0.250$	1.1V
VIL(AC)(max)	$Vref - 0.250$	0.6V
VIX(max)	$0.5 \times VDDQ + 0.175$	1.025V
VIX(min)	$0.5 \times VDDQ - 0.175$	0.675V
Over/Undershoot	Maximum	0.5V

DDR2-400은 DQ 신호가 400Mbps로 동작하므로 입력신호를 200MHz의 Pseudo Random Binary Sequence로 설정하고 DQS/DQSb 신호는 Duty의 절반인 1.25ns만큼 Delay를 적용한 Pulse를 입력신호로 설정하였다.

그림 1은 DQ신호의 Processor가 High Drive Strength로 구동되고 DDR2가 No Termination된 경우로 설정된 IBIS Model을 사용하여 통신 방향에 따라 Transient 해석한 결과이며, 측정된 Margin을 표 2에 나타내었다. Processor가 Driver일 때는 0.4V 이상의 Voltage Margin과 0.845ns이상의 Timing Margin을 가지므로 신호의 품질을 확보할 수 있지만, DDR2가 Driver일 때는 Reflection Noise가 많이 발생하므로 DDR2의 Termination 저항이 필요한 것을 확인하였다.

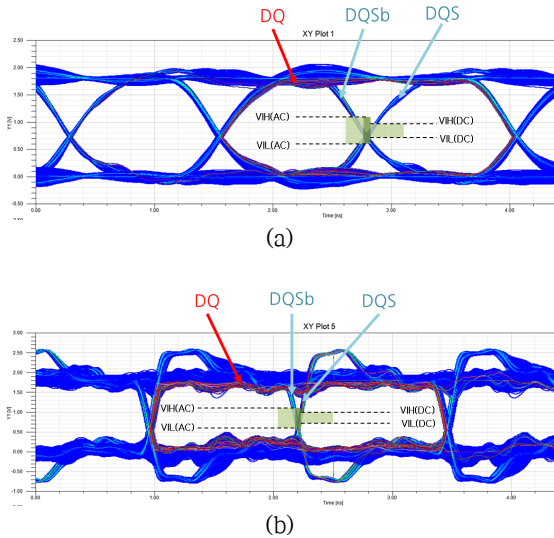


그림 1. Processor가 High Drive Strength, DDR2 No Termination인 경우 통신 방향에 따른 Eye Diagram (a) Driver가 Processor이고 Receiver가 DDR2인 경우 (b) Driver가 DDR2이고 Receiver가 Processor인 경우

표 2. Processor가 High Drive Strength, DDR2 No Termination인 경우 통신 방향에 따른 Margin (a) Driver가 Processor이고 Receiver가 DDR2인 경우 (b) Driver가 DDR2이고 Receiver가 Processor인 경우

	VIH(AC)	VIL(AC)	VIH(DC)	VIL(DC)	Setup	Hold
Margin	0.52V	0.42V	0.695V	0.615V	0.9ns	0.845ns

(a)

	VIH(AC)	VIL(AC)	VIH(DC)	VIL(DC)	Setup	Hold
Margin	0.26V	0.14V	0.575V	0.365V	1ns	0.905ns

(b)

그림 2는 DQ신호의 Processor가 Max Drive Strength로 구동되고 DDR2가 50Ω Termination된 경우로 설정된 IBIS Model을 사용하여 Simulation한 결과이며, 표 3에 측정된 Margin을 나타내었다.

DDR2가 50Ω Termination된 경우 IBIS Model의 Spec이 Input Type이므로 Driver가 Processor로 동작하는 경우만 해석하였다. DDR2를 No Termination한 경우보다 약 0.1V 정도 Voltage Margin 차이는 있으나 신호품질에는 영향이 없을 것으로 판단되었다.

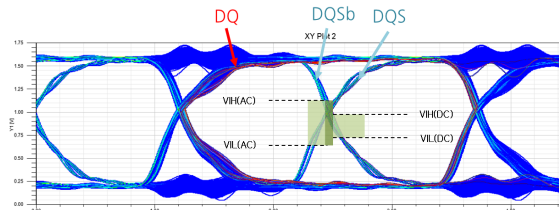


그림 2. Processor가 Max Drive Strength, DDR2가 50Ω Termination된 경우 Eye Diagram

표 3. Processor가 Max Drive Strength, DDR2가 50Ω Termination된 경우 Margin

	VIH(AC)	VIL(AC)	VIH(DC)	VIL(DC)	Setup	Hold
Margin	0.37V	0.3V	0.555V	0.485V	0.78ns	0.805ns

Clock과 Address, Control 신호는 특정한 IBIS Model이 정해져 있으므로 Spec에 맞는 Model을 설정하여 Simulation을 수행하였다.

그림 3은 Clock 신호의 Eye Diagram이며 Differential Cross Point Voltage Spec을 나타내었다. Differential Cross Point Voltage가 Spec 내에 위치하므로, 동작에 문제가 없을 것으로 확인하였다.

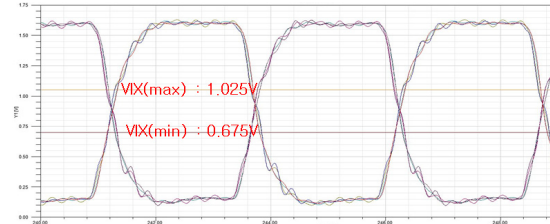


그림 3. Clock Eye Diagram

그림 4는 Address신호의 Eye Diagram이며 Clock 신호를 기준으로 Margin을 확인할 수 있다.

그림 5는 Control 신호인 RAS, CAS, CS, SDWE 신호의 Eye Diagram을 나타내었다.

Address 및 Control 신호는 Overshoot가 발생하였지만 Spec인 0.5V 이내이며, Voltage Margin과 Timing Margin이 충분한 것을 확인하였다.

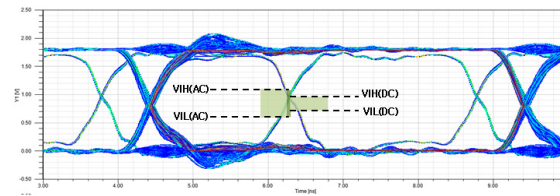


그림 4. Address Eye Diagram

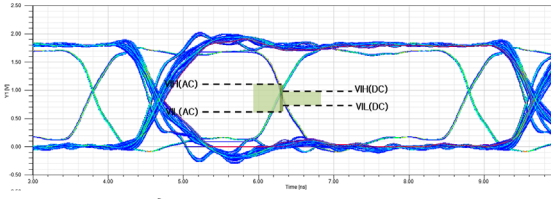


그림 5. Control Eye Diagram

### III. 결 론

본 논문에서는 DDR2가 이용된 다양한 PCB Module에 적용 가능한 SI 해석의 기준을 마련하여 고속신호의 품질을 확보할 수 있도록 하였다.

Freescale사의 Processor와 Samsung사의 DDR2-400로 구성된 PCB Module에서 DQ 신호는 Processor가 High Drive Strength로 구동되고 DDR2가 No Termination인 경우에 더 큰 Margin을 가지지만 원활한 통신을 위해서는 Processor를 Max Drive Strength로 구동하고 DDR2를 50Ω Termination하는 것이 필요함을 확인하였다. 또한 Clock 신호의 Differential Cross Point Voltage가 Spec에 만족하여 동작하는 데 문제가 없음을 확인하고 Clock을 기준으로 데이터를 판별하는 Address 및 Control 신호도 고속동작에서 충분한 Margin을 가지는 것을 확인하여 설계된 PCB Module에서 Processor와 DDR2 사이의 고속신호 품질을 확보하였다.

#### 감사의 글

본 논문은 미래창조과학부 지원으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구결과입니다.

#### 참고문헌

- [1] “DDR2/3 PCB Solution,” <http://www.ansoft.co.kr/>
- [2] 김영희, “반도체 메모리 설계,” 창원대학교 출판부, 2009
- [3] Bonnie Baker, “IBIS모델: 신호 무결성 분석의 도관 1부,” TI Contributed Article, 2011
- [4] <http://rfdh.com/>
- [5] <http://www.ktword.co.kr/>