
Dead-Time 적응제어 기능과 Power Switching 기능을 갖는 DC-DC 부스트 변환기

이주영 · 양민재 · 김두희 · 윤은정 · 유종근

인천대학교

DC-DC Boost Converter with Dead-Time Adaptive Control and Power Switching

Joo-young Lee · Min-jae Yang · Doo-Hoi Kim · Eun-jung Yoon · Chong-gun Yu

Incheon National University

E-mail : norade3@naver.com

요 약

기존의 DC-DC 부스트 변환기에서 사용되는 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss 또는 charge-sharing loss가 발생하는 문제점을 가지고 있다. 이러한 손실을 줄이기 위해 사용된 기존의 적응제어 방식의 경우는 CCM 동작 시 전력트랜지스터가 동시에 on이 되는 구간이 발생하여 시스템 효율이 감소하는 문제점이 있다. 따라서 본 논문에서는 이러한 문제점을 해결할 dead-time 적응제어 기능과 power switching 기능을 갖는 DC-DC 부스트 변환기를 설계 하였다. CMOS 0.35um 공정을 사용하였고, 2.5V 입력으로 3.3V의 출력전압을 얻으며, 스위칭 주파수는 500kHz 이다. 부하전류 150mA일 때 가장 높은 95.3%의 효율을 얻었다. 설계된 회로의 칩 면적은 1720um×1280um이다.

ABSTRACT

Since the non-overlapping gate driver used in conventional DC-DC boost converters generates fixed dead-times, the converters suffer from the body-diode conduction loss or the charge-sharing loss. A adaptive control method has been proposed to reduce these losses. In this method, however, occurrence of and overlapping time of two power transistors in CCM results in reduction of efficiency. In this paper, to overcome this problem a new adaptive control method in proposed, and a DC-DC boost converter with the proposed adaptive control and power switching has been designed in a 0.35um CMOS process. The designed converter outputs 3.3V from a input voltage of 2.5V. The switching frequency is 500kHz and the maximum power efficiency is 95.3% at a load current 150mA. The designed chip area is 1720um x 1280um.

Key words

DC-DC Converter, Boost Converter, Deat-time Control, Power Switching, Efficiency.

1. 서 론

최근에는 휴대전화 단말기, 노트북, 디지털 가전 기기 등이 급속도로 발전하고 있다. 소형화, 경량화가 될 뿐만 아니라 하나의 배터리로 안정적인 전원공급이 필요하며, 최근에는 휴대전화 단말기,

본 논문은 IDEC 지원에 의해서도 일부 수행되었음.

노트북, 디지털 가전기기 등이 급속도로 발전하고 있다. 소형화, 경량화가 될 뿐만 아니라 하나의 배터리로 안정적인 전원공급이 필요하다. 전력 관리 회로는 일반적으로 charge-pump, DC-DC converter, LDO 등이 있다. 그 중에서 inductor 유형의 DC-DC 변환기는 넓은 범위의 입력 전압에 따른 다양한 출력 전압을 생성할 수 있고, 높은 전력 변환 효율을 가지는 장점으로 인해 배

터리 수명이 중요시 되는 휴대용 시스템과 기타 기기에 적합하다.

기존의 DC-DC 부스트 변환기에서 사용되는 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss 또는 charge-sharing loss가 발생하는 문제점을 가지고 있다.[1] 따라서 적응제어 방법을 사용한 회로를 사용하여 이러한 손실을 줄이고자 한다. 그러나 기존 적응제어 방식을 사용할 경우 CCM(Continuous Conduction Mode) 동작 시 전력트랜지스터가 동시에 on이 되기 때문에 시스템 효율이 감소되는 문제점이 있다.[2] 따라서 본 논문에서는 이러한 문제점을 해결할 dead-time 적응제어 기능과 power switching 회로 기능을 갖는 DC-DC 부스트 변환기를 설계하였다.

II. 본 론

2.1 고정된 Dead-Time을 갖는 Non-Overlapping Gate Driver

그림1은 기존의 Gate Driver이다. 두 개의 입력단자에 위상이 같은 클록이 인가되면, cross feedback회로에 의해 두 개의 power 트랜지스터 M_N 과 M_P 의 게이트에 동시에 on이 되지 않는 신호가 인가된다. 즉, 한 쪽 스위치가 off가 되어야 다른 스위치가 on이 되도록 구성되어 있다. 그러나 이 회로를 사용하게 되면 dead-time이 고정되어 있어서 DC-DC boost 변환기에서 두 가지 loss가 발생하게 된다. 설계된 Dead-Time이 최적의 Dead-Time보다 클 때는 body-diode conduction loss가 발생하며, 작을 때에는 charge-sharing loss가 발생한다.[1]

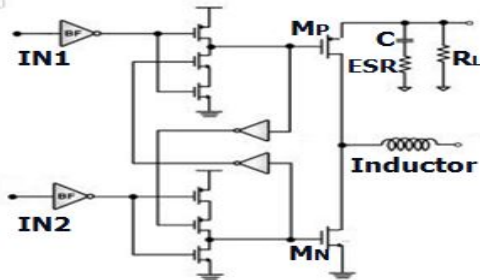


그림 1. 기존의 고정된 dead-time을 갖는 Gate Driver

2.2 CCR을 이용한 Dead-Time 적응제어

고정된 dead-time을 갖는 기존의 gate driver에서 발생하는 loss를 최소화하기 위해, 참고문헌 [1]에서는 그림 2와 같은 CCR(CMOS Control Rectifier)을 이용한 dead-time 적응제어 기능을 갖는 회로를 제안하였다.

V_{LX} 와 V_{OUT} 을 비교하여 M_P 의 상태를 결정함으로써 dead-time 적응제어 기능을 구현하였다. M_N 이 off되고 V_{LX} 가 증가하여 V_{OUT} 보다 커지게 되면 비교기가 동작하여 즉시 M_P 를 on시키게 된다. 따라서 T_D 는 T_{D_OPT} 에 근접하게 된다. 또한 DCM

동작시 인덕터 전류가 0이 되면 V_{LX} 는 감소하게 되고, V_{OUT} 보다 작아지게 되면, 비교기가 상태를 바꿔서 M_P 를 off시켜서 역전류를 방지하게 된다. 그러나 그림 2의 회로를 사용할 경우 DC-DC boost 변환기가 CCM에서 동작 할 경우 M_N 과 M_P 가 동시에 on이 되는 구간이 발생하게 되어 시스템의 효율이 감소되는 문제점이 발생한다.

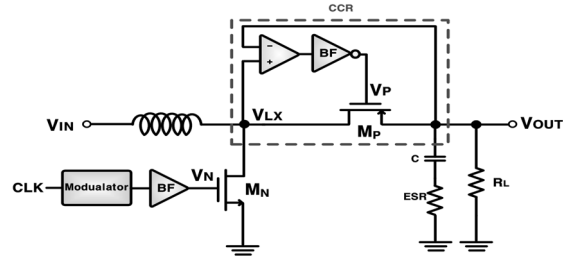


그림 2. CCR을 이용한 Dead-Time 적응제어

2.3 제안된 Dead-Time 적응제어

본 논문에서 제안하는 dead-time 적응제어 기능을 갖는 ADTC(Adaptive Dead-Time Control) gate driver 회로를 그림 3에 나타냈다. 제안된 회로는 dead-time 적응제어 기능을 갖기 때문에 고정된 dead-time 방식에서 발생하는 두 가지 loss를 최소화 할 수 있으며, CCM에서 동작하는 경우에도 power 트랜지스터가 동시에 on이 되는 구간이 발생하지 않도록 설계하여 효율을 향상시켰다.

그림 2의 기존 방식에서는 M_N 만 클록(CLK)에 의해서 동작하고 M_P 는 CCR에 의한 적응제어로 동작하기 때문에 M_N 이 on 될 때 overlapping 구간이 발생하였다. 따라서 본 논문에서는 그림 4에서와 같이 간단한 Non-Overlapping Signal Generator(NOSG)를 사용하여 클록으로부터 겹치지 않는 신호인 CP와 \overline{CP} 를 생성하여 사용한다. 제안된 dead-time 적응제어 회로를 모의 실험한 결과 PMOS switch가 12nsec 먼저 off 되고나서 NMOS가 on되는 것을 확인하였다. 또한 NMOS가 off된 후에 PMOS가 on이 되어 기존 방식에서 발생하던 overlapping 구간이 발생하지 않는다. 따라서 시스템 효율이 최대로 증가 될 수 있게 된다.

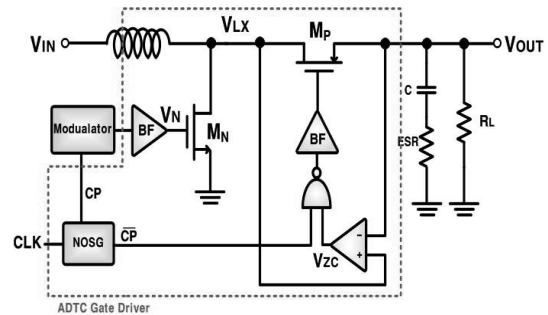


그림 3. 제안된 Adaptive Dead-time Control

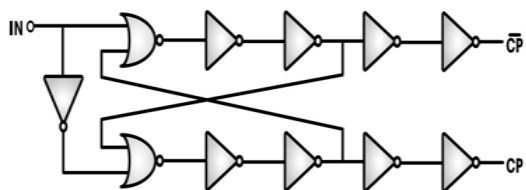


그림 4. Non-Overlapping Signal Generator

2.4 Power Switching 회로

그림 5는 power switching 회로이다. 입력과 출력을 비교하여 큰 값이 출력되며 power 트랜지스터를 구동하는 버퍼회로의 공급전원으로 사용된다. 따라서 DC-DC 부스트 변환기가 DCM에서 동작 시 M_P 의 게이트 단자에 출력전압인 3.3V가 인가 될 수 있다. 입력전압인 2.5V가 인가 될 경우 M_P 가 off는 될 수 있지만 V_{SG} 가 약 0.7V값을 가지기 때문에 완벽한 역전류의 차단이 어렵다. 따라서 3.3V를 인가함으로써 V_{SG} 값을 0으로 만들어줘서 2.5V를 인가할 때 보다 M_P 에 흐르는 역전류를 효율적으로 차단할 수 있게 된다.

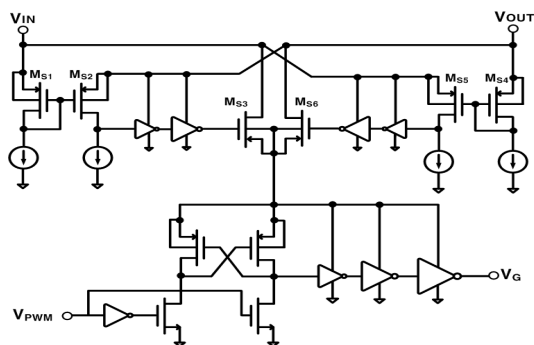


그림 5. Power Switching 회로

III. 모의실험 결과 및 구현

그림 6은 본 논문에서 제안된 새로운 dead-time 적응제어 기능과 power switching 기능을 갖는 DC-DC 부스트 변환기의 전체 블록 다이어그램이다. PWM제어 모드로 duty를 컨트롤하여 전압을 승압시키고, BGR에서 나오는 일정한 V_{ref} 와 출력 전압을 비교하여 feedback을 컨트롤하고, current mode로 작동한다. Current mode는 current peak 값만 sensing하면 되기 때문에 Voltage mode에 비해 간편하게 제어 할 수 있다.

Current mode는 sensing 회로가 부가적으로 필요하고, 기울기 보상회로도 필요하게 된다. 또한 Sub-harmonic oscillation 현상 때문에 초기 전류의 약간의 변동에도 회로의 선형성이 나빠지게 됨으로 추가적인 기울기 보상회로가 필요하다. Soft-start 회로는 IC를 보호하기 위해 추가했다. Clock generator는 500KHz의 주파수를 가진 Clock pulse 를 생성하고 $V_{control}$ 신호와 비교되는 신호 V_{ramp} 를 생성한다.

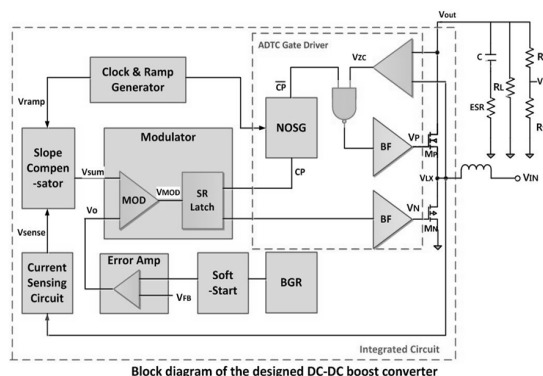


그림 6. 설계된 DC-DC 부스트 변환기의 블록 다이어그램

그림 7은 전체 Top 회로의 시뮬레이션 결과이다. 그림 7의 (a)는 inductor current이고, Nmos가 켜지면 전류가 build up이 되고, Pmos가 켜지면 load로 전류가 흘러가고 build down이 된다. (b)는 500KHz의 주파수 CP신호이다. PWM에 의해 바뀐 Duty신호와 CP신호가 SR latch 로 들어가서 제어된 Duty Cycle의 신호가 nmos를 구동하게 된다. (c)는 500KHz의 CP 신호이고 Pmos를 구동한다. (d)는 Output 신호이고 3.3V에서 약 10mV의 ripple을 가진다. (e)는 Nmos와 Pmos가 연결된 VLx 노드 전압이고 (f)는 Pmos Duty cycle, (g)는 Nmos Duty cycle 이다.

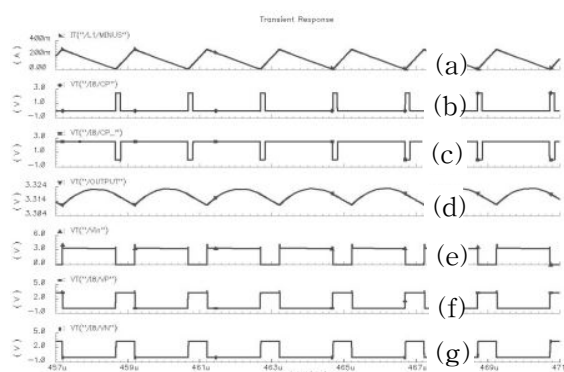


그림 7. 전체 Top 회로의 시뮬레이션 결과 (a)Inductor Current (b)CP (c)CP_ (d)Vout (e)VLx (f) Nmos Duty (g) Pmos Duty

그림 8은 Non overlapping Signal Generator의 유무에 따른 효율 측정 비교이고, 그림 9는 power switching 회로의 유무에 따른 효율을 측정 비교이다. Dead-time 적응제어와 power switching 회로로 기존 컨버터에 비해 CCM에서 비교적 높은 효율을 얻을 수 있었다. 특히 Power Switching 회로가 추가된 시스템은 DCM 에서도 비교적 높은 효율을 얻을 수 있었다. 그림 10은 Top layout 이다. Latch-up 현상을 고려한 레이아웃과 회로보호를 위한 ESD 까지 추가 하였다. 설계된 회로의 칩 면적은 $1720\mu m \times 1280\mu m$ 이다.

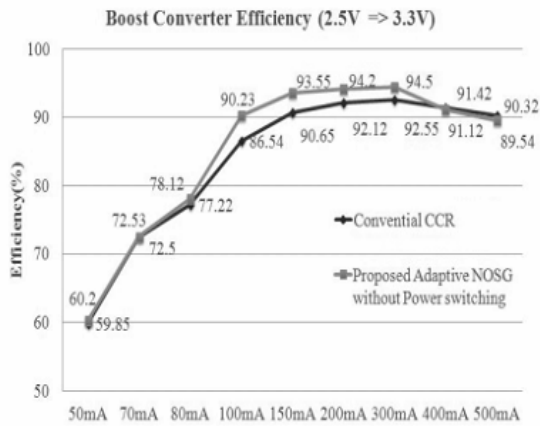


그림 8. 기존회로와의 효율비교

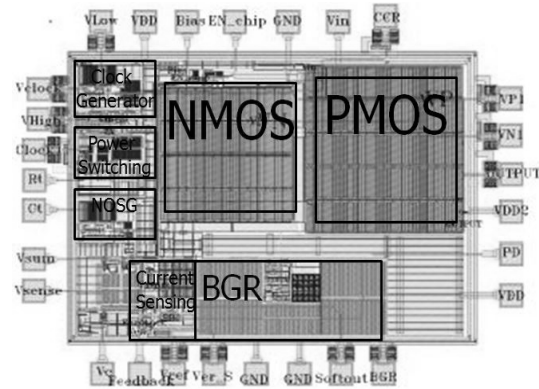


그림 10. Top Block Layout

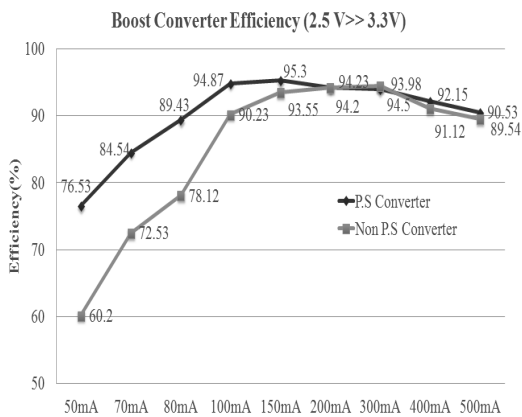


그림 9. Power switching 기능 유무에 따른 효율 비교

표 1. 기존 논문과 성능비교

	[1]	[2]	[4]	[5]	This work
Feedback mode	Current	Current	Current	Current	Current
Operation mode	PWM	PWM	PWM	PWM	PWM
Input Voltage(V)	0.9~1.2	1~3.6	0.8~2.4	1.2	2.5
Output Voltage(V)	2.5	1.5~	1.8~3.3	1.2	3.3
Switching Frequency (kHz)	667	100	500	15~700	500
Max efficiency (%)	81	95.5	90.7	83	95.3
Load current (mA)	20~100	10~150	100~500	0.1~1	70~500
Technology (um)	0.35	0.6	0.18	0.35	0.35
size(um ²)	1700 ×1700	2429 ×2042	1900 ×1100	675 ×615	1720 ×1280
Year	2008	2005	2005	2008	2013

IV. 결론

본 논문에서는 dead-time 적응제어 기능과 power switching 기능을 갖는 DC-DC boost 변환기를 설계하였다. CMOS 0.35um 공정을 이용하여 설계하였고, 모의실험 한 결과 스위칭 주파수 500kHz에서 동작하며, 2.5V의 입력 전압으로부터 안정된 3.3V의 전압을 출력한다. 최대 효율은 95.3% 이다.

참고문헌

- [1] T. Y. Man, P.K.T. Mok, and M.J. Chan, "A 0.9V Input Discontinuous Conduction Mode Boost Converter With CMOS Control Rectifier", IEEE Journal of Solid-State Circuits, vol. 43, pp. 2036-2046, Sep. 2008.
- [2] C. Y. Leung, P.K.T. Mok and K.N. Leung, "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technologies", IEEE Journal of Solid-State Circuits, vol. 40, pp. 2265-2274, Nov. 2005.
- [3] H. M. Chen, R. C. Chang, J. L. Wu, "A Low-Voltage Integrated Current-Mode Boost Converter for Portable Power Supply", 14th IEEE International Conference on Electronics, Circuits and Systems, pp. 1316-1319, Dec. 2007.
- [4] K. S. Jung, J. U. Lim, J. M. Park, H. K. Yang, S. H. Cha, and J. H. Choi, "A High Efficiency CMOS DC-DC Boost Converter with Current Sensing Feedback", 48th Midwest Symposium on Circuits and Systems, vol. 2, pp. 1661-1664, Aug. 2005.
- [5] N. M. Sze, W. H. Ki and C. Y. Tsui, "Threshold Voltage Start-up Boost Converter for Sub-mA Applications", 4th IEEE International Symposium on Electron Design, Test and Applications, pp. 338-341, Jan. 2008.