

# 4-lane을 가지는 1.8V 2-Gb/s SLVS 송신단

백승욱\* · 장영찬\*

\*금오공과대학교

## A 1.8V 2-Gb/s SLVS Transmitter with 4-lane

Seung-Wuk Baek\* · Young-Chan Jang\*

\*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

### 요 약

고속 저전력 모바일 응용분야를 위한 1.8V 2-Gb/s SLVS 송신단을 제안한다. 제안하는 송신단은 데이터 전송을 위한 4-lane 송신단, 소스 동기 클럭 방식을 위한 1-lane 송신단, 그리고 8-phase 클럭 발생기로 구성된다. 제안하는 SLVS 송신단은 50 mV에서 650 mV의 출력 전압 범위를 가지며 고속 동작 모드와 저전력 모드를 제공한다. 또한, signal integrity를 개선하기 위한 출력 드라이버의 임피던스 교정 기법이 제안된다. 제안하는 SLVS 송신단은 1.8V의 공급 전압을 가지는 0.18- $\mu\text{m}$  1-poly 6-metal CMOS 공정을 이용하여 구현된다. 구현된 SLVS 송신단의 데이터 jitter의 시뮬레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다. 1-lane을 위한 SLVS 송신단의 면적과 전력소모는 각각  $422 \times 474 \mu\text{m}^2$ 와 5.35 mW/Gb/s이다.

### ABSTRACT

A 1.8V 2-Gb/s scalable low voltage signaling (SLVS) transmitter (TX) is designed for mobile applications requiring high speed and low power consumption. It consists of 4-lane TX for data transmission, 1-lane TX for a source synchronous clocking, and a 8-phase clock generator. The proposed SLVS TX has the scaling voltage swing from 50 mV to 650 mV and supports a high speed (HS) mode and a low power (LP) mode. An output impedance calibration scheme for the SVLS TX is proposed to improve the signal integrity. The proposed SLVS TX is implemented by using a 0.18- $\mu\text{m}$  1-poly 6-metal CMOS with a 1.8V supply. The simulated data jitter of the implemented SLVS TX is about 8.04 ps at the data rate of 2-Gbps. The area and power consumption of the 1-lane of the proposed SLVS TX are  $422 \times 474 \mu\text{m}^2$  and 5.35 mW/Gb/s, respectively.

### 키워드

SLVS 송신단, 임피던스 교정 기법, HS 모드, LP 모드

### 1. 서 론

MIPI(Mobile Industry Processor Interface)는 급격히 성장하는 모바일 IT 기기의 프로세서와 주변장치간의 인터페이스를 최적화하기 위한 모바일 어플리케이션과 프로세서의 개방형 표준이다. 최근 모바일 시장은 편의성과 휴대성을 요구하고 하나의 장치에서 다양한 기능을 수행할 수

있는 멀티미디어 요소는 모바일 디바이스에서 빠질 수 없는 기능이 되었다. 하지만 디바이스가 다양한 기능을 수행할수록 더 많은 전력을 필요로 하게 된다. 따라서 모바일 디바이스에서 전력소모는 매우 중요한 사항이며 이에 따라 모바일 응용 분야에서는 기존의 병렬 인터페이스 방식보다 고속 직렬 인터페이스가 주로 이용되며 고속 직렬 인터페이스 방식은 wire의 수를 줄여 생산비용,

신뢰성, 그리고 전력소모를 줄일 수 있는 장점을 가지고 있어 저면적 저전력의 특성을 가지는 MIPI의 채택이 급증하고 있다. 이에 본 논문에서는 고속 저전력 모바일 응용분야를 위한 4-lane을 가지는 1.8V 2-Gb/s SLVS 송신단을 제안한다. 제안된 SLVS 송신단은 출력 드라이버의 출력 임피던스 교정과 전력 소모를 줄이기 위해 PRE DRIVER의 공급 전압을 제어하는 방법[1][2]과 출력 드라이버를 병렬로 연결하는 방법[3]으로 출력 임피던스를 채널 임피던스에 정합시킨다.

본 논문의 II장에서는 SLVS 송신단의 구조를 소개하고 III장에서는 제안된 SLVS 송신단의 회로 설명, IV장에서는 시뮬레이션 결과를 해석하며 V장에서 본 논문의 결론을 맺는다.

## II. SLVS 송신단의 구조

그림 1은 4-lane을 가지는 SLVS 송신단의 블록도이다. 8-PHASE 클럭 발생기의 출력과 8개의 데이터가 송신단에 입력되어 출력 드라이버를 거쳐 데이터가 최종 출력되는 4개의 송신단과 소스 동기 클럭 방식을 위한 1개의 송신단으로 구성된다. 송신단이 고속 동작 모드일 때, 송신단에 입력되는 125-Mb/s의 전송속도를 가진 H\_DATA와 8-PHASE 클럭 발생기의 출력인 8개의 클럭으로 직렬변환기를 이용하여 순서화함으로 2-Gb/s의 전송속도를 가진 데이터가 출력된다. 또한 저전력 모드일 때는 입력된 L\_DATA로 출력 드라이버를 통해 데이터가 출력된다. 그림 2는 1-채널의 SLVS 송신단의 블록도이다. SLVS 송신단은 직렬 변환기와 레귤레이터, 드라이버로 구성된다. 직렬 변환기에서 출력된 2-Gb/s의 전송 속도를 가진 차동 신호를 드라이버 단에 입력하여 출력 드라이버를 통해 최종 출력된다. 출력전압 swing은 출력 드라이버에 공급되는  $V_s$ 에 의해 제어되고 출력전압 범위는 50 mV에서 650 mV로 ground 근처에서 swing한다. 제안된 SLVS 송신단은 고속 데이터 전송을 위한 고속 동작 모드와 저전력 모드의 2가지 동작 모드 방식을 갖는다.

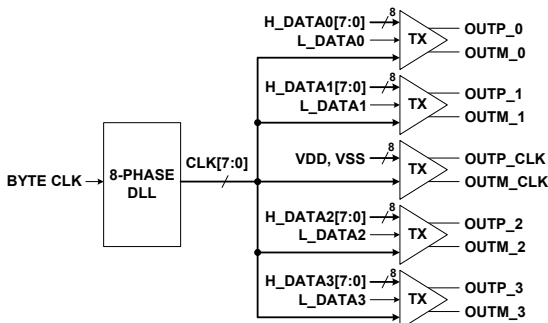


그림 1. 4-lane을 가지는 SLVS 송신단의 블록도

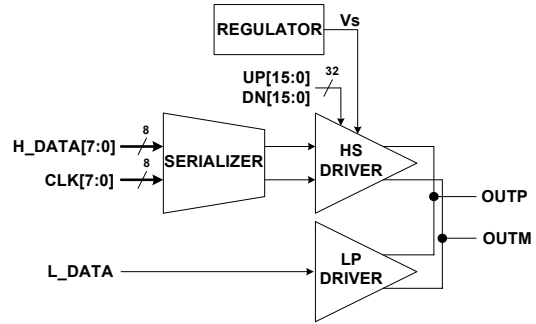


그림 2. 1-채널의 SLVS 송신단 블록도

## III. SLVS 송신단의 회로 설명

### 3.1 레귤레이터

그림 3은  $V_s$  전압 범위를 제어하는 레귤레이터의 회로도이다. 레귤레이터는 일정한 전류를 생성하는 CONSTANT GM 회로와  $V_s$  전압을 가변하기 위한 5-비트 DAC, UNIT GAIN BUFFER로 구성된  $V_s$  REGULATOR로 구성된다. 기준 전압은 CONSTANT GM 회로의 전류를 5-비트 DAC로 current mirror하여 저항  $R_0$ 의 양단에 걸리는 전압으로 기준 전압을 생성한다. 5-비트 DAC의 디지털 신호로 제어되는  $V_s$  전압의 범위는 50 mV에서 650 mV로 제어된다.  $V_s$  REGULATOR는 송신단이 저전력 모드에서 고속 동작 모드로 전환될 때  $V_s$  노드가 VDD부터 settle된다. 따라서 레귤레이터가 모드가 전환될 때의 settle 시간을 고려하여  $V_s$  REGULATOR의 REG\_LOAD\_EN 신호로 N-type MOSFET를 제어한다.

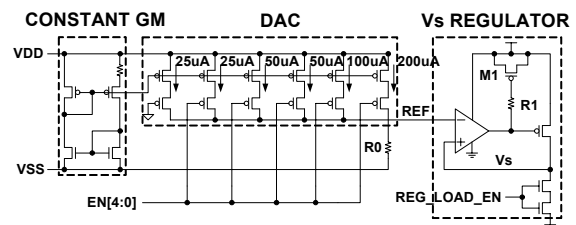


그림 3. 레귤레이터 회로도

### 3.2 송신단 출력 드라이버

그림 4는 고속 동작 모드의 드라이버 회로도이다. 고속 동작 모드 드라이버는 출력 드라이버를 제어하는 PRE DRIVER와 출력 드라이버로 구성된다. 출력 드라이버의 출력 임피던스는 채널 임피던스에 정합하는 것이 중요하다. 따라서 출력 드라이버를 병렬로 연결하는 방법을 이용하여 pull-up소자와 pull-down소자를 unit단위로 구성하여 각각 19개의 pull-up과 pull-down 으로 임피던스를 교정한다. Pull-up과 pull-down은 각각 19개의 unit 중 15개의 unit을 이용하여 공정 변

화에 따른 임피던스 변화를 교정한다. 그림 5는 고속 동작 모드의 출력 드라이버 회로도이다. 전압 모드로 동작하는 송신단의 임피던스는 출력 드라이버 소자(M0~M4)의 turn on 저항으로 모델링되고 signal integrity를 향상시키기 위해 소자의 turn on 저항을 채널의 임피던스에 정합시킨다. 또한 PRE DRIVER의 공급 전압을 제어하는 방법을 이용하여 PRE DRIVER의 공급 전압을 레귤레이터를 통해 공급하지 않고 VDD로 고정한다. 이는 PRE DRIVER에 공급되는 레귤레이터의 면적과 전력을 줄일 수 있고 보다 정확한 임피던스 정합을 할 수 있어 pull-up과 pull-down 소자의 width를 변경하는 것으로 임피던스를 교정한다. 또한 Pull-up의 임피던스는 레귤레이터의 출력 전압인 Vs 전압에 영향을 받지만 pull-down의 임피던스는 영향을 받지 않는다. 따라서 pull-up과 pull-down의 임피던스를 교정함에 있어 동일한 width를 가지지 않으며 비대칭적으로 width를 조정하여 임피던스를 교정한다. 그림 6은 저전력 모드의 출력 드라이버 회로도이다. 저전력 모드의 출력 드라이버는 MOSFET와 저항으로 구성되며 MOSFET의 사이즈와 저항의 값으로 채널 임피던스에 정합시킨다. 낮은 전송 속도를 가진 데이터가 입력되기 때문에 전력소모가 적으며 출력 데이터는 0V에서 VDD로 swing한다.

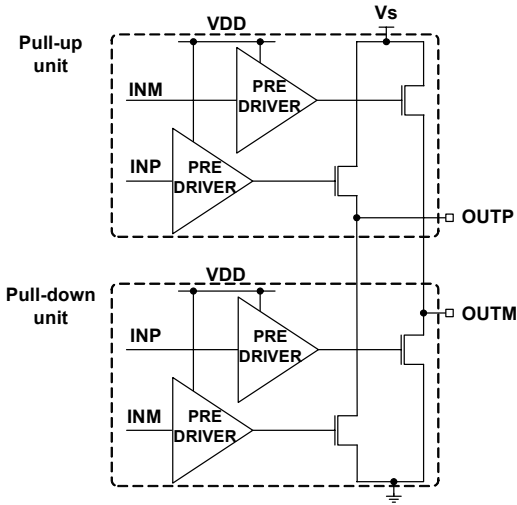


그림 4. 고속 동작 모드 드라이버 회로도

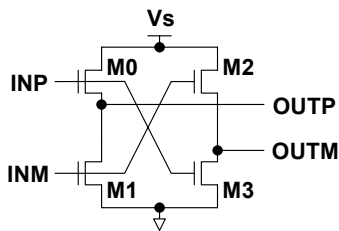


그림 5. 고속 동작 모드 출력 드라이버 회로도

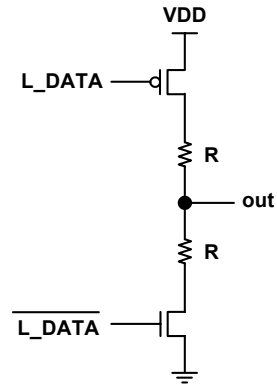


그림 6. 저전력 모드 출력 드라이버 회로도

#### IV. SLVS 송신단의 시뮬레이션 결과

제안된 SLVS 송신단은 1.8V의 공급 전압을 가지는 0.18- $\mu\text{m}$  1-poly 6-metal CMOS 공정을 이용하여 설계되었다. 그림 7은 1-채널 SLVS 송신단의 layout이며 면적은 422  $\times$  474  $\mu\text{m}^2$ 이다.

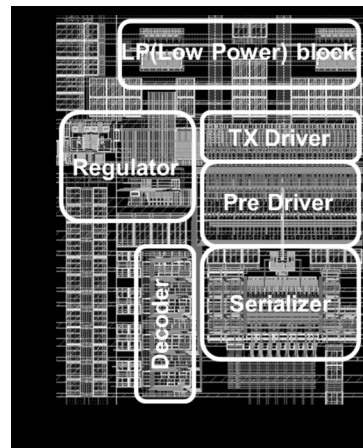


그림 7. SLVS 송신단의 layout

표 1은 레귤레이터의 5-비트 DAC에 입력되는 디지털 코드 EN[4:0]으로 Vs 전압을 제어하여 Vs 전압 범위에 대한 pull-up소자와 pull-down소자 각각의 임피던스를 교정했을 때의 디지털 코드와 임피던스 값을 나타낸 것이다. Vs 전압은 입력되는 디지털 코드에 따라 50 mV에서 650 mV까지 변화한다. Pull-up과 pull-down소자의 임피던스는 Vs 전압의 변화에 따라 turn on 되는 출력 드라이버의 unit 개수로 임피던스가 교정된다. 또한 pull-down의 임피던스를 교정을 위한 코드 변화는 pull-up에 비해 코드 변화가 적음을 볼 수 있다. Pull-up과 pull-down소자의 임피던스는 각각 채널 임피던스의  $\pm 5\%$  이내로 교정된다.

표 1. 임피던스 교정 시물레이션

Vs[mV]	Impedance[Ω]		BU[3:0]	BD[3:0]
	Pull-up	Pull-dn		
50	49.96	49.12	0100	0100
112	52.35	50.49	0101	0100
166.1	48.72	52.14	0101	0101
221.2	51.36	47.63	0110	0101
275.6	48.57	48.93	0110	0101
330.8	51.31	50.23	0110	0101
382.4	49.07	51.96	0111	0101
437.6	52.24	47.81	0111	0110
492	50.8	48.96	1000	0110
547.1	49.96	50.69	1001	0110
588.9	52.48	51.52	1001	0110
650	52.41	47.55	1010	0111

그림 8은 layout에서 출력 드라이버의 순서 배치도를 나타낸 것이다. 출력 드라이버를 순서대로 배치를 하게 될 경우, turn on 되는 출력 드라이버는 상대적으로 낮은 순서의 출력 드라이버만 turn on 되어 특정한 부분에만 noise가 커지게 된다. 따라서 noise를 분산시키기 위해 출력 드라이버를 그림 8과 같은 순서로 배치한다.

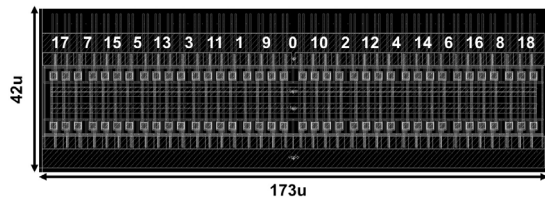


그림 8. 출력 드라이버의 layout 순서 배치도

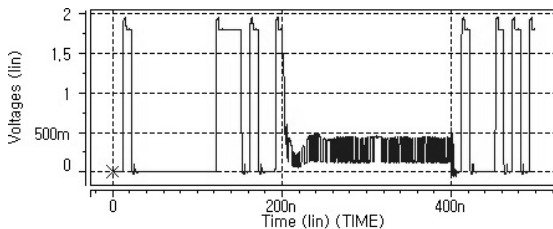


그림 9. SLVS 송신단의 HS 모드와 LP 모드 switching 시물레이션

그림 9는 15cm의 채널과 채널 임피던스에 정합한 수신단의 termination을 달아 송신단의 고속 동작 모드와 저전력 모드를 switching하는 시물레이션을 나타낸 것이다. 고속 동작 모드와 저전력 모드는 입력되는 디지털 신호를 통해 선택된다. 그림 10은 SLVS 송신단 출력의 데이터 jitter를 아이 다이어그램 시물레이션 한 것이다. 출력 전압 범위를 제어하는 레플레이터의 5-비트 DAC 코드는 10010이며 출력 전압은 588.9 mV이다. 출력 드라이버의 임피던스를 교정하기 위한 pull-up과 pull-down의 코드는 각각 1001과 0110이다. SLVS 송신단의 데이터 jitter의 시물레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다.

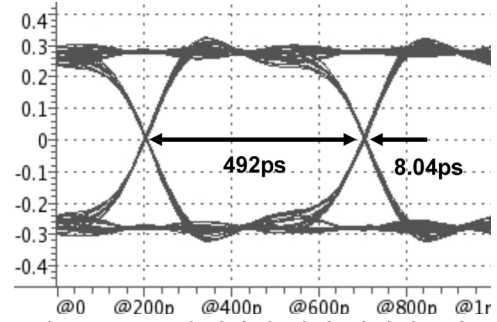


그림 10. SLVS 송신단의 아이 다이어그램 시물레이션

### V. 결론

제안된 SLVS 송신단은 1.8V의 공급 전압을 가지는 0.18- $\mu\text{m}$  1-poly 6-metal CMOS 공정을 이용하여 설계되었다. 제안된 SLVS 송신단은 고속 동작 모드와 저전력 모드의 2가지 모드로 동작하며 signal integrity를 향상시키기 위해 출력 드라이버의 pull-up과 pull-down 소자의 임피던스를 교정하는 기법을 사용한다. 구현된 SLVS 송신단의 데이터 jitter의 시물레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다. 1-lane을 위한 SLVS 송신단의 면적과 전력소모는 각각  $422 \times 474 \mu\text{m}^2$ 와 5.35 mW/Gb/s이다.

#### 감사의 글

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2013R1A1A4A01012914), the Human Resource Development Project by ETRI SW-SoC R&BD Center, and IDEC.

#### 참고문헌

[1] J. Poulton, et. al., "A 14-mW 6.25-Gb/s Transceiver in 90-nm CMOS," IEEE J. Solid-State Circuits, vol. 42, no. 12, pp. 2745-2757, Dec. 2007.  
 [2] B. Leibowitz, et. al., "A 4.3 GB/s Mobile Memory Interface With Power-Efficient Bandwidth Scaling," IEEE J. Solid-State Circuits, vol. 45, no. 4, pp. 889-898, Apr. 2010.  
 [3] K. Kaviani, et. al., "A 0.4mW/Gb/s 16Gb/s near-ground receiver front-end with replica transconductance termination calibration," ISSCC Dig. Tech Papers, pp.132-133, Feb. 2012