

# 3차원 Depth Image 추출용 Differential CORDIC 기반 고속 위상 연산기의 FPGA 구현

구정윤\* · 신경욱\*\*

금오공과대학교 전자공학과

FPGA Implementation of Differential CORDIC-based high-speed phase calculator  
for 3D Depth Image Extraction

Jung-youn Koo\* · Kyung-Wook Shin\*\*

School of Electronic Eng., Kumoh National Institute of Technology

E-mail : koojungyoun@kumoh.ac.kr\* · kwshin@kumoh.ac.kr\*\*

## 요 약

본 논문에서는 TOF(Time-Of-Flight) 센서에 의해 얻어진 정보로부터 3차원 깊이 영상(depth image)을 추출하기 위한 위상 연산기의 하드웨어 구현을 제안한다. 설계된 위상 연산기는 DCORDIC (Differential COordinate Rotation Digital Computer) 알고리즘의 vectoring mode를 이용하여 Arctangent 연산을 수행하며, 처리량과 속도를 늘리기 위해 redundant binary 수체계와 pipelined 구조를 적용하였다. 제안된 알고리즘은 고정 소수점 MATLAB 시뮬레이션을 통해 검증하고 최적 데이터 비트 수 및 반복 횟수를 결정하였다. 설계된 위상 연산기는 MATLAB/Simulink와 FPGA 연동을 통해 가상의 3차원 데이터 복원 동작을 검증하였으며, 469 MHz의 클럭 주파수로 동작하여 7.5 Gbps의 성능을 갖는 것으로 평가되었다.

## ABSTRACT

In this paper, a hardware implementation of phase calculator for extracting 3D depth image from TOF(Time-Of-Flight) sensor is proposed. The designed phase calculator, which adopts redundant binary number systems and a pipelined architecture to improve throughput and speed, performs arctangent operation using vectoring mode of DCORDIC algorithm. Fixed-point MATLAB simulations are carried out to determine the optimized bit-widths and number of iteration. The designed phase calculator is verified by emulating the restoration of virtual 3D data using MATLAB/Simulink and FPGA-in-the-loop verification, and the estimated performance is about 7.5 Gbps at 469 MHz clock frequency.

## 키워드

Depth Image, Phase Calculator, Time-Of-Flight, CORDIC, DCORDIC, FPGA

## I. 서 론

3차원 깊이 영상을 얻을 수 있는 가장 일반적이고 잘 알려진 방법은 양안식 카메라를 사용하는 SV(Stereo Vision) 시스템이다. 이 방법은 이미 널리 사용되어온 방법으로 레이저 스캐너, 음향이나 레이더 센서와 같은 에너지 방출 부품이 없이 고해상도의 거리 영상(Range image)을 얻을 수 있는 장점을 가진다. 하지만 스테레오 영상을 이용하여 장면의 깊이 정보를 예측하는 것은 쉽지

않다. 물체로 인해 가려져 한쪽에서만 보이거나 아무런 무늬가 없는 영역 등에서는 정확한 깊이 정보를 얻기 어렵기 때문이다.[1,2]

지난 몇 년간 학계에서는 TOF(Time-Of-Flight) 센서를 이용한 실시간 거리 영상 시스템에 대한 관심이 점점 더 커져, 연구가 활발히 진행되고 있다.[3-5] TOF의 기본 원리는 센서에서 방출된 빛이 물체에 반사되어 돌아오는 시간을 계산하여 장면의 깊이를 측정하는 것이다. TOF 센서를 사용한 카메라는 장면의 깊이 정보를 직접 측정하

여 스테레오 정합 방법의 취약점을 보완할 수 있다. 최근 TOF 비전 분야의 큰 진전으로 로봇, 자동차, 의료, 제스처 인식 등 다양한 분야의 어플리케이션에 대해 3D 카메라들이 생산, 사용되고 있다. 특히 자동차 산업에서 안전에 대한 관심의 증가로 TOF 시장은 더욱 커질 것으로 예상되며, TOF 시장이 발전하기 위해서는 센서에서 얻어지는 많은 정보를 실시간으로 처리할 수 있는 효율적인 하드웨어 연구가 동반되어야 한다.

본 논문에서는 3D TOF 센서용 깊이 정보를 고속으로 계산하기 위한 하드웨어를 Differential CORDIC(COordinate Rotation Digital Computer) 알고리즘[6] 기반의 위상 연산기로 구현하였다. 설계된 위상 연산기의 HDL 모델은 MATLAB/Simulink와 FPGA가 연동된 FPGA-in-the-loop 검증 환경을 통해 하드웨어 검증을 하였다.

## II. TOF 거리 연산의 기본원리

TOF 센서를 이용한 깊이 정보 추출의 기본원리는 다음과 같다. TOF 센서 시스템의 송신부에서 특정 주파수( $f$ )의 신호로 변조된 빛을 보내고, 수신부에서는 물체에 반사되어 되돌아오는 빛을 감지한다. 빛이 물체까지 왕복하는 시간에 의한 위상 변화를 감지하여 식 (1)과 같이 센서와 물체 사이의 거리를 계산할 수 있다.[3]

$$d = \frac{c}{2f} \left( n + \frac{\theta}{2\pi} \right) \quad (1)$$

여기서  $c$ 는 빛의 속도,  $f$ 는 변조된 신호의 주파수,  $n$ 은 위상 주기가 반복되면서 생기는 상수,  $\theta$ 는 수신된 빛의 위상을 뜻한다.  $d$ 의 최대 거리가 명백하게 정해져 있는 경우 종종  $n$ 은 0(zero)으로 가정하고, 이 때 변조 주파수와 최대 측정거리  $d_u$ 와의 관계는 식 (2)와 같다.

$$d_u = \frac{c}{2f} \quad (2)$$

식 (1)에 따르면 장면의 깊이 정보를 얻기 위해서는 반드시 반사된 빛의 위상 변화를 알아야 한다. Jongenelen의 연구[3]를 참고하면, TOF 센서에서 들어오는 픽셀 강도(pixel intensity) 데이터를 이용하여 위상 변화에 대한 사인(sine)과 코사인(cosine) 데이터를 얻을 수 있다. 이 두 가지 데이터를 아크탄젠트(arctangent) 연산을 통해 위상을 계산할 수 있고, 그 후에는 간단한 연산을 통해 원하는 깊이 정보를 얻을 수 있기 때문에 TOF 센서를 이용하여 깊이 정보를 얻기 위한 가장 중요한 연산은 아크탄젠트 연산이다. 아크탄젠트 연산을 하드웨어로 구현하기 위한 방법은 다양하게 연구되고 있는데, 대표적인 방법으로는 LUT(Look-Up Table)을 이용한 방법과 그 응용들,

Polynomial 근사 방법, 그리고 CORDIC 방법 등이 있다.[6-9] 본 논문에서는 아크탄젠트 연산 방법 중에서 연산이 단순하고, 적은 하드웨어로 구현이 가능한 CORDIC 알고리즘을 변형하여 연산속도를 더 높은 Differential CORDIC 알고리즘 기반의 위상 연산기를 설계하였다.

## III. Differential CORDIC 알고리즘

CORDIC 알고리즘[9]의 기본 개념은 복소평면 상에서 주어진 벡터에 대해 각(angle)을 적당히 회전시켜 삼각함수의 값을 얻는 것이다. 이 알고리즘은 디지털 시스템에서 초월함수를 빠르게 계산하기 위해 고안되었으며, 단순한 회로로 구현할 수 있다는 장점을 가져, 하드웨어 구현에 널리 사용된다.

CORDIC 알고리즘은 회전(rotation) 모드와 벡터링(vectoring) 모드로 불리는 두 가지 모드로 동작하는데, 본 논문에서는 TOF 거리 연산을 위해 필요한 벡터링 모드에 대해서만 알고리즘을 적용하여 설계한다.

벡터링 모드를 이용한 기본 CORDIC 알고리즘의 아크탄젠트 연산은 식 (3)과 같이 표현되며, 식 (3)은  $i$ 번째 회전 과정 후의 값을 나타낸다.

$$\begin{aligned} x_{i+1} &= x_i + \text{sign}(y_i) \cdot y_i \cdot 2^{-i} & (3) \\ y_{i+1} &= y_i - \text{sign}(y_i) \cdot x_i \cdot 2^{-i} \\ z_{i+1} &= z_i + \text{sign}(y_i) \cdot \tan^{-1}(2^{-i}) \end{aligned}$$

Differential CORDIC 알고리즘[6]에서는 기존의 식 (3)에서 새로운 임시 변수를 정의해서 새로운 식을 유도하여 사용한다. 식 (4)-(7)에서는 기존 CORDIC 식의 변수  $x$ ,  $y$ ,  $z$ 에 모두 적용이 가능하도록 일반화된 변수  $g$ 에 대해서 설명한다.

$$\hat{g}_{i+1} = \text{sign}(g_i) \cdot g_{i+1} \quad (4)$$

$$|\hat{g}_{i+1}| = |g_{i+1}| \quad (5)$$

$$\text{sign}(\hat{g}_{i+1}) = \text{sign}(g_i) \cdot \text{sign}(g_{i+1}) \quad (6)$$

$\text{sign}(g) = \text{sign}(g)^{-1}$ 임을 이용하면, 식 (6)은 식 (7)과 같이 쓸 수 있다.

$$\text{sign}(g_{i+1}) = \text{sign}(g_i) \cdot \text{sign}(\hat{g}_{i+1}) \quad (7)$$

식 (7)은 기존 변수의 부호인  $\text{sign}(g_{i+1})$ 이 이에 상응하는 새로운 변수의 부호인  $\text{sign}(\hat{g}_{i+1})$ 로부터 재귀적으로 간단히 도출됨을 의미한다. 즉, 식 (6)을 통해,  $\hat{g}_i$ 의 부호가 별도로(differentially) 부호화(encoding)된  $g_i$ 의 부호인 것으로 간주될 수 있으며, 식 (7)을 이용하여  $\hat{g}_i$ 의 부호를  $g_i$ 의 부호로 간단히 복호화(decoding) 할 수 있다.

CORDIC 벡터링 모드의 기본 원리는 반복적인 회전 연산을 통해 허수부분인  $y$ 의 성분을 0으로 만드는 것이다. 이는 벡터의 회전 방향이 항상  $y$  성분의 절대 값이 작아지는 방향으로 선택됨을 뜻한다. 기존 CORDIC의 식 (3)과 식 (4)~(7)의 성질을 이용하여 변환된 DCORDIC의 식을 유도하면 다음과 같다.[6]

$$\begin{aligned} x_{i+1} &= x_i + |y_i| \cdot 2^{-i} \\ |\hat{y}_{i+1}| &= |\hat{y}_i| - x_i \cdot 2^{-i} \\ z_{i+1} &= z_i + \text{sign}(y_i) \cdot \tan^{-1}(2^{-i}) \end{aligned} \quad (8)$$

식 (8)을 통해 DCORDIC에서 새로운 변수  $\hat{y}_i$ 의 절대 값을 이용하여  $y$ 의 부호와 상관없이 다음  $x, y$  성분에 대한 반복 연산을 즉시 수행할 수 있음을 알 수 있다.

고정 소수점 DCORDIC 아크탄젠트 연산의 정확성은 입력 벡터의 실수부와 허수부, 위상 LUT의 비트 폭과 CORDIC 회전의 반복 횟수에 의해 결정된다. CORDIC 알고리즘의 반복 횟수에 따른 연산시간과 계산된 위상의 정확도 사이에 교환조건(trade-off)이 존재하며, 또한 내부 연산의 비트 폭에 의한 하드웨어 면적과 연산 정밀도 사이에도 교환조건이 존재한다. 따라서 CORDIC 알고리즘의 하드웨어 구현 시에 이를 고려해야 한다.

#### IV. 위상 연산기 하드웨어 설계

본 논문에서는 DCORDIC 기반 고정 소수점 연산을 수행하는 위상 연산기 하드웨어를 설계하기 위하여 기존의 연구[10]에서 도출해낸 설계사양을 이용하였다. 내부 연산의 비트 수 16 비트(부호 1 비트, 정수부분 2 비트, 소수부분 13 비트), 반복 횟수 14회를 적용하여 MATLAB을 이용한 고정소수점(fixed-point) 모델링과 시뮬레이션을 수행하였다. 원본 데이터 대비 오차의 결과는 그림 1과 같다. 최대 오차는 1.99%, 평균 오차는 0.67%로 나타나 우수한 정밀도가 얻어졌다.

DCORDIC 알고리즘 기반의 위상 연산기는 기존의 CORDIC 알고리즘에 비해 하드웨어 구조 복잡해지고 면적이 커지는 단점이 있지만, 현재 단계의  $y$  성분의 부호가 계산 되지 않은 상태에서 연산을 계속해서 수행 할 수 있고, 내부 연산

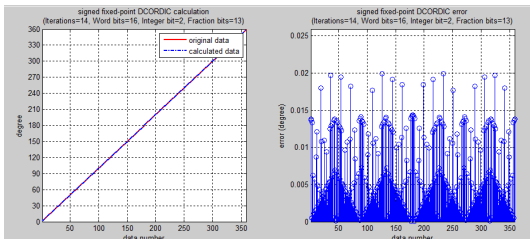


그림 1. 위상연산기의 MATLAB 시뮬레이션 결과

에 redundant binary 수 체계를 적용하여 내부 가산/감산기를 Carry Save(CS) 가산/감산기로 구현하고 캐리전파를 줄여 고속 동작이 가능하다.

설계된 전체 위상 연산기의 하드웨어 구조는 그림 2와 같다. CORDIC은  $-90^\circ \sim 90^\circ$  범위의 입력 벡터에 대해서만 위상 연산이 가능하게 설계되어, 이를 보상해 주기 위해 입력 데이터는 pre-process 블록을 통해 전처리 과정을 거친 후, pipelined DCORDIC 블록으로 들어간다. 최종적으로는 연산된 위상  $z_{out}$ 이 radian 형태로 출력된다.

DCORDIC 기반 위상 연산기의 구조는 그림 3과 같이 pipelined 구조를 적용하여 구현하였다. 반복 횟수에 해당하는 14개의 연산 stage로 구성되며, 각 연산 stage는 식 (8)의  $x_{i+1}, |\hat{y}_{i+1}|, z_{i+1}$ 를 계산하는 회로들로 구성된다.  $x_{i+1}$ 와  $|\hat{y}_{i+1}|$ 를 계산하는 회로는 절대 값 변환 블록, C S 가산/감산기, 파이프라인 레지스터로 구성되며,  $z_{i+1}$  계산 회로는  $\tan^{-1}(2^{-i})$ 를 저장하는 LUT와 CS 가산기, 파이프라인 레지스터로 구성된다.

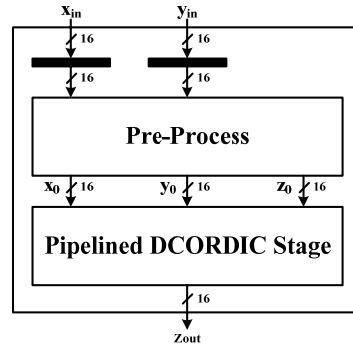


그림 2. DCORDIC 기반 위상 연산기의 구조

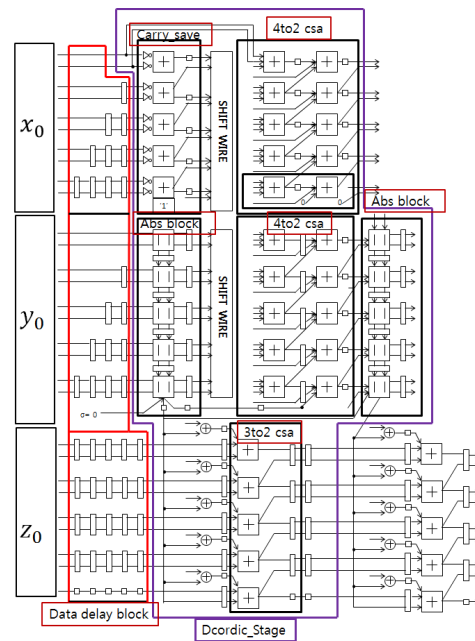


그림 3. Pipelined DCORDIC의 하드웨어 구조

### V. 설계검증 및 성능평가

Verilog HDL로 설계된 DCORDIC 기반의 위상 연산기는 MATLAB을 이용한 입력 데이터 생성과 Modelsim을 이용한 시뮬레이션을 통해 기능 검증을 하였다. 설계된 위상 연산기의 HDL 모델을 FPGA에 구현하고, MATLAB/Simulink와 연동시킨 FPGA-in-the-loop 환경을 통해 하드웨어 동작을 검증하였다. 그림 4(a)는 설계된 위상연산기의 FPGA 검증을 위한 FPGA-in-the-loop 환경이며, Xilinx Virtex5 XC5VSX50T FPGA 디바이스가 사용되었다. MATLAB에서 위상 연산기의 입력으로 사용될 16 비트의 입력 벡터를 생성하였다. 생성된 벡터는 Simulink를 통해 위상 연산기가 구현된 FPGA에 인가되고, FPGA에서 출력되는 위상 데이터는 Simulink와 MATLAB을 이용하여 3차원 데이터로 복원된다. 그림 4(b)는 FPGA-in-the-loop 검증 결과를 보이고 있다. FPGA 합성 결과 13,462 slices로 구현되었으며, 469 MHz로 동작하여 7.5 Gbps의 성능을 갖는 것으로 평가 되었다.

### VI. 결론

3차원 영상처리용 TOF 센서의 거리 측정을 위한 DCORDIC 기반 위상 연산기를 설계하였다. 설계된 위상 연산기는 16 비트(부호 1 비트, 정수부분 2 비트, 소수부분 13 비트)의 고정 소수점 연산으로 14회의 CORDIC stage 반복을 통해 위상 값을 계산한다. 0° ~ 360° 범위에 대해, 최대 오차 1.99%, 평균 오차 0.67%의 연산 정밀도를 갖는다. 설계된 위상 연산기는 FPGA-in-the-loop 환경을 통해 하드웨어 기능 검증을 하였다.

DCORDIC 기반 위상 연산기는 FPGA 합성 결

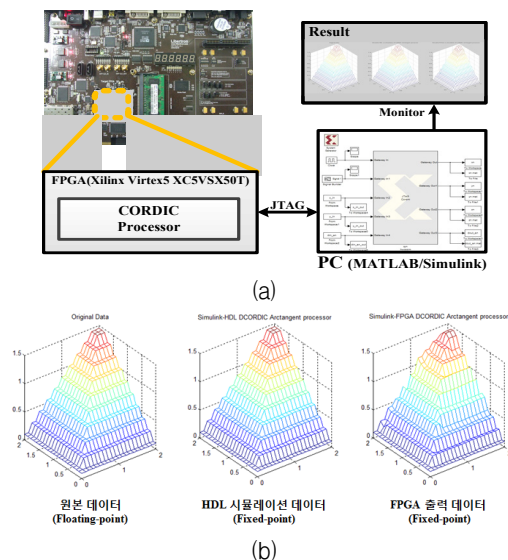


그림 4. 위상연산기의 하드웨어 검증  
(a) FPGA-in-the-loop 검증 환경, (b) FPGA 구현을 통한 3차원 데이터 복원

과 13,462 slices로 구현되었고, 469 MHz로 동작하여 7.5 Gbps의 성능을 갖는 것으로 평가 되었다.

### 감사의 글

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구비를 지원받았음.

### 참고문헌

- [1] S. Hussmann, T. Ringbeck, and B. Hagebecker, "A performance review of 3D TOF vision systems in comparison to stereo vision systems," in Stereo Vision. Vienna, Austria: I-Tech Edu. Publ., ch. 7, pp. 103-120, 2008.
- [2] 호요성, "다시점 카메라와 깊이 카메라를 이용한 3차원 실감방송 콘텐츠 제작," 전자공학회지, 제38권 2호, pp. 44-49, 2011.
- [3] Jongenelen, A.P.P., "Development of a Compact, Configurable, Real-time Range Imaging System," Ph.D dissertation. School of Eng. Victoria University of Wellington, 2010.
- [4] S. Hussmann, T. Edeler, "Pseudo 4-phase shift algorithm for performance enhancement of 3D-TOF vision systems," IEEE Trans. Instrum. Meas., vol. 59, no. 5, pp. 1175-1181, May 2010.
- [5] S.B. Gokturk, H. Yalcin, and C. Bamji, "A time-of-flight depth sensor, system description, issues and solutions," in Proc. IEEE Conf. Computer Vision and Pattern Recognition, Washington, DC, p. 35, 2004.
- [6] Herbert Dawid, Heinrich Meyr, "The Differential CORDIC Algorithm : Constant Scale Factor Redundant Implementation without Correcting Iterations" of IEEE, 1996.
- [7] R. Gutierrez, V. Torres, J. Valls, "FPGA-implementation of atan(Y/X) based on logarithmic transformation and LUT-based techniques," Journal of Systems Architecture, volume 56. issue 11, pp. 588-596, 2010.
- [8] M. Saber, Y. Jitsumatsu, T. Kohda, "A low-power implementation of arctangent function for communication application using FPGA," Fourth International Workshop on Signal Design and its Applications in Communications (IWSDA' 09), pp. 60-63, 2009.
- [9] J. E. Volder, "The CORDIC trigonometric computing technique," IRE Transactions on Electronic Computing, vol. EC-8, no. 3, pp. 330-334, 1959.
- [10] 구정윤, 신경욱, "TOF 센서용 3차원 Depth Image 추출을 위한 고속 위상 연산기 설계," 한국정보통신학회논문지, 17(2), pp. 355-362, 2013.