
51-위상 출력 클럭을 가지는 125 MHz CMOS 위상 고정 루프

이필호* · 장영찬*

*금오공과대학교

A 125 MHz CMOS Phase-Locked Loop with 51-phase Output Clock

Pil-Ho Lee* · Young-Chan Jang*

*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

본 논문에서는 125 MHz 동작 주파수에서 51개 위상의 클럭을 출력하는 위상 고정 루프 (phase-locked loop: PLL)을 제안한다. 제안된 위상 고정 루프는 125 MHz 주파수의 51-위상 클럭을 출력하기 위해서 저항으로 연결된 3개의 전압제어발진기 (voltage controlled oscillator: VCO)를 이용한다. 각 전압제어발진기는 17단의 delay-cell로 구성되며, 3 개의 전압제어발진기를 연결하는 저항을 통해 동일한 위상차를 가지는 51개 위상 클럭을 구현한다. 제안된 위상 고정 루프는 1.0 V의 공급전압을 이용하는 65 nm CMOS 공정에서 설계되었으며, 125 MHz 동작 주파수에서 시뮬레이션된 DNL과 peak-to-peak jitter는 각각 +0.0016/-0.0020 LSB와 1.07 ps이다. 제작된 위상 고정 루프의 면적과 전력 소모는 각각 $290 \times 260 \mu\text{m}^2$ 과 2.5 mW이다.

ABSTRACT

This paper describes a phase-locked loop (PLL) that generates a 51-phase clock with the operating frequency of 125MHz. To generate 51-phase clock with a frequency of 125 MHz, the proposed PLL uses three voltage controlled oscillators (VCOs) which are connected by resistors. Each VCO consists of 17 delay-cells. An resistor averaging scheme, which makes three VCOs to connect with each other, makes it possible to generates 51-phase clock of the same phase difference. The proposed PLL is designed by using 65 nm CMOS process with a 1.0 V supply. At the operating frequency of 125 MHz, the simulated DNL and peak-to-peak jitter are +0.0016/-0.0020 LSB and 1.07 ps, respectively. The area and power consumption of the implemented PLL are $290 \times 260 \mu\text{m}^2$ and 2.5 mW, respectively.

키워드

다중 위상 출력 클럭 PLL, 전압제어발진기, 저항 평균화 기법

1. 서 론

최근 모바일, 통신과 같은 응용분야의 인터페이스는 병렬방식보다 직렬방식을 많이 사용함에 따라서 송신기와 수신기 각각에 serializer와 de-serializer를 사용한다. 이런 serializer는 일반적으로 다중 위상 클럭 발생기를 사용하여 구현되고 있다. 다중 위상 클럭 발생기는 지연 고정 루프 (DLL: delay-locked loop)와 위상 고정 루프 (PLL: phase-locked loop)에 의해 구현될 수 있다. DLL과 PLL각각은 전압 제어 지연 라인 (VCDL:

voltage controlled delay line), 전압 제어 발진기 (VCO: voltage controlled oscillator)의 지연 소자의 개수에 따라 위상 수가 결정된다. 수십 개의 위상을 출력하기 위한 VCDL과 VCO는 지연 소자의 수가 많아져 DLL과 PLL의 최대 동작 주파수가 제한된다. 이러한 제한을 해결하기 위해 위상 인터플레이션을 이용한 DLL과 PLL이 제안되었다 [1][2]. VCDL을 사용하는 DLL은 특정 클럭이 기준 클럭의 위상만을 추적하여 맞춰주기 때문에 VCDL에서 출력되는 일부 클럭간의 위상차가 크게 발생될 수 있다. 그러나 VCO를 사용하

는 PLL은 특정 클록이 기준 클록의 위상과 주파수 모두를 추적하여 맞추주기 때문에 VCO에서 출력되는 인접한 클록간의 위상차가 동일하다. 다중 위상 PLL은 최대 동작 주파수를 고려하여 단일 링 또는 다중 링으로 구현할 수 있다. 다중 링으로 구현할 경우 링 간의 일정한 위상 관계를 맞추주기 위해서 저항 평균화 기법을 사용할 수 있다. 그리고 저항 평균화 기법은 differential non-linearity (DNL)를 개선한다. 본 논문에서는 125 MHz 동작 주파수에서 51 개 위상 클록을 출력하기 위한 VCO와 PLL 구조를 제안한다.

II. 51-위상 출력 클록을 가지는 PLL

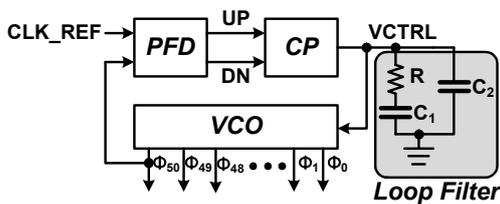


그림 1. 제안된 PLL의 블록도

그림 1은 제안된 51-위상 출력 클록을 가지는 PLL의 블록도이다. PLL의 주요 블록인 위상 주파수 검출기 (PFD: phase frequency detector)와 전하 펌프 (CP: charge pump)는 보편적으로 사용되는 구조를 가지며 루프 필터 (Loop Filter)는 R/C 구조를 사용한다 [3]. 그리고 VCO는 51개의 지연 소자를 다중 링으로 구현하여 최대 동작 주파수를 높였고 인접한 클록 사이에 저항을 추가하여 일정한 위상 관계를 형성하고 DNL을 개선한다. PFD는 PLL의 기준 클록인 CLK_REF와 VCO 출력 클록 하나를 입력 받아 두 클록의 위상과 주파수 차를 UP, DN 신호로 출력한다. CP는 입력된 UP, DN에 의해서 전하를 루프 필터로 충전 또는 방전시킨다. CP에 의해서 충전 또는 방전된 루프 필터는 VCO를 제어할 제어 전압인 VCTRL을 생성한다. VCTRL은 VCO 출력 클록의 위상과 주파수를 제어하고 업데이트된 VCO 출력 클록은 다시 PFD로 입력되어 앞의 과정을 반복한다. 이와 같이 PLL은 루프를 형성하여 CLK_REF를 계속 추적하고 일정 반복 후에는 PFD의 두 입력이 동일해지는 고정 상태가 된다.

그림 2는 51-위상 출력 클록을 생성하기 위한 VCO의 블록도이다 [1][4]. 각각의 지연 소자 (delay cell)는 CP와 루프 필터에 의해서 생성된 VCTRL로 지연이 제어된다. VCO의 최대 동작 주파수를 고려하여 51개의 지연 소자들을 단일 링으로 구현하지 않고 17개씩 3개의 링으로 구현하였다. 17개씩 3개로 구성된 링은 일정 위상 관계를 만들기 위해서 인접한 클록 사이를 저항으로 연결한 저항 평균화 기법을 사용한다. 저항 평균화 기법은 클록간의 위상을 평균화하기 때문에

위상 오차를 줄인다. 그러나 저항 값을 크게 감소시키면 평균화가 증가되어 최대 동작주파수가 감소되고 jitter를 악화시킬 수 있다. 반대로 저항 값이 크게 증가되면 평균화가 감소되어 위상 오차를 증가시킬 수 있다. 그렇기 때문에 동작 주파수, jitter, 위상 오차를 고려하여 저항 값을 선택한다. VCO는 3개의 다중 링과 저항 평균화 기법에 의해서 일정한 위상차를 가지는 하나의 링처럼 구현된다. 이런 PLL 구조는 DLL구조 보다 위상오차가 작기 때문에 DNL 특성이 우수하다. DLL은 라인 구조인 VCDL을 사용하기 때문에 PD에서 발생하는 불일치만큼 최초 클록과 마지막 클록에 위상오차가 발생된다. 이 위상오차는 DNL 특성을 크게 악화시킨다. 하지만 PLL은 링 구조인 VCO를 사용하기 때문에 PFD에서 발생하는 불일치가 모든 클록간의 위상차로 분배된다. 이런 현상에 의해서 심각한 위상오차가 발생하지 않고 불일치로부터 DNL을 유지할 수 있다.

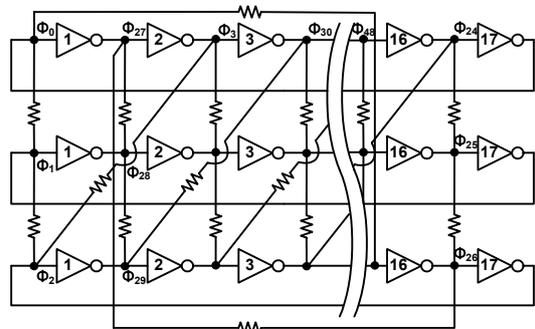


그림 2. VCO 블록도

III. 레이아웃 및 시뮬레이션 결과

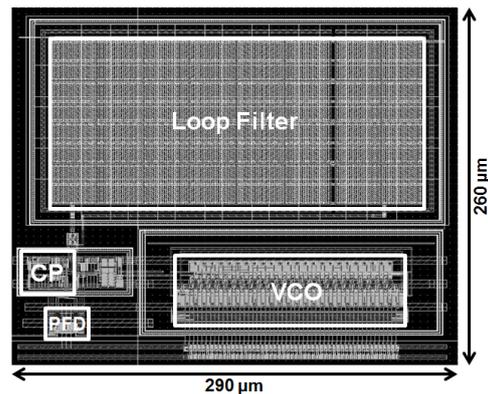


그림 3. 제작된 PLL의 레이아웃

그림 3은 본 논문에서 제안하는 PLL의 레이아웃이다. 1 V 공급전압, 65 nm CMOS 공정에서 설계되었다. PLL의 출력 클록의 jitter와 전력소모는 125 MHz 동작 주파수에서 각각 1.07 ps, 2.5 mW 이다. 그리고 면적은 290 × 260 μm² 이다.

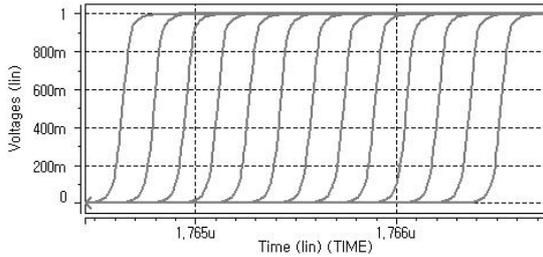


그림 4. 125 MHz 입력 클럭에서 시뮬레이션된 51-위상 출력 클럭 중 $\Phi_0 \sim \Phi_{12}$ 파형

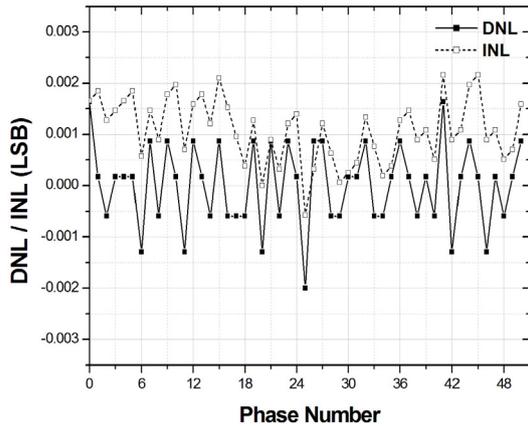


그림 5. 125 MHz 입력 클럭에서 시뮬레이션된 51-위상 출력 클럭의 DNL과 INL

그림 4는 설계된 PLL의 125 MHz 입력 클럭에서 시뮬레이션된 51-위상 출력 클럭 중 일부인 $\Phi_0 \sim \Phi_{12}$ 파형이다. 인접한 클럭 간에는 약 7° (156.86 ps)의 위상차를 가진다. 그림 5는 125 MHz 입력 클럭에서 시뮬레이션된 51-위상 출력 클럭의 DNL과 INL이다. 이 결과는 시뮬레이션된 위상차를 이용하여 연산한 결과이다. 시뮬레이션된 DNL과 INL은 각각 +0.0016/-0.0020, +0.0022/-0.0006 이다. 표 1은 설계된 51-위상 출력 클럭 PLL의 성능 요약이다.

IV. 결론

제안된 51-위상 출력 클럭 PLL은 1 V 공급전압, 65 nm CMOS 공정에서 설계되었다. VCO는 17단의 지연 소자로 구성된 링 3개의 링 구조로 되어 있으며 3개의 링은 저항 연결에 의해서 일정한 위상 관계를 가진다. 또한 이 저항은 평균화를 통하여 위상오차를 감소시켜 DNL과 INL을 개선한다. 설계된 PLL은 VCO를 사용하기 때문에 DLL보다 공정상의 불일치에 둔감하다. 그래서 PLL의 DNL과 INL은 공정상의 불일치에 영향을 크게 받지 않는다.

표 1. 51-위상 출력 클럭 PLL의 성능 요약

공정	65 nm CMOS
공급전압	1 V
면적	$290 \times 260 \mu\text{m}^2$
전력 소모	2.5 mW (@125 MHz)
해상도	156.86 ps (T/51)
DNL(LSB)	+0.0016/-0.0020
INL(LSB)	+0.0022/-0.0006
Jitter	1.07 ps peak-to-peak (@125 MHz)

감사의 글

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2013R1A1A4A01012914), the Human Resource Development Project by ETRI SW-SoC R&BD Center, and IDEC.

참고문헌

- [1] J.-M. Chou, Y.-T. Hsieh, and J.-T. Wu, "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 5, pp. 984 - 991, May 2006.
- [2] Y.-S. Kim, S.-K. Lee, H.-J. Park and J.-Y. Sim, "A 110 MHz to 1.4 GHz Locking 40-Phase All-Digital DLL," *IEEE J. Solid-State Circuits*, vol. 46, no. 2, pp. 435-444, Feb. 2011.
- [3] I. Young, J. Greason, and K. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp. 1599-1607, Nov. 1992.
- [4] A. Matsumoto, S. Sakiyama, Y. Tokunaga, T. Morie, and S. Dosho, "A Design Method and Developments of a Low-Power and High-Resolution Multiphase Generation System," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 831-843, Apr. 2008.