

## AXI 프로토콜 기반의 버스를 위한 중재기 설계

\*이윤혁 \*서영호 \*김동욱

광운대학교

\*winner9100@kw.ac.kr

## Implementation Arbitrator for AXI-based Bus

\*Lee, Yoon-Hyuk \*Seo, Young-Ho \*Kim, Dong-Wook

KwangWoon University

## 요약

최근 SoC의 발전으로 하나의 칩내에 많은 IP를 구현함으로써 IP간 통신을 위한 버스 시스템이 칩에 성능에 큰 요소가 되고 있다. 버스 시스템의 기존의 중재 방식으로 Fixed Priority, Round Robin, TDMA 방식 등이 있다. 하지만 기존의 중재 방식은 여러 문제점을 가지고 있다. 그중 Burst 기반의 버스에서 발생하는 문제로 하나의 우선순위가 낮은 마스터에서 중요한 데이터를 전송하는데 대기시간이 길어지는 것이 있다.

본 논문에서는 위의 문제점을 해결하기 위해 대기시간을 줄일 수 있는 매 클록마다 중계되는 중계 방식을 제안하고 이를 AXI 프로토콜 기반의 버스에 적용하여 구현하였다.

## 1. 서론

최근 SoC의 발전으로 하나의 칩 내에 많은 프로세서를 구현하고 있다. 많은 프로세서를 하나의 칩 내에서 구현함으로써 프로세서간의 통신 시스템인 버스가 칩의 성능에 큰 요소가 되고 있다. 그중 전 세계의 70%이상을 차지하는 AMBA시스템이 SoC의 통신 표준이 되고 있다. 일반적인 버스 시스템은 여러 마스터 및 슬레이브의 통신을 위해 중계기와 디코더 등으로 구성된다. 버스 내에 마스터와 슬레이브간의 효율적인 통신을 위해서 각 IP간 요청 신호를 받아서 적절한 IP를 선택하여 버스를 점유할 수 있도록 선택하기 위해 버스는 중계기를 필요로 한다. 기존의 중계방식으로는 Fixed Priority, Round Robin, TDMA방식등 여러 가지가 있다[1].

본 논문에서는 기존의 중계방식의 문제점을 개선하기 위해 기존 방식을 조합하여 AMBA 시스템의 AXI 버스 기반의 새로운 중계방식을 제안하고 구현하였다.

## 2. 중재방식

SoC에서 여러 프로세서의 요청을 중재하기 위한 중재 방법으로 대표적으로 Fixed Priority, Round Robin, TDMA등의 중재 방식이 있다. 그림 1에 중계방식에 대하여 나타내었다. 그림 1(a)는 Fixed Priority 방식으로 미리 마스터의 우선순위를 정하여 동시에 2개 이상의 마스터에서 점유 요청 신호가 들어올 경우 우선순위가 높은 마스터가 버스를 점유한다. 이 방식은 우선순위가 높은 마스터가 버스를 계속 점유할 경우 다른 마스터는 점유할 수 없어 스타베이션이 발생한다. 그림 1(b)와 (c)는 Round Robin과 TDMA방식을 나타내었다. Round Robin방식은 모든 마스터의 우선순위는 동일하고 현재 요청 램에 해

당하는 신호가 마스터로부터 받을 경우 버스를 점유할 수 있다. TDMA 방식은 우선순위가 높은 마스터의 경우 슬롯의 개수를 많이 할당하고 현재 슬롯에 해당하는 마스터에서 요청이 없을 경우 Round Robin 방식으로 중계를 한다. 두 방식 모두 모든 스타베이션 문제는 해결할 수 있으나 급한 데이터를 전송하기 위해 대기하는 마스터의 경우 대기 시간이 길어질 수 있다. Burst 기반의 버스에서 하나의 마스터가 버스를 점유하면 하나의 Burst가 끝날 때까지 버스를 점유하게 된다. 만약 마스터에서 급한 데이터 전송이 필요로 할 경우 최소 점유하고 있는 마스터의 Burst 데이터 전송이 모두 끝난 뒤에 중계하는 시간 동안 기다려야 버스를 점유 할 수 있으므로 대기 시간이 길어지게 된다.

## 3. 제안하는 중재방식

AXI 버스는 마스터의 VALID 신호와 슬레이브의 READY 신호 간의 핸드셰이킹을 통하여 데이터를 전송한다. 즉 VALID신호와 READY 신호 모두 1일 경우 다음 클록에서 데이터를 전송한다[2]. 따라서 제안하는 중재 방식은 VALID 신호가 마스터의 요청신호가 되고, READY 신호는 허가 신호이다. 따라서 VALID 신호가 1인 상태에서 허가 신호가 1이 되어 READY신호가 들어오면 전송이 이루어진다. 그림 2는 제안하는 중재 방식을 나타내었다. 마스터로부터 새로운 요청 신호가 입력되고 Fixed Priority 방식으로 우선순위가 높은 마스터가 선택되면 해당 마스터로부터 입력되는 요청 신호는 LAST신호가 입력될 때까지 0상태가 된다. 또한 선택된 요청 신호는 요청주소에 해당하는 레지스터에 저장되고 요청주소와 허가주소는 카운트되어 하나씩 증가한다. 저장된 요청신호는 매 클록 주기마다 시프팅 되고 마지막 레지스터의 요청신호는 해당 마스터에 허가신호로 출력된다. 만약 허가

신호가 출력될 때 해당 마스터의 LAST신호가 1일 경우 허가주소와 요청주소는 하나씩 감소하고 0일 경우 허가주소에 해당하는 레지스터에 출력된 허가신호가 저장된다. 표 1에 유효 요청신호와 LAST 신호에 따른 요청 및 허가 주소에 상태에 대하여 나타내었다.

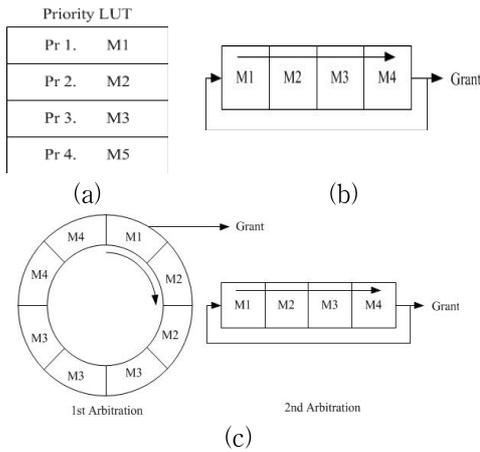


그림 1 중계방식: (a) Fixed Priority, (b) Round Robin, (c) TDMA

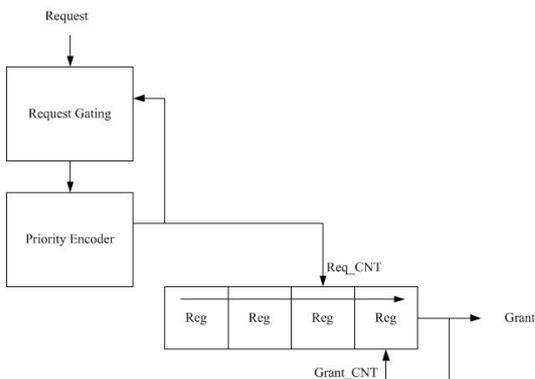


그림 2 제안하는 중계기의 구조

표 1 요청신호와 Last 신호에 따른 주소 카운터의 상태

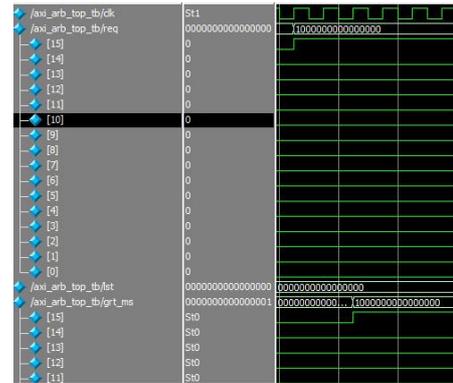
VAL	LAST	CNT <sub>t+1</sub>	REQ		GRANT	
			ADDR	Data	ADDR	Data
0	0	CNT <sub>t</sub>	CNT <sub>t</sub>	NOP	CNT <sub>t</sub>	Save
0	1	CNT <sub>t-1</sub>	CNT <sub>t</sub>	NOP	CNT <sub>t-1</sub>	NOP
1	0	CNT <sub>t+1</sub>	CNT <sub>t+1</sub>	Save	CNT <sub>t</sub>	Save
1	1	CNT <sub>t</sub>	CNT <sub>t</sub>	Save	CNT <sub>t</sub>	NOP

#### 4. 구현 결과

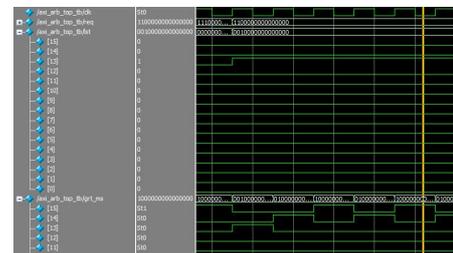
제안한 중계기는 Verilog HDL을 이용하여 설계하였고 ModelSim을 이용하여 검증하였다. 사용된 마스터 및 슬레이브는 C/C++을 이용하여 자체적으로 구현한 IP 모델을 사용하였다.

그림 3은 4개의 마스터와 1개의 슬레이브로 구성된 버스 시스템에서 표 1의 각 상태에 대한 시뮬레이션 결과이다. 그림 3(a)에서 초기 하나의 요청신호가 입력 됐을 때는 2클록 주기가 지나고 허가 신호가

출력된다. 또한 동시에 두 개 이상의 마스터에서 초기 요청 신호가 입력 됐을 경우 둘 중 우선순위가 높은 마스터가 버스를 점유하는 것을 확인할 수 있다. 그림 3(b)에서 Last신호가 들어오면서 레지스터에서 허가신호가 제거되는 것을 확인할 수 있다.



(a)



(b)

그림 3 요청신호와 Last신호에 따른 레지스터 시뮬레이션: (a)요청신호만 입력될 때, (b) Last 신호만 입력 될 때

#### 5. 결론

본 논문에서는 Fixed Priority 방식과 Round Robin 방식을 혼합하여 매 클록 주기마다 중계하는 방식의 중계기를 구현하였다. 구현한 중계기는 중요한 데이터를 급하게 보내야 하는 마스터의 대기 시간을 감소할 수 있다.

#### 감사의글

본 연구는 지식경제부, 방송통신위원회 및 한국 산업기술 평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합 서비스 시스템의 구현을 위한 신호처리 요소 기술 및 하드웨어 IP 개발]

#### 참고문헌

- [1] 고시영, “다양한 조건에 따른 TDMA와 로터리 버스 중계방식의 성능비교”, 한국정보통신학회논문지, 제 16권 9호, pp. 2009-2014, 2012
- [2] AMBA AXI Protocol Specification(v 1.0), ARM Ltd, 2004