

P-007

III-V 화합물 반도체 Interface Passivation Layer의 원자층 식각에 관한 연구

강승현¹, 민경석¹, 김종규³, 염근영^{1,2}

¹성균관대학교 신소재공학부, ²성균나노과학기술원, ³삼성반도체 연구소

Metal-Oxide-Semiconductor (MOS)에서 사용되는 다양한 channel materials로 high electron mobility 을 가지는 III-V compound semiconductor가 대두되고 있다 [1,2]. 하지만 이러한 III-V compound semiconductor는 Si에 비해 안정적인 native oxide가 부족하기 때문에 Si, Ge, Al₂O₃과 BeO 등과 같은 다양한 물질들의 interface passivation layers (IPLs)에 대한 연구가 많이 되고 있다. 이러한 IPLs 물질은 0.5~1.0 nm의 매우 얇은 physical thickness를 가지고 있고 또한 chemical inert하기 때문에 플라즈마 식각에 대한 연구가 되고 있지만 IPLs 식각 후 기판인 III-V compound semiconductor에 physical damage과 substrate recess를 줄이기 위해서 높은 선택비가 필요하다. 이러한 식각의 대안으로 원자층 식각이 연구되고 있으며 이러한 원자층 식각은 반응성 있는 BCl₃의 adsorption과 low energy의 Ar bombardment로 desorption으로 self-limited한 one monolayer 식각을 가능하게 한다. 그러므로 본 연구에서는, III-V compound semiconductor 위에 IPLs의 adsorption 과 desorption의 cyclic process를 이용한 원자층식각으로 다양한 물질인 SiO₂, Al₂O₃ (self-limited one monolayer etch rate=about 1 Å/cycle), BeO (self-limited one monolayer etch rate=about 0.75 Å/cycle)를 얻었으며 그 결과 precise한 etch depth control로 minimal substrate recess 식각을 할 수 있었다.

Keywords: ALET, MOS, Damage