

EDISON 시뮬레이션을 활용한 실리콘 나노선 전계 효과 트랜지스터의 소자변수 분석

신종목¹, 박주현¹, 유재영²

¹고려대학교 전기전자전파공학과, 서울특별시 136-701, 대한민국.

²고려대학교 나노반도체공학과, 서울특별시 136,701, 대한민국.

, e-mail: ¹jms shin89@gmail.com, ¹jus inhard516@hanmail.net, ²uilove777@gmail.com

실리콘 나노선 전계 효과 트랜지스터(Field Effect Transistor: FET)의 특성을 시뮬레이션을 통해 연구하였다. 일반적인 트랜스컨덕턴스(transconductance) 값을 이용하여 소자의 전계 효과 이동도(field effect mobility)를 추출했고, Y-function 방법을 이용하여 저전계 이동도(low field mobility)와 문턱전압(threshold voltage)를 구했다. 채널길이가 10nm로 매우 짧을 때와 100nm의 일반적인 길이 일 때의 전하 이동도 특성을 비교하여 Si 나노선 FET의 쇼트 채널 효과(short channel effect)를 보았다.

서론

나노선은 미래의 전자기술에 쓰이게 될 주요한 재료물질 후보 중 하나다. 이는 나노선과 같은 1D물질이 가지는 우수한 전기적 특성과[1], 종횡비(aspect ratio)가 크다는 구조적인 특성 때문이다[2]. 또한 실리콘은 매우 구하기 쉬워 값이 매우 싸고, 좋은 산화막 유전물질을 얻을 수 있다는 장점 때문에 현재 널리 사용되고 있는 재료물질이다. 현재까지 실리콘 나노선을 사용한 FET에 대한 실험적 연구와, 시뮬레이션을 통한 연구가 많이 진행되어왔다. 하지만 실제 실험과 같이 시뮬레이션 결과를 바탕으로 소자변수를 분석하여 추출하는 시도는 많이 시행되지 않았고, 쇼트 채널의 경우 소자 특성이 어떻게 변하는지에 대한 분석은 많지 않았다. 또한 전극과 채널의 접촉이 완벽하게 이루어져 있지 않은 경우에 대한 분석 또한 부족하였다. 이 연구에서 본 연구팀은 EDISON 프로그램을 활용해 실리콘 나노선 FET의 채널 도핑농도와 채널, 전극간의 쇼트키 배리어 높이(Schottky barrier height)에 따른 문턱 전압과 전하 이동도를 추출하였고, 채널 길이가 매우 짧을 때와 적당한 길이 일 때의 소자 특성을 비교하였다

연구 방법

연구를 위해, EDISON의 Nanowire FET 시뮬레이터를 사용하였다. 시뮬레이션을 위해 구상한 소자는 그림 1과 같다. 3차원 게이트(Tri gate) 구조를 가지고 있으며, 채널 길이와 두께는 각각 10nm, 3nm로 매우 짧다. 그림에는 표시되어 있지 않지만 짧은 채널과의 비교를 위해 채널 길이가 100nm인 소자도 시뮬레이션 하였다. 쇼트키 접촉의 효과를 보기 위해 쇼트키 배리어

높이를 이상적인 0eV부터 0.4eV까지 다양하게 설정하였고, 채널물질의 도핑 농도는 도핑을 거의 하지 않은 정도인 $1 \times 10^{13} \text{cm}^{-3}$ 부터 $1 \times 10^{17} \text{cm}^{-3}$ 까지 다양하게 적용하였다. 50mV의 드레인 전압을 주고 -2 ~ 2V까지 게이트 전압을 주어 전달곡선(transfer curve)를 보았다.

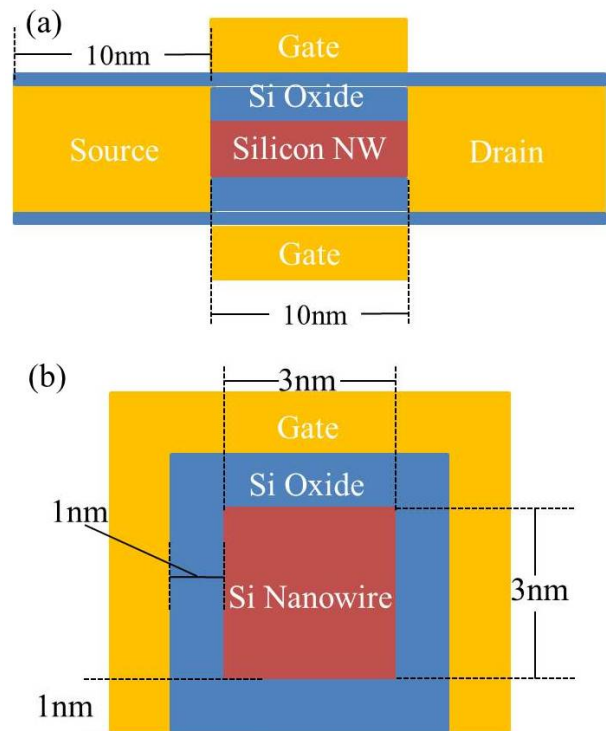


그림 1 시뮬레이션을 위해 구상한 쇼트 채널 FET의 도식.(a) 위에서 본 모습, (b) 옆에서 본 모습

소자의 전하 이동도는 전계 효과 이동도와 저전계 이동도, 이렇게 두 가지 이동도를 추출하여 비교하였다. 전계 효과 이동도를 구하기 위해 다음의 기본적인 MOSFET 수식을 활용하였다.

$$I_{DS} = \mu_n C_{OX} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (1)$$

여기에서 I_{DS} 는 드레인 전류, C_{OX} 는 게이트 유전물질의 캐패시턴스, W 는 채널의 두께, L 은 채널의 길이, 그리고 V_{th} 는 문턱전압이다. 위 수식에서 양변을 V_{GS} 로 미분하면

$$\begin{aligned} \frac{\partial I_{DS}}{\partial V_{GS}} &= g_m \\ &= \mu_n C_{OX} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right) \end{aligned} \quad (2)$$

이다. 드레인 전류를 게이트 전압으로 미분한 트랜스컨덕턴스를 이용해 전하 이동도를 구한다[3]. 그림 2 (a)는 대표적인 $g_m - V_{GS}$ 그래프로 게이트 전압이 증가함에 따라 함께 증가하다가 어느 정도 후에 감소하는 것을 알 수 있다. 극대값인 피크값(peak)이 존재하게 되는데, 이 지점에서의 g_m 값을 활용하여 전계 효과 이동도를 구할 수 있다. 수식(2)를 μ_n 에 대하여 정리하면 다음과 같다.

$$\mu_n = g_m \frac{L}{C_{OX} V_{DS} W} \quad (3)$$

이 수식의 상수들을 대입해서 전계 효과 이동도를 추출했다.

저전계 이동도와 문턱전압은 Y function 방법을 이용하여 구했다[4]. Y function 는 다음과 같이 정의된다.

$$Y = \frac{I_D}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{OX} \mu_0 V_{DS}} \times (V_G - V_{th}) \quad (4)$$

Y function 을 그려보면 그림 2(b)에서 볼 수 있는 것과 같이 어느 순간 곡선이 선형적으로 증가하는 것을 볼 수 있다. 저전계 이동도는 이 선형적인 영역에서의 기울기와 관련이 있다. 선형 영역에서의 기울기는 수식 (4)로부터

$$\text{slope} = \sqrt{\frac{W}{L} C_{OX} \mu_0 V_{DS}} \quad (5)$$

임을 알 수 있고 여기서 구하는 전하 이동도

$$\mu_0 = \frac{\text{slope}^2}{C_{OX} V_{DS} W} \quad (6)$$

가 소자의 저전계 이동도다. 또한 문턱전압은 Y function 의 x 절편 값으로 구할 수 있다.

결과 및 토의

그림 3(a)는 쇼트키 배리어 높이에 따른 전하 이동도를 표현한 그래프다. 쇼트키 배리어 높이가

커질수록 전하 이동도가 떨어지는 사실을 알 수 있었다. 쇼트키 배리어가 커지면 소스에서 나노선으로, 나노선에서 드레인으로 전자가 이동하기 어려워지기 때문에 전자의 이동도는 낮아진다.

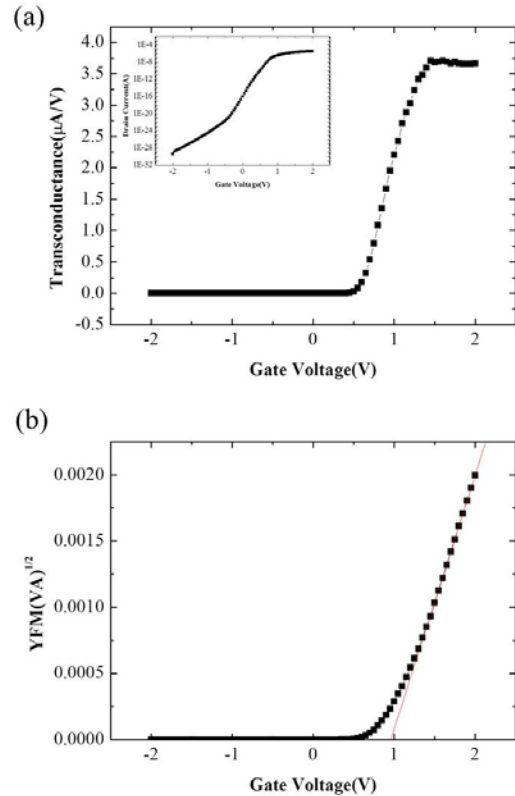


그림 1 (a) 게이트 전압에 따른 대표적인 트랜스컨덕턴스 곡선 (삽도) 로그스케일(log scale)로 표현한 전달곡선 (b) Y function. 빨간색 직선은 선형적인 영역을 피팅(fitting)한 것. 두 그래프 모두 쇼트키 배리어 높이는 이상적인 상황을 가정하여 0eV, 전하의 도핑농도는 $1 \times 10^{16} \text{cm}^{-3}$ 이다.

이동도 크기에 있어서는 전계 효과 이동도보다 저전계 이동도가 더 큰 것을 알 수 있었다. 이는 게이트로 부터의 전계가 커져서 절연막과 채널물질 사이에 전자가 많이 모이게 되면 전자가 채널을 형성하여 전류가 흐를 수 있게 해주지만, 쌓인 전자에 의해 발생하는 산란 또한 커져 전하 이동도가 낮아지기 때문이다[5].

도핑농도와 쇼트키 배리어 높이에 따른 소자의 문턱전압을 표현한 그래프가 그림 3(b)에 나와있다. 쇼트키 배리어가 커질수록, 도핑농도가 커질수록 문턱전압은 커지는 경향을 보였다.

문턱전압은 채널이 생겨 전자가 이동할 수 있게 해주는 게이트 전압을 의미하는데, 쇼트키 배리어가 커지면 실제 이상적인 문턱전압에 도달해도 전자가 움직이기 어려워지기 때문에 문턱전압이 이상적인 경우보다 더 높아진다. 쇼트키 배리어는 일반적인 시뮬레이션에서는 확인할 수 없는 비이상적인 배리어이기 때문에 열처리 등의 방법을 통해 낮춰주는 연구를 진행하고 있다[6][7].

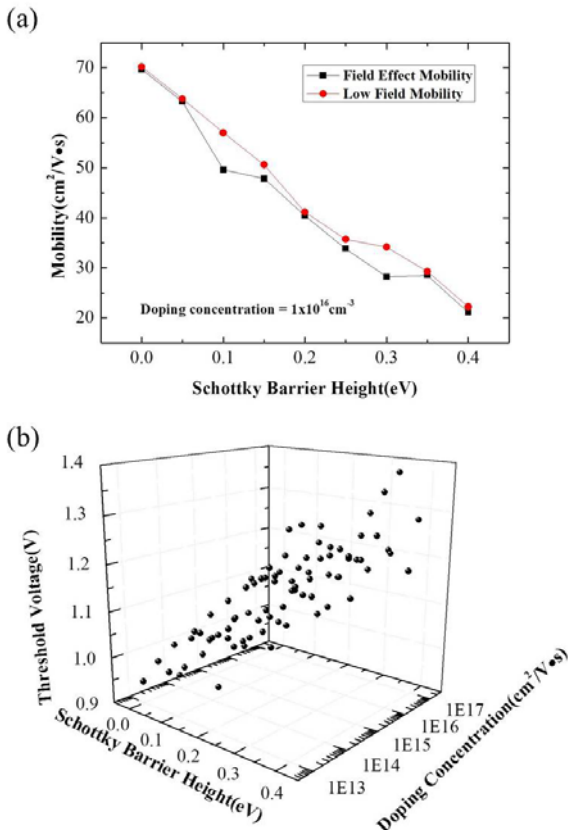


그림 2 (a) 쇼트키 배리어 높이에 따른 전하 이동도의 변화, 전계 효과 이동도와 저전계 이동도를 비교하였다. (b) 쇼트키 배리어 높이와 도핑 농도에 따른 소자의 문턱전압을 3 차원으로 도식한 그래프

도핑농도 또한 채널내의 전자의 농도를 높여주어 전류가 잘 흐르게 해주는 역할을 하지만 도핑 자체가 채널에 불순물을 넣어주어 전자의 흐름을 어느정도 방해하는 역할도 한다. 그렇기 때문에 쇼트키 배리어와 마찬가지로 문턱전압을 더 높이는 결과를 야기한다[8].

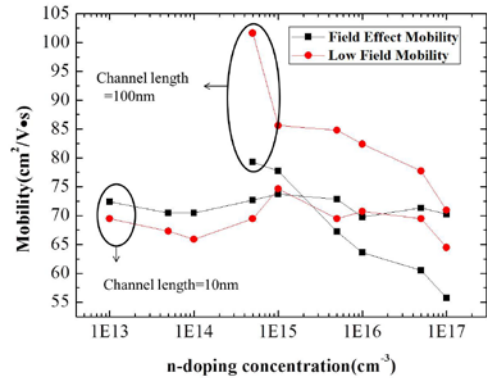


그림 3 도핑농도에 따른 전하 이동도. 두 종류의 채널길이에서의 결과를 비교하였다.

도핑 농도가 문턱 전압을 높이는 결과를 야기한 것과 같은 이유로 도핑 농도가 높아지면 전하 이동도가 낮아져야 하는데[9], 실제 시뮬레이션 결과 도핑 농도와 전하 이동도의 큰 상관관계가 보이지 않았다. 이는 채널이 매우 짧아 쇼트 채널 효과가 발생하였기 때문이다. 그림 4 는 채널이 10nm 일 때와 100nm 일 때의 도핑농도에 따른 전하 이동도를 비교한 그래프다. 그림에서 보이는 것 같이 채널이 길 때는 실제 알려진 이론대로 도핑농도가 커질수록 전하 이동도가 작아지는 것을 볼 수 있다. 이러한 쇼트 채널 효과가 일어나는 이유는 채널 길이가 10nm 정도로 매우 짧을 경우 채널 내부에서 일어나는 저항보다 전극과 채널과의 접촉영역에서 발생하는 저항이 훨씬 크기 때문에 채널 내의 전자의 움직임이 큰 영향을 받지 않기 때문이다[10]. 채널 길이가 100nm 일 때 저전계 이동도와 전계 효과 이동도의 차이가 더 큰 것을 알 수 있었는데, 채널 길이가 길수록 전자에 의한 산란효과가 더 크기 때문이다.

결론

요약하면, 본 연구팀은 EDISON 시뮬레이터를 활용하여 도핑농도와 쇼트키 배리어 높이로 대변되는 비이상성에 따른 소자변수를 추출하고 분석하였다. 일반적으로 알려진 MOSFET 공식과 Y function을 이용하여 전하 이동도와 문턱전압을 추출하였다. 쇼트키 배리어 높이가 커질수록 소자의 전하 이동도는 낮아졌고, 문턱전압은 증가하였다. 도핑농도가 커질수록 문턱전압이 커졌으나, 전하 이동도는 변화가 없었다. 이 것은 쇼트 채널 효과에 기인한 결과로 채널 길이를 길게 하였을 때는 도핑농도가 커질 수록 전하 이동도가 낮아지는 것을 볼 수 있었다.

감사의 글

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단-첨단 사이언스 교육 허브 개발 사업(EDISON)의 지원을 받아 수행된 연구임(No. 2012049863).

참고문헌

- [1] A. T. Tilke et al., Physical Rev. B, **68**, 075311(2003)
- [2] R. Grange et al, App Phys Letters, **95**, 143105(2009).
- [3] A.F. Stassen et al., App Phys Letters. **85**, 3800(2004)
- [4] G. Ghibaudo, Electron. Lett, **24**, 543 (1988)
- [5] K.K. Thronber, J Appl Phys, **51**, 2127(1980)
- [6] S. Nakamura et al, Jap J Applied Physic, **31**, L139(1992)
- [7] K. Nomura et al, App Phys Letters, **95**, 013502(2000)
- [8] H. M. Nayfeh et al, IEEE T Electron Dev, **51**, 2069(2004),
- [9] D. B. M. Klaassen et al. Solid State Electron, **35**, 953(1992)
- [10] J. G. Ruch, IEEE T Electron Dev, **19**, 652(1972)