

반도체 PKG 공정 Die Attach 개선 시스템 설계 연구 Factors for the Improvement of APS

윤 영 도* · 양 광 모** · 강 경 식***

ABSTRACT

실리콘 기반의 반도체 산업은 Moore Rule에 따른 집적도 향상에 힘입어 눈부시게 발전해 왔다. 그러나, 최근 최소 선 폭 수준이 10nm에 다다르면서 공정의 난이도는 한계에 다다랐으며, 한계를 극복하기 위해서는 폭발적인 비용 투입만으로도 확신할 수 없기 때문에 선 폭 미세화 (Scaling Down)를 통한 집적도 향상은 더 이상 비용/성능 측면에 효율적이지 못하다. 이러한 상황으로 인해 반도체 업체들은 한계를 극복하기 위한 여러 가지 방법을 강구하고 있는 실정이다. 이러한 (개발 난이도 증가, 소형화, 경량화, 고집적화에 대한 고객 요구 증대) 한계를 해결하기 위하여, 크게 3가지 관점에서 지속적으로 연구가 이루어 지고 있다. 여기서는 현재 가장 활발한 연구가 이루어 지고 있으며, 가장 대응이 용이한 PKG 신기술 개발에 대하여 다루고자 한다.

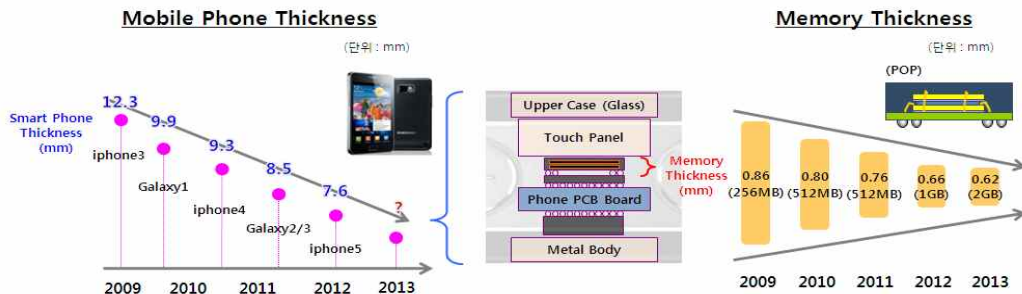
1. 서 론

electrical device 측면에서 최근 trend를 보면 desktop과 laptop에 비해 tablet PC와 mobile phone이 가파르게 성장하고 있다. 소형기기의 성장으로 인하여 소형기기를 구성하는 반도체 제품 역시 소형화, 경량화, 고집적화에 대한 요구가 점차 증대되고 있다. 하지만, 소형화 고집적화 등에 대한 시장의 need를 맞추기에는 앞서 설명한 Scaling Down만으로는 한계에 부딪히고 있다.

* SK 하이닉스 반도체

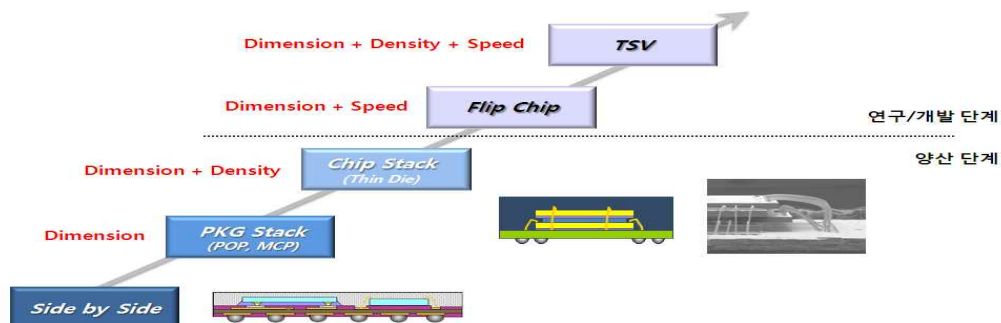
** 유한대학교 산업경영과 조교수

*** 명지대학교 산업경영공학과 교수



[그림 1] 연구 배경

PKG 신기술 개발은 초기에 단순히 옆으로 확장하여 용량을 증대시킨 Side by Side 방식에서부터 갈 수록 진화되어, 소형화, 경량화, 고집적화를 위한 Dimension, Density, Speed를 개선하는 TSV까지 진화되고 있다. 여기서는 현재 양산되고 있으며 일정기간 가장 많은 비중으로 생산될 Stack의 생산성을 개선하고자 한다.



[그림 2] 연구 목적

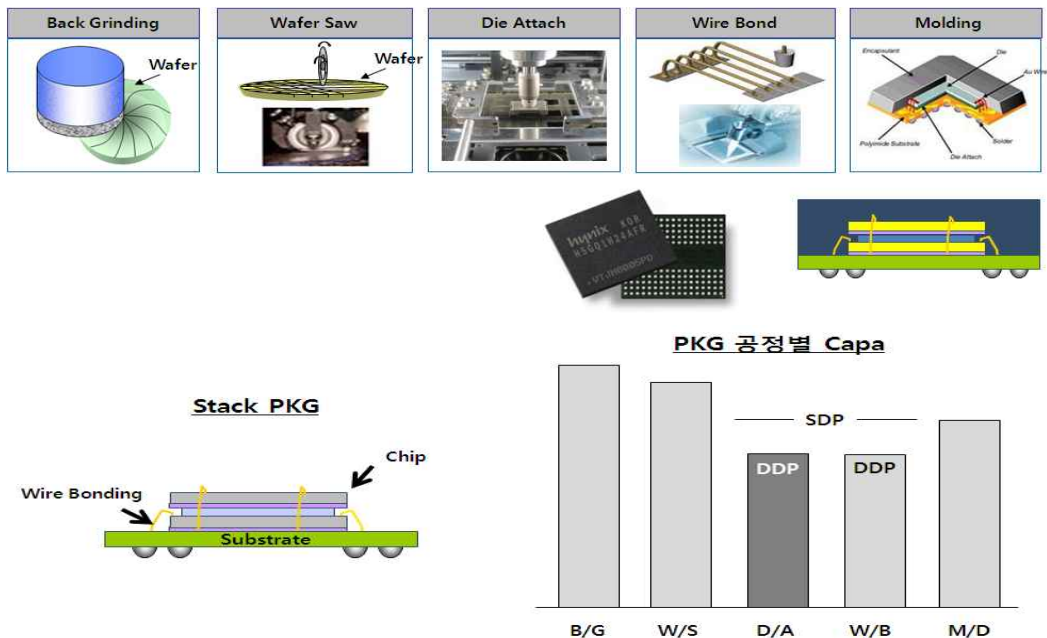
2. 선행연구

김신호(2008)[2]은 현재 반도체 습식공정(Wet process)에서 세정수 · 에칭제를 정량 토출, 정량 컨트롤과 함께 소비된 총 용량을 조절 및 확인하기 위한 정량공급 시스템에 있어서 정량토출을 통한 정량제어가 불확실한 현재의 문제점을 정확히 파악 · 분석하여 생산성 향상에 기여 했다. 박상조(2007)[6] 반도체 수율 분석의 문제점을 보완하기 위하여 다양한 소자를 포함하는 SoC 설계의 초기 단계에서 생산성과 수율 향상을 위하여 통계적 기법과 분석적 기법을 동시에 지원하는 2중 모드 알고리즘을 설계하여 수율분석 및 예측 시스템을 구현하여 생산성 향상을 추구하였다. 김형운(2005)[3] 다품종 소량 생산 체제인 주문형 반도체 제조 공정에서의 일정계획을 중심으로 하여 배치 일정계획에서 이러한 조건하에 총 납기 지연이 최소화 되도록 어떤 그룹의 로트들을 배치 가공할 것이며 언제 가공을 할 것인지 결정하였으며 시뮬레이션 실험을 통

해서 제안된 규칙과 기존의 규칙을 비교하여 생산성 향상에 기여 하였다. 나동길 (2004)[4]는 반도체 공정의 생산성 향상을 위하여 휴리스틱을 적용하여 병목공정 중심의 반복적 일정계획 방법을 통하여 전체 작업장의 일정계획을 구현하였다. 송관배 (2003)[7]는 M사의 반도체 공정의 효율적인 운영을 위하여 M사의 현행시스템과 EDD(Earliest Due Date), SPT(Shortest Process Time)을 비교하였으며, 가중 혼합 할당 규칙인 EDD- SPT를 개발하여 비교하였다. 백종관의 2인(2002)[5]는 반도체 웨이퍼 공정의 로트 일정계획은 투입 정책과 밀접한 관련이 있어서 이용 고려하면서 로트 순서 지정을 수행하는 밀접한 관련성을 연구하였다. Lin, et al.(2001)[8]은 시뮬레이션을 사용한 반도체 웨이퍼 제조의 할당규칙 수단, 할당규칙 방침의 효과를 연구하였다. 이들의 시뮬레이션 결과는 운반장비 이용률 그리고 자재처리량, 대기시간, 평균 운송 시간에 동일하게 영향을 주는 할당 정책을 보여주어 가장 가까운 운반장비를 갖는 최단거리 그리고 선입선출(FIFO) 규칙의 조합은 다른 규칙을 능가함을 보여주었다.

3. 대상 공정

Wafer에 전체 회로를 구성하는 FAB 제조공정이 끝나면 완성된 Wafer를 가지고 메모리 PKG 제조공정이 시작된다. PKG제조공정은 Wafer상의 개별 Die에 리드 프레임을 결합하여 제품화 하는 과정으로 기계적, 화학적 위험요소로부터 소자를 보호하는 공정이다.



[그림 3] PKG 제조공정

메모리의 기능 및 용량을 향상시키기 위한 Stack 형태의 PKG가 지속 증가함에 따라 PKG 제조공정 중 D/A와 W/B의 공정이 Bottleneck이 되고 있다.

- ① D/A (Die Attach) : 개별 Die를 Wafer상에서 떼어내어 외부와 전기적 연결단자인 Substrate에 WBL (Wafer Backside Laminating)을 이용하여 접착하는 공정
- ② W/B (Wire Bonding) : Chip의 단자와 Substrate단자를 Gold Wire를 이용하여 전기적으로 연결해 주는 공정

D/A 공정의 생산성 향상을 위하여, 아래와 같이 6가지 절차를 통하여 소요시간을 개선하고자 한다. 이를 위해, minitab을 활용하여 Data 유효성 및 조건 최적화 등 통계적 기법을 적용하고자 한다.

- ① 세부 동작에 대한 소요시간 측정
- ② 소요시간 단축으로 발생하는 품질이슈 검토
- ③ 정량적 분석을 위한 각 품질이슈에 대한 Data 화 (측정 System Setup)
- ④ 측정 System에 대한 유효성 검증
- ⑤ 소요시간 단축을 위한 조건 도출 및 최적화
- ⑥ 소요시간 단축 및 품질 점검 (개선효과 도출)

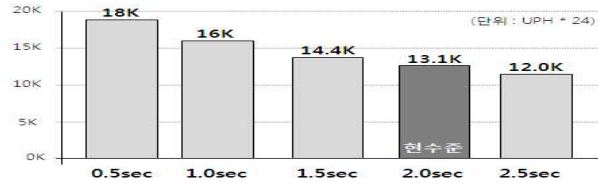
4. 현상 파악

D/A 공정의 세부 동작 및 소요시간 측정결과, 하나의 Die를 Attach하는데 소요되는 시간 중 Die Bonding 동작 소요시간이 약 50%의 비중으로 가장 큰 것으로 확인되었다.



[그림 4] D/A 공정 세부 동작 및 소요 시간

Bonding Time은 현재 2초로 하루 약 13K개를 생산하고 있다. 소요시간이 단축될수록 아래 그림과 같이 생산성이 올라갈 수 있을 것이라 예상된다.

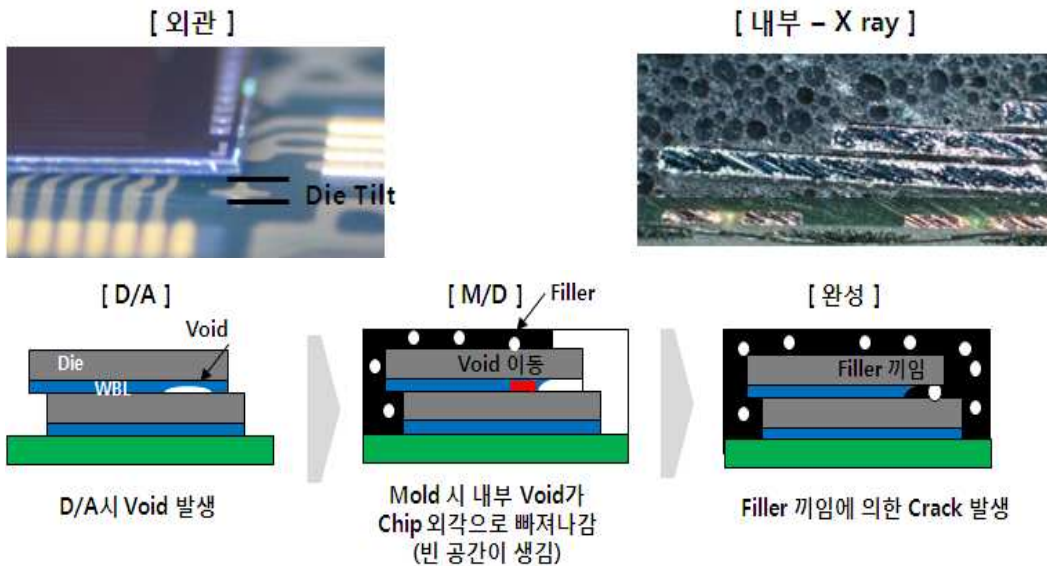


[그림 5] Bonding Time별 Capa

5. 개선 시스템 설계

1) 생산성 개선의 제약 조건

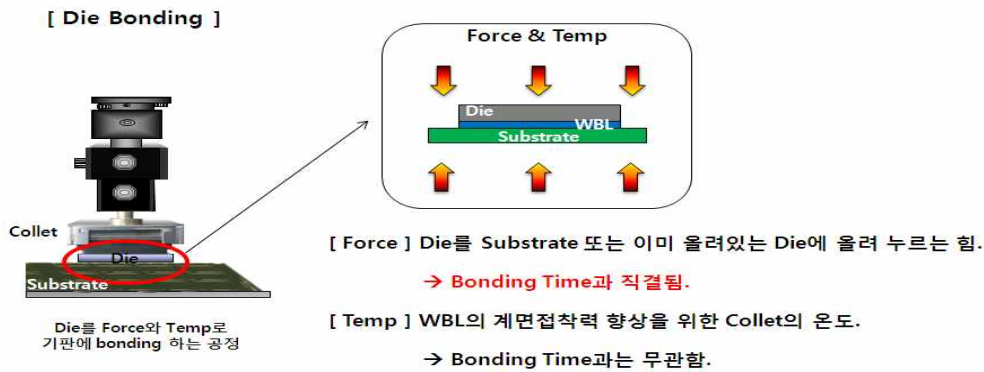
Bonding Time 단축이 내부 Void를 만들어 Die Crack을 유발할 수 있다. 내부 Void란 WBL과 Die사이의 기포가 Molding 공정 시 빠져 나와 Die에 Filler가 유입되는 현상으로 Filler에 의한 Crack (깨짐)이 발생된다. 따라서 Bonding Time 단축 시 Crack을 최소화 시킬 수 있도록 Void의 크기 등을 확인하여야 한다. 또한, Bonding Time 단축이 Die Tilt로 인한 전기적으로 끊어지는 현상을 유발할 수 있다. Die Tilt란 접착력 저하로 Substrate와 Die가 완전히 붙지 않게 되어 Die의 끝 부분이 뜨게 되는 현상으로 전기적 신호가 끊어짐이 발생된다. 따라서 Bonding Time 단축 시 접착력이 유지될 수 있어야 한다.



[그림 6] 제약 조건

2) 개선 프로세스 설계

Die Bonding을 위한 요소로 Force와 Temp가 존재한다. Force는 Die를 Substrate 또는 이미 올려있는 Die에 올려 누르는 힘으로 Bonding Time과 직결되나, Temp는 WBL의 계면접착력 향상을 위한 Collet의 온도로서 Bonding Time과는 무관하다.



[그림 7] 개선 프로세스

- (1단계) 정량적 분석을 위하여 각 품질이슈에 대한 Data 화 (측정 System Setup)
- (2단계) 측정 System에 대한 유효성 검증 (Minitab 활용)
- (3단계) 실험계획법(DOE)을 활용한 Bonding 조건 (Force, Time) 최적화
- (4단계) Bonding Time 단축 및 신뢰성 검증

6. 실험 조건 및 향후 연구과제

본 실험의 목적은 Force, Time 최적화를 통한 Bond time Target 1sec 에서 최적의 Force 값 도출 및 내부 Void 영향 확인하는 것으로 Force는 장비 대응 가능 3Kg 내 최적 값을 선정하고자 한다.

치명인자	실험 조건		세부 내용
Force	-	1kg	-
	+	3kg	장비 대응 가능 최대
Time	-	0.5s	-
	+	1.5s	생산성 고려 Max 선정

[그림 8] 실험 조건

본 연구는 PKG D/A공정 중 Die Bonding 동작에 대하여 생산성 향상을 확인한 후, 이번의 연구 절차에 따라, 향후 D/A공정의 그 밖의 동작들에 생산성 향상 방안 및 Stack PKG 증가로 인한 또 다른 Bottle neck 공정인 W/B(Wire Bonding)공정에도 생산성을 향상이 가능하도록 연구를 진행할 예정이다.

7. 참 고 문 헌

- [1] 김세정(2005), “반도체 생산 공정에서 재공재고 균형과 셋업 시간을 고려한 생산 계획 연구”, 한국과학기술원 산업공학과 박사학위 논문
- [2] 김신호(2008), “반도체제조 습식공정에서의 세정수 에칭제 정량공급 시스템에 관한 연구”, 금오공과대학교 생산기계공학과 박사학위논문
- [3] 김형운(2005), “주문형 반도체 제조공정에서의 일정계획”, 한국과학기술원 산업공학과 박사학위 논문
- [4] 나동길(2004), “이종 병렬 기계 작업장을 가지는 화합물 반도체 공정의 생산 일정 계획 시스템”, 전북대학교 산업정보시스템공학과 박사학위논문
- [5] 백중관, 백준걸, 김성식(2002), “반도체 Fab공정의 효율적인 통제를 위한 생산 기준 범 산출 알고리즘” 대한산업공학회지 제28권 제 4호 pp415-424
- [6] 박상조(2007). “나노미터 공정기술에서 반도체의 DFM과 DFY 향상 시스템”, 호서대학교 컴퓨터공학과 박사학위논문
- [7] 송관배(2003), “가중혼합 할당규칙에 의한 모듈생산시스템 스케줄링”, 명지대학교 산업공학과 박사학위논문
- [8] Lin, J. T., Wang, F. and Yen, P.(2001), “Simulation analysis of dispatching rules for an automated interbay material handling system in wafer fab” International Journal of Production Research Vol 39, No 6, pp1221-1238
- [9] Lu, S. C. H(1991). and Kumar, P. R, “Distributed scheduling based on due dates and buffer priorities”, IEEE Transactions on Automatic Controls, Vol 36, pp1406-1416
- [10] Wein, L. M.(1998), “scheduling semiconductor wafer fabrication” IEEE Transactions on Semiconductor Manufacturing, Vol 1, No 3, pp115-130