

NVRAM 주 메모리를 위한 메모리 컨트롤러 설계

이후웅^o, 원유집^{*}

한양대학교 전자컴퓨터통신공학과^{o*}

e-mail: oihtoto@ece.hanyang.ac.kr^o, yjwon@ece.hanyang.ac.kr^{*}

Design of memory controller for Non-volatile main memory

Hu-Ung Lee^o, Youjip Won^{*}

Dept. of Electronics Computer Engineering, Hanyang University^{o*}

● 요약 ●

본 논문에서는 NVRAM(Non-volatile Random Access Memory) 주 기억장치를 위한 메모리 컨트롤러를 설계한다. NVRAM의 비 휘발성과 낮은 정적 에너지 소모의 장점을 활용하는 한편, 상대적으로 느린 읽기/쓰기 속도 및 큰 쓰기 전력 소모를 개선하기 위해 새로운 캐시 구조를 제안한다. FPGA를 활용하여 Block RAM 128KB 1차 캐시, 16KB 2차 캐시 및 캐시 컨트롤러를 포함하는 메모리 컨트롤러를 구현하였고 NVRAM은 FeRAM를 사용하였다.

키워드: NVRAM, Memory Controller

I. 서론

현대의 컴퓨터는 대부분 DRAM을 주 기억장치로 활용한다. 이는 DRAM의 비교적 빠른 읽기/쓰기 속도, 높은 집적도, 뛰어난 공정 기술, 싼 가격을 활용하기 위함이다. 하지만 DRAM은 커패시터 저장 소자 구조의 특성상 데이터의 유지를 위해 일정 시간마다 리프레쉬(refresh)를 해줘야 하며 공급되는 전원이 끊길 경우 저장되어 있던 데이터가 모두 사라진다.

NVRAM은 리프레쉬가 필요 없고 셀의 누설 전류가 거의 없으므로 정적 에너지 소모가 매우 적다. 더불어, DRAM에 근접한 읽기 속도, 높은 집적도, 바이트 단위 접근 등의 특성을 갖고 있어 차세대 컴퓨팅 시스템의 주 메모리로 많은 관심을 받고 있다. 또한, 비 휘발성의 특징을 활용하여 이를 주 기억장치로 활용할 경우 OS의 지원을 통해 Direct boot나 Instant boot가 가능해지며, 매번 필요한 데이터 보조 기억장치에서 업데이트하지 않고 주 기억장치에 남아 있는 자료구조를 사용해 더 빠르게 처리할 수도 있다[2]. 반면, 높은 쓰기 에너지, 비교적 느린 쓰기 속도, 제한된 쓰기 내구성이 문제점으로 제기되고 있다. 표 1.에 각 메모리의 특성을 비교하였다.

본 논문에서는 NVRAM의 이러한 단점을 개선하기 위해 캐시 구조를 사용하는 NVRAM 메모리 컨트롤러를 설계하였다. 설계에 사용된 NVRAM은 강 유전체를 저장 소자로 하는 FeRAM(Ferroelectrics Random Access Memory)이며, 캐시는 FPGA의 Block RAM을 사용하였다. 구현된 캐시는 128KB의 1차 캐시, 16KB의 2차 캐시를 가진다.

II. 본론

본 연구는 선행 연구에서 개발된 다중 채널 FeRAM evaluation 보드에서 진행되었다[1]. 해당 보드는 삼성 S3C2440 MCU(ARM 920T)를 탑재한 CPU 보드, Xilinx Virtex 4 FPGA를 탑재한 Base 보드, 8MB FeRAM 32개를 다중 채널로 연결한 256MB FeRAM 보드로 구성된다. FeRAM은 FPGA를 통해 MCU 외부 메모리 컨트롤러와 연결되어 있다. MCU와 FPGA는 32bit의 data I/O 폭을 가지며, FPGA와 FeRAM 보드는 128bit의 data I/O 폭을 가진다. 본 설계에 사용된 FPGA는 XC4VLX80로

표 1. 메모리 특성 비교[3]

	Volatile	NVRAM		
	SDRAM	FeRAM	STT-RAM	PCM
Access Unit	Byte	Byte	Byte	Byte
Cell Area	6F ²	22F ²	20F ²	4F ²
Read Time	<10ns	40ns	35ns	12ns
Write Time	<10ns	65ns	35ns	100ns
Write Energy (J/bit)	4E-15	3E-14	2.5E-12	6E-12
Write Cycles	>1E16	>1E14	>1E12	>1E9

총 450KB의 Block RAM을 가지고 있으며, 본 설계에서는 이중 128KB를 1차 읽기/쓰기 캐시로, 16KB를 2차 캐시 및 쓰기

버퍼로 사용했다. 메모리 및 캐시 컨트롤러도 모두 FPGA 에 구현 하였으며 구현 언어는 Verilog HDL 을 사용했다.

메모리 컨트롤러는 크게 Cache control unit, Self write-back control unit, I/O control unit, data masking unit 으로 구성되며 각각의 유닛은 FSM(Finite State Machine)으로 구현되어 있다. 캐시는 기본적으로 Direct mapped Write-back 캐시의 정책을 따른다. 128KB 1차 캐시는 128bit 크기의 블록을 8192개 가지고 있으며, 기본적인 write-back 캐시와 동일한 역할을 수행한다. 16KB 2차 캐시는 128bit 크기의 블록을 1024개 가지고 있으며, 기본적인 2차 캐시의 역할과 동시에 쓰기 버퍼의 역할을 수행한다. MCU와 FPGA의 데이터 전송은 워드(32bit) 단위로 이루어지며, FPGA와 FeRAM의 데이터 전송은 캐시 라인(128bit) 단위로 이루어진다.

Cache control unit의 FSM은 ‘IDLE’, ‘Compare Tag’, ‘Allocate’, ‘Replace’, ‘Write-Back’의 상태로 구성된다. MCU로부터 메모리 읽기/쓰기 요청이 전송되면, ‘Compare Tag’ 상태로 이동하여 1차 및 2차 캐시를 동시에 검색하고 ‘Hit’ 일 경우 바로 MCU로 해당 워드를 반환한다. ‘Miss’ 일 경우 1차 캐시와 2차 캐시에 기록된 Dirty bit을 보고 다음 상태를 결정한다. 1차 캐시가 ‘clean’ 일 경우 ‘Allocate’ 상태로 이동하며, 1차 캐시가 ‘dirty’ 이고 2차 캐시가 ‘clean’ 인 경우에는 ‘Replace’로 1차/2차 캐시가 모두 ‘dirty’ 인 경우에는 곧바로 ‘write-back’ 상태로 이동하여 write-back을 수행한다. 이 때 ‘self write-back’ 이 수행될 경우 해당 캐시라인의 쓰기 작업이 종료될 때까지 대기한다. ‘Self write-back’ 은 2차 캐시의 블록 중 Dirty 인 워드에 한해 FeRAM에 write-back을 수행하는 것으로 이는 캐시 컨트롤러가 ‘IDLE’ 인 상태에서 일정 시간이 지난 후에 자동으로 수행하는데, 이 시간은 MCU에서 소프트웨어로 설정 가능하다. 그림 1. 은 본 설계에 사용된 FeRAM 보드의 사진이다.

III. 결 론

본 논문에서는 NVRAM을 주 기억장치로 가지는 컴퓨팅 시스템에 사용가능한 메모리 및 캐시 컨트롤러를 설계하였다. 본 설계의 2 단 캐시 구조를 활용함으로써 크게 두 가지의 이득을 가진다. 첫째, NVRAM의 비교적 느린 읽기/쓰기 속도를 개선했고, 둘째, NVRAM에 실제로 기록되는 워드의 수를 줄임으로써 NVRAM의 제한된 쓰기 내구성과 높은 쓰기 에너지 문제를 개선했다.

IV. 사 사

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천 기술개발사업(정보통신)의 일환으로 수행하였음. [No.10041608, 차세대 메모리 기반의 스마트 디바이스용 임베디드 시스템 소프트웨어]

참고문헌

- [1] Hu-Ung Lee, Youjip Won, “Multi channel FeRAM system”, KIISE, 2010.
- [2] Ren Ohmura, Nobuyuki Yamasaki, Yuichiro Anzai, “A Design of the Persistent Operating System with Non-volatile Memory”, ACM SIGOPS, 2002.
- [3] International Technology Roadmap for Semiconductors (ITRS) 2011, <http://www.itrs.net/>

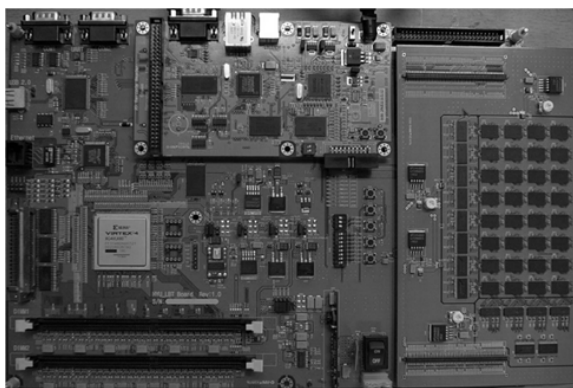


그림 1. FeRAM evaluation board