

3차원 실장용 실리콘 웨이퍼 Cu 전해도금 및 로우알파솔더 범프의 신뢰성 평가
Cu Electroplating on the Si Wafer and Reliability Assessment of Low Alpha Solder Bump for 3-D Packaging

정도현*, 이준형*, 정재필*

*서울시립대학교 신소재공학과

Do Hyun Jung*, Joon Hyung Lee*, and Jae Pil Jung*

*Department of materials Science and Engineering, University of Seoul, Seoul 130-743, Korea

Abstracts

최근 연구되고 있는 TSV(Through Silicon Via) 기술은 Si 웨이퍼 상에 직접 전기적 연결 통로인 관통홀을 형성하는 방법으로 칩간 연결거리를 최소화 할 수 있으며, 부피의 감소, 연결부 단축에 따른 빠른 신호 전달을 가능하게 한다. 이러한 TSV 기술은 최근의 초경량화와 고집적화로 대표되는 전자제품의 요구를 만족시킬 수 있는 차세대 실장법으로 기대를 모으고 있다. 한편, 납땀 재료의 주 원료인 주석은 주로 반도체 소자의 제조, 반도체 칩과 기판의 접합 및 플립 칩 (Flip Chip) 제조시의 범프 형성 등 반도체용 배선재료에 널리 사용되고 있다. 최근에는 납의 유해성 때문에 대부분의 전자제품은 무연솔더를 이용하여 제조되고 있지만, 주석을 이용한 반도체 소자가 고밀도화, 고 용량화 및 미세피치(Fine Pitch)화 되고 있기 때문에, 반도체 칩의 근방에 배치된 주석으로부터 많은 알파 방사선이 방출되어 메모리 셀의 정보를 유실시키는 소프트 에러 (Soft Error)가 발생하는 위험이 많아지고 있다. 이로 인해, 반도체 소자 및 납땀 재료의 주 원료인 주석의 고순도화가 요구되고 있으며, 특히 알파 방사선의 방출이 낮은 로우알파솔더 (Low Alpha Solder)가 요구되고 있다. 이에 따라 본 연구는 4인치 실리콘 웨이퍼상에 직경 60 μm , 깊이 120 μm 의 비아홀을 형성하고, 비아 홀 내에 기능 박막 증착 및 전해도금을 이용하여 전도성 물질인 Cu를 충전한 후 직경 80 μm 의 로우알파 Sn-1.0Ag-0.5Cu 솔더를 접합 한 후, 접합부 신뢰성 평가를 수행을 위해 고속 전단시험을 실시하였다. 비아 홀 내 미세구조와 범프의 형상 및 전단시험 후 파괴모드의 분석은 FE-SEM (Field Emission Scanning Electron Microscope)을 이용하여 관찰하였다. 연구 결과 비아의 입구 막힘이나 보이드(Void)와 같은 결함 없이 Cu를 충전하였으며, 고속전단의 경우는 전단 속도가 증가할수록 취성파괴가 증가하는 경향을 보였다. 본 연구를 통하여 전해도금을 이용한 비아 홀 내 Cu의 고속 충전 및 로우알파 솔더 불의 범프 형성이 가능하였으며, 이로 인한 전자제품의 소프트에러의 감소가 기대된다.

사사: 본 연구는 중소기업청에서 지원하는 2012년도 산학연공동기술개발사업 (No. C0016669)의 연구수행으로 인한 결과물임을 밝힙니다.

Keywords: TSV(Through Silicon Via), Low Alpha Solder, Soft Error, High Speed Shear Test, Reliability Test