

# HVDC 컨버터의 Thyristor Valve 시험을 위한 새로운 합성시험회로

김경태, 이윤석, 한병문  
명지대학교

## A New Synthetic Test Circuit for Testing Thyristor Valve in HVDC Converter

Kyeong Tae Kim, Yoon Seok Lee, Byung Moon Han  
Myongji University

### ABSTRACT

본 연구에서는 Thyristor로 구성되는 HVDC System의 Thyristor밸브를 시험하기 위한 새로운 합성시험회로를 제안하고 그 성능과 동작을 분석한 내용에 대해 기술하고 있다. 제안하는 시스템의 동작 타당성을 체계적으로 분석하기 위해 PSCAD/EMTDC 소프트웨어를 이용한 시뮬레이션 모델을 개발하였으며 이를 기반으로 하드웨어 시스템을 제작하여 제안하는 시스템의 동작특성을 분석하였다.

### 1. 서론

HVDC System을 구성하는 가장 중요한 요소가 교류를 직류로 그리고 직류를 교류로 변환하는 전력변환기이다. 이 전력변환기는 동작전압이 매우 높아 다수의 Thyristor가 직렬로 연결되어 하나의 밸브를 구성하고 있는데, 각 밸브가 정상적으로 동작하는 가를 시험하기 위해서는 전력변환기를 설치하기 전에 인가될 전압과 전류로 동작을 확인하는 것이 타당하다. 그러나 이렇게 할 경우 거대한 시험시설이 필요하고 막대한 전력 소모되며, 안전상 많은 주의가 필요하게 된다.

이러한 문제점을 해결하기 위해 정격 전압과 전류로 시험하는 대신 전력변환기가 해당 전압과 용량으로 동작할 때 각 Thyristor 밸브에 걸리는 전압과 전류 특성을 인위적으로 모의하는 방식이 고안되었는데 이러한 방식을 구현하기 위한 회로를 합성시험회로 STC (Synthetic Test Circuit)라고 한다<sup>[1,2,3]</sup>.

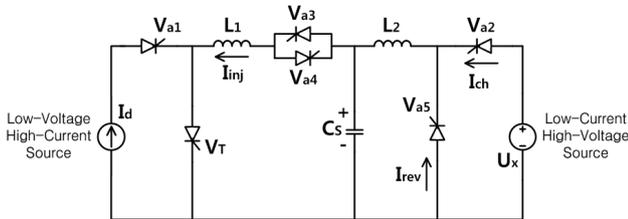


그림 1 합성시험회로의 구성  
Fig. 1 Configuration of Synthetic Test Circuit

### 2. 본론

합성시험회로는 그림 1과 같이 시험밸브( $V_T$ )가 턴 온 될 때 인가되는 전류를 공급하는 저전압 대전류원과 턴 오프 될 때

인가되는 역방향전압과 순방향전압을 공급하는 소전류 고전압원, 그리고 턴 온과 턴 오프를 연속적으로 동작하기 위한 공진회로로 구성되어 있다.

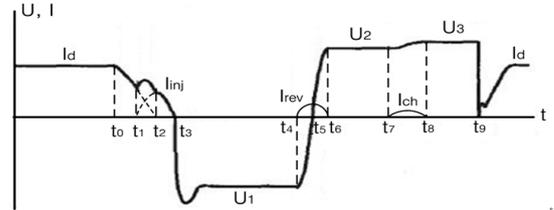


그림 2 시험밸브의 전압-전류 파형  
Fig. 2 Voltage-Current Waveform of Test Valve

합성회로의 동작원리는 그림 1에서 보인 회로구성과 그림 2에 보인  $V_T$ 에 인가되는 전압 전류 파형으로 설명하면, 먼저 보조밸브  $V_{a1}$ 과 시험밸브  $V_T$ 는 ON되어 있어 전류원에서 전류가 공급되고 커패시터  $C_s$ 는 그림 1과 같이 초기충전 되어있다. 보조밸브  $V_{a3}$ 가 ON되면 보조밸브  $V_{a1}$ 은 OFF되고,  $C_s$ ,  $V_{a3}$ ,  $L_1$ ,  $V_T$ 는 공진회로를 구성하여 커패시터  $C_s$ 의 극성이 반전되고 보조밸브  $V_{a3}$ 와 시험밸브  $V_T$ 는 OFF된다.

보조밸브  $V_{a4}$ 가 ON되면 반전된 커패시터  $C_s$ 의 전압이 시험밸브  $V_T$ 에 인가된다. 보조밸브  $V_{a5}$ 가 ON되면  $C_s$ ,  $V_{a5}$ ,  $L_2$ 는 공진회로를 구성한다. 일정시간이 지나면 커패시터  $C_s$ 의 전압은 다시 반전되어 보조밸브  $V_{a5}$ 와 보조밸브  $V_{a4}$ 는 OFF되고, 보조밸브  $V_{a3}$ 가 ON되면 시험밸브  $V_T$ 에는 순방향전압이 인가된다.

그러나 순방향전압은 소자의 손실에 의해 초기상태보다 감소하는데 이를 보충하기 위해 보조밸브  $V_{a2}$ 를 ON하면 전압원이 커패시터  $C_s$ 에 전압을 보충하고 이 전압은 시험밸브  $V_T$ 에 나타나고 커패시터  $C_s$ 의 전압이 완전히 충전되면 보조밸브  $V_{a2}$ 는 OFF된다.

### 3. 새로운 합성시험회로

그림 3는 제안하는 합성시험회로의 구성을 나타낸 것이다. 이 그림에서 빨간 점선을 기준으로 좌측은 새로운 시험밸브에 전류를 인가하는 회로이고 우측은 전압을 인가하는 공진회로를 나타낸 것이다.

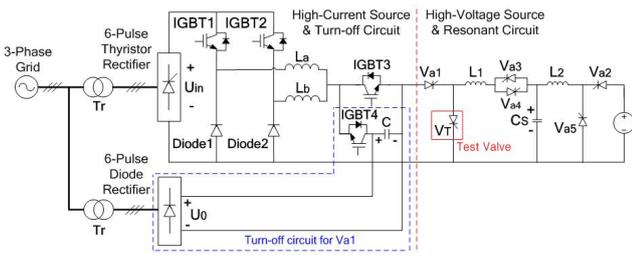


그림 3 제안하는 합성시험회로의 구성  
Fig. 3 Configuration of Proposed Synthetic Test Circuit

시험밸브에 전류를 인가하는 회로는 6 펄스 위상제어정류기, IGBT, 2상 초퍼, 그리고 다이오드정류기와 IGBT 스위치, 그리고 보조밸브의 턴 오프를 돕는 보조회로로 구성되어 있다.

먼저  $V_T$ , IGBT1, IGBT2 그리고 IGBT3과  $V_{a1}$ 이 ON되어 커뮤테이션 인덕터에 의한 전류상승  $di/dt$ 를 모의하고, 이때의  $C_s$ 와  $C$ 는 초기충전 되어 있는 것으로 가정하였다. 전류가 원하는 값까지 상승하고 나면 2상 초퍼의 스위치 IGBT1과 IGBT2는 원하는 전류의 값을 유지하기 위하여 PWM 스위칭을 한다.

PWM 스위칭이 끝나면  $L_a$ 와  $L_b$ 에 흐르던 전류는 Diode1(Diode2)  $L_a(L_b)$  IGBT3  $V_{a1}$   $V_T$ 의 경로를 구성하여 환류를 시작한다. 환류동작은 공급전류가 0이 될 때까지 계속된다. 하지만 공급전류가 0이 되기 전에 시험밸브  $V_T$ 의 턴 오프 시  $di/dt$ 를 모의하기 위하여 보조밸브  $V_{a3}$ 이 턴 온되며 그로 인해 공진전류가 주입되어 시험밸브  $V_T$ 에는 공급전류와 공진전류가 합쳐진 형태인  $I_{VT}$ 가 흐르게 된다. 이 공급전류가 0이되면 IGBT4를 턴 온하여  $V_{a1}$ 에 역방향 전압을 인가함으로써  $V_{a1}$ 을 턴 오프 한다. 이때  $V_{a1}$ 에는  $C$ -IGBT4- $L_a(L_b)$ -IGBT1(IGBT2)- $V_{in1}$ - $V_T$ 의 경로를 구성하여  $V_{in2}$   $V_{in1}$  만큼의 역방향 전압이 인가된다. 공진전류가 0이 되면 시험밸브  $V_T$ 와 보조밸브  $V_{a3}$ 는 턴 오프되며  $C_s$ 의 전압은 극성이 뒤집힌다.

#### 4. 시뮬레이션 / 하드웨어 분석

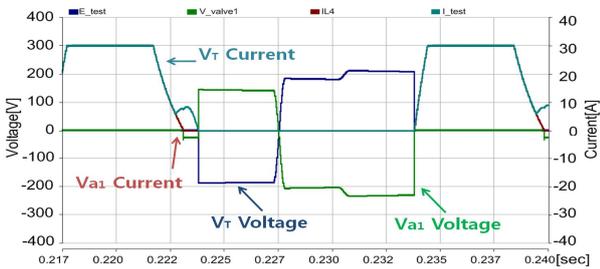


그림 4 제안된 합성시험회로의 시뮬레이션 결과  
Fig. 4 Simulation Results for Proposed Synthetic Test Circuit

제안하는 합성시험회로의 동작과 성능을 구체적으로 검증하기 위해 PSCAD/EMTDC 소프트웨어를 이용하여 시뮬레이션을 실시하였다. 시뮬레이션에서 분석한 합성시험회로는 향후 하드웨어 축소모형을 이용한 실험결과와 비교하기 위해 실제 용량이 아닌 전류용량 30A, 턴 오프 전압이 200V로 축소된 회로를 대상으로 하였다. 그러나 용량을 확장할 경우 실제의 현

상을 가장 잘 모의 할 수 있도록 제반 변수들을 설정하였다.

그림 4는 시험밸브  $V_T$ 가 턴 온 상태에서 턴 오프 되었다가 다시 턴 온 될 때 밸브에 흐르는 전류와 밸브 양단에 나타나는 전압의 파형을 나타낸 것이다. 또한 이때 보조밸브  $V_{a1}$ 에 흐르는 전류와 밸브 양단에 나타나는 전압의 파형을 나타낸 것이다.

또한 시뮬레이션 결과를 바탕으로 동일한 파라미터를 갖는 하드웨어 축소모형을 제작하였다.

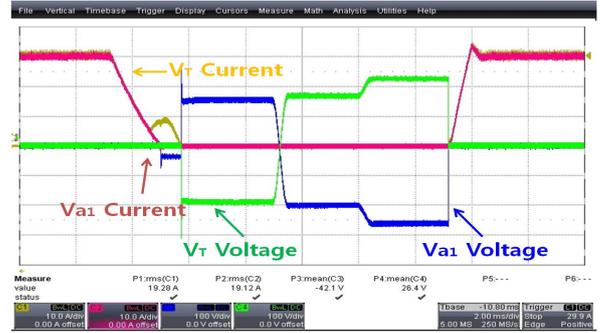


그림 5 하드웨어 실험결과  
Fig. 5 Scaled-Hardware Experimental Results

그림 5는 제안하는 합성시험회로의 축소모형을 이용한 실험 결과를 나타낸 것이다. 시뮬레이션 결과와 일치함으로 제안하는 합성시험회로의 타당성을 검증하였다.

#### 5. 결론

본 논문에서는 HVDC 시스템에서 사용되는 Thyristor 밸브의 스위칭 동작을 다양하게 테스트하는 새로운 구조의 합성시험회로를 제안하였다. 제안하는 합성시험회로는 2상 초퍼를 이용하여 턴 온 전류를 공급하고, 턴 오프 시 역방향과 순방향 전압은 기존의 인덕터, 커패시터, 보조밸브로 구성된 공진회로를 이용하는 구조로 되어있다. 제안하는 합성시험회로의 동작과 성능을 분석하기 위해 시뮬레이션 모델을 개발하고 분석을 실시하였다. 또한 시뮬레이션 분석을 기반으로 하드웨어 축소모형을 제작하고 실험을 실시하여 실제 합성시험회로를 개발하는데 활용할 수 있도록 하였다. 제안하는 합성시험회로는 기존 개발된 시스템에 비해 구조와 동작이 간단한 장점을 갖고 있어 실규모 시험실비로 확장할 경우 비용과 운영 측면에서 많은 장점이 있을 것으로 예측된다.

본 연구는 LS산전의 산학연 공동기술개발사업(과제번호:2010 0355)의 지원에 의하여 이루어진 연구로서 관계 부처에 감사드립니다.

#### 참고 문헌

[1] Power electronic for electrical transmission and distribution systems Testing of thyristor valves for static VAR compensators. (IEC 61954, 1999)  
[2] Test circuits for HVDC thyristor valves. (Cigre Task Force 03 of Working Group 14.01, Technical Brochure 113, April 1997)  
[3] CH. Gao, K. P. Zha, J. L. Wen "Study on Synthetic Test Method for UHVDC Thyristor Valves" *The International Conference on Electrical Engineering* 2009.