

다중 위상천이 풀 브리지 DC/DC 컨버터

이용철, 신용생, 지상근, 조상호, 노정욱, 홍성수
국민대학교 전력전자 연구소

Multi-Phase Shift Full-Bridge DC/DC Converter

Yong Chul Lee, Yong Saeng Shin, Sang Keun Ji, Sang Ho Cho, Jung Wook No, Sung Soo Hong
Kookmin University Power Electronics Center

ABSTRACT

본 논문에서는 출력 인덕터 리플과 2차 측 정류기의 공진 전압을 저감할 수 있는 다중 위상천이 풀 브리지 컨버터를 제안한다. 제안된 회로는 총 8개의 스위치가 사용되며, 각 4개의 스위치가 하나의 위상천이 풀 브리지 인버터 부를 구성하는 구조이다. 기존 위상천이 풀 브리지 컨버터의 경우, 진상레그와 지상레그의 위상차이를 조절하여 출력전압을 제어하는데 반해, 제안된 회로는 진상레그와 지상레그의 위상차이 뿐만 아니라 각 풀 브리지 인버터 부의 위상차이를 동시에 조절하여 출력전압을 제어하는 것이 특징이다. 이를 통하여 제안회로는 출력 인덕터 전류 리플 및 2차 측 정류기의 공진 전압을 크게 저감시킬 수 있어 고 효율화에 유리하다. 본 논문에서는 제안된 회로의 이론적 해석 및 PSIM 모의실험을 수행하며, 450W급 시작품을 제작하여 제안회로의 타당성을 검증하였다.

1. 서 론

일반적으로 대용량급 전력변환회로로는 고 전력밀도, 고효율, EMI 특성이 좋은 영 전압 스위칭 위상천이 풀 브리지(Zero Voltage Switching Phase Shift Full Bridge) 컨버터^[1]가 많이 사용되고 있다. 특히, 통신용 전원 장치와 같이 입력전압이 낮은 경우에는(36~75V) 그림 1과 같이 전류 스트레스를 고려하여 1차 측 스위치를 병렬로 사용한다. 기존 위상천이 풀 브리지 컨버터는 간단한 구조, 진상레그 스위치의 영 전압 스위칭 동작, 자화 전류의 제로 오프셋 등의 장점이 있지만, 환류구간으로 인한 도통손실 및 출력 인덕터 전류 리플 증가, 2차 측 정류기의 공진 전압 증가 등의 문제점이 존재한다.^[2] 본 논문에서는 이러한 문제점을 해결하고 고효율을 달성하기 위하여 새로운 다중 위상천이 풀 브리지 컨버터를 제안한다.

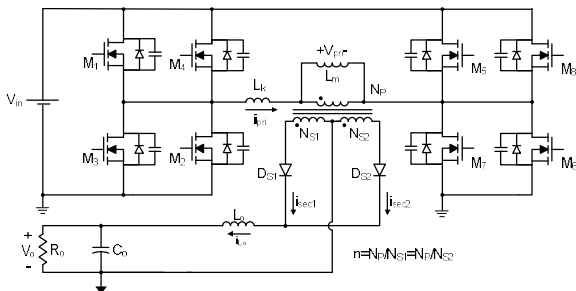


그림 1. 기존 위상천이 풀 브리지 컨버터

2. 제안된 다중위상 천이 풀 브리지 구동 회로

그림 2는 본 논문에서 제안하는 다중 위상 천이 풀 브리지 컨버터를 나타내고 있다. 제안회로는 그림 1의 위상천이 풀 브리지 컨버터와 동일하게 총 8개의 스위치가 사용되며, 각 4개의 스위치가 하나의 위상천이 풀 브리지 인버터 부를 구성한다. 제안회로는 진상레그와 지상레그의 위상차이를 ϕ_1 으로 정의하며, 각 풀 브리지 인버터부의 위상차이를 ϕ_2 로 정의하고, ϕ_1 과 ϕ_2 를 모두 조절하여 출력전압을 제어하는 방식이다. 이를 통하여 제안회로는 기존 위상천이 풀 브리지 컨버터에 비해 출력 인덕터 전류 리플을 작게 구동시킬 수 있는 장점이 있으며, 2차 측 정류기의 공진 전압의 크기도 줄일 수 있다.

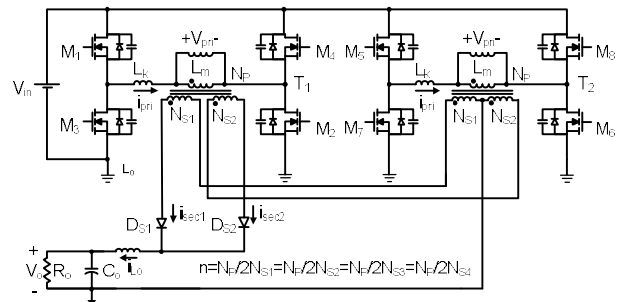
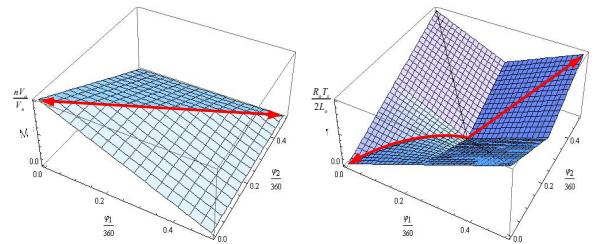


그림 2. 제안된 다중위상 천이 풀 브리지 DC/DC 컨버터

2.1 입·출력 전압변환 비 및 출력 인덕터 전류 리플을

제안회로는 진상레그와 지상레그의 위상차이(ϕ_1)와 각 풀 브리지 인버터부의 위상차이(ϕ_2)에 따라 총 8개의 구간으로 나누어 입출력 전압변환 비 및 출력 인덕터 전류 리플을 구할 수 있다. 이를 그래프로 도시하면 그림 3과 같다. 그림 3(b)를 통해서 알 수 있듯이, 위상차이(ϕ_1)와 위상차이(ϕ_2)를 동시에 조절하였을 경우, 위상차이(ϕ_1)와 위상차이(ϕ_2)가 0 ~ 90° 인 구간에서는 출력 인덕터 전류 리플율이 매우 작다.



(a) 입출력 전압변환 비 (b) 출력 인덕터 전류 리플율
그림 3. 입출력 전압변환 비 및 출력 인덕터 전류 리플율

이는 기존 위상천이 폴 브리지 컨버터의 출력 인덕터 전류 리플율의 경우 진상레그와 지상레그의 위상차이(ϕ_1)에 따라 선형함수의 형태를 갖는 것에 반해, 제안된 방식의 경우 위상차이(ϕ_1)와 위상차이(ϕ_2)에 따라 2차 함수의 형태를 갖기 때문이다. 이 구간동안의 기존 위상천이 폴 브리지 컨버터와 제안회로의 출력 인덕터 전류 리플율의 차이는 표1 과 같다.

표 1 출력 인덕터 전류 리플율 비교

	기존 PSFB	제안회로
$\phi_1=\phi_2=52.72^\circ$	$0.29*(R_o*T_s)/2*L_o$	$0.17*(R_o*T_s)/2*L_o$
$\phi_1=\phi_2=90.00^\circ$	$0.5*(R_o*T_s)/2*L_o$	0

2.2. 2차 측 정류기 양단 전압 스트레스

제안회로는 반주기 동안 2번의 2차 측 정류기 양단에 공진 전압이 나타나며, 이를 각각 구하면 다음과 같다. 먼저 첫 번째 공진 구간에서 제안회로는 두 개의 변압기중 하나의 영향만을 받아 기존 위상천이 폴 브리지 컨버터에 비해 등가 누설 인덕턴스의 크기가 작게 보이게 되는 효과가 있다. 다음으로 두 번째 공진 구간의 경우, 제안회로는 이전 모드에서 2차 측 정류기 접합 캐패시터 전압이 $V_{in}*N_{s1}/N_p$ 의 초기 값을 가지고 있으므로 기존 위상천이 폴 브리지 컨버터에 비해 작은 공진 전압을 발생시킨다.

3. 모의실험 및 실험결과

제안회로의 동작원리 및 특성을 확인하기 위하여 모의실험 및 실험을 수행하였다. 입력전압 $V_{in}=35\sim 60V$, 출력전압 $V_o=30V$, 최대출력파워 $P_o=450W$, 자화인덕턴스 $L_m=85\mu H$, 누설인덕턴스 $L_k=250nH$, 출력인덕턴스 $L_o=5.5\mu H$, 출력캐패시터 $C_o=154\mu F$, 변압기(T_1, T_2) 턴 비=4:2:2의 사양으로 진행하였으며, 실제 실험에서는 1차 측 스위치 $M_1\sim M_8 = SIR878DP$, 변압기 코어=ER 32/5/21(부피 4172 mm³, EPCOS), 2차 측 동기 정류기=IPB200N25N3G를 사용하였다.

표2는 제안회로의 PSIM 모의실험을 통한 출력 인덕터 전류 리플 값을 나타내고 있다. 이론적으로 가장 불리한 조건인 $V_{in}=44V(\phi_1=\phi_2=52.72^\circ)$ 에서 기존회로의 경우 4.14A였으나 제안회로는 이보다 작은 2.77A로 측정되었다. 또한 최대입력 전압 조건에서 제안회로의 출력 인덕터 전류 리플의 경우, 기존회로에 비해 약 19%수준인 1.26A로 출력 인덕터 전류 리플이 크게 줄어드는 것을 확인하였다.

그림4는 제안회로의 입력전압에 따른 주요 동작 파형을 나타내고 있다. 각각 변압기 1차 측 전압 V_{pri1}, V_{pri2} 와 출력 인덕터 전류 I_{Lo} 를 나타내고 있으며, 입력 전압에 따라 출력 전압을 제어하기 위하여 위상차이 ϕ_1 과 ϕ_2 가 가변하고 있는 것을 알 수 있다. 실험결과 제안회로의 출력 인덕터 전류 리플은 $35V_{in}/60V_{in}$ 조건에서 각각 2.17A, 1.8A로 측정되었으며, 최악 조건인 $44V_{in}$ 조건에서도 3.18A로 작게 측정되었다.

표 2 모의실험을 통한 입력전압별 출력 인덕터 전류 리플 비교

V_{in}	기존 PSFB		제안회로	
35V	ΔI_{Lo}	1.84A	ΔI_{Lo}	1.58A
44V		4.14A		2.77A
60V		6.68A		1.26A

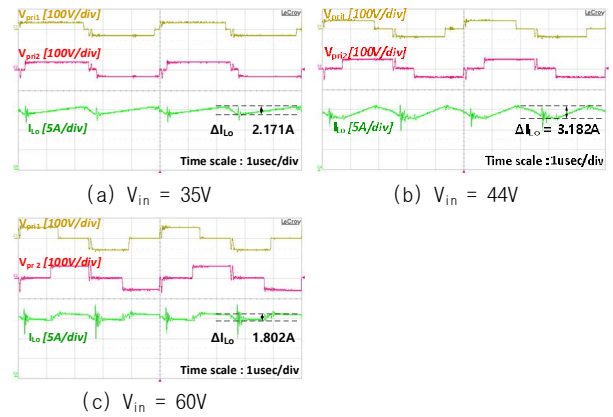


그림 4 제안회로의 주요 동작 파형

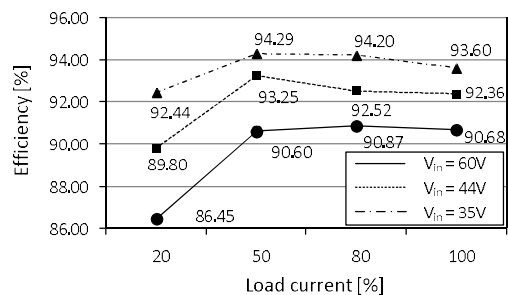


그림 5 제안회로의 입력전압/부하별 측정 효율

그림5는 제안회로의 입력전압/부하별 측정 효율을 나타내고 있으며 최대 부하($I_o=15A$)시 전 입력전압 범위 내에서 90%이상의 고효율이 측정되어 대용량 전원공급 장치에 적합함을 확인하였다.

4. 결 론

본 논문에서는 대용량에 적합한 새로운 방식의 다중 위상천이 폴 브리지 구동회로를 제안하였다. 제안 회로는 기존 회로에 비해 출력 인덕터 전류 리플이 작기 때문에 출력 필터의 소형화로 동손(copper loss) 및 철손(core loss) 뿐만 아니라 스위칭 손실을 줄일 수 있다. 또한, 2차 측 정류기의 양단 전압 스트레스가 기존회로 보다 작아 스너버에서 발생하는 손실이 감소되기 때문에 높은 효율을 기대할 수 있으며, 최종적으로 실험을 통해 제안회로의 우수성을 검증하였다.

이 논문은 지식경제부 및 정보통신 연구진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음 (NIPA 2012 H0301 12 2007)

참 고 문 헌

- [1] J. G. Cho, J. A. Sabate, G. Hua and F. C. Lee, "Zero voltage and zero current switching full bridge PWM converter for high power applications," IEEE Trans. Power Electron., vol. 11, Jul. 1996, pp. 622-628
- [2] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F. C. Lee, and B. H. Cho, "Design considerations for high voltage high power full bridge zero voltage switched PWM converter," in Proc. IEEE APEC, 1990, pp. 275-284