

듀티 제어 방법을 적용한 3.3kW SRC-OBC의 동작점 및 효율 분석

김민중, 유승희, 김동희, 김옥진, 이병국*
성균관대학교 정보통신대학

Analysis of Operating Point and Efficiency for 3.3kW SRC-OBC using Duty Control Method

Min-Jung Kim, Seung-Hee Ryu, Dong-Hee Kim, Og-Jin Kim, and Byoung-Kuk Lee*
College of Information & Communication Engineering, Sungkyunkwan University

ABSTRACT

본 논문에서는 전기자동차용 탑재형 충전기회로 (On-Board Charger, OBC) 에 사용되는 부하 직렬 공진형 컨버터 (Series loaded Resonant DC-DC Converter, SRC) 의 정전압 제어를 위해 기존에 듀티를 고정하고 주파수만을 제어하던 방법에 듀티도 같이 제어하는 비대칭 듀티 제어 방법 (Asymmetrical Duty Cycle Control) 을 적용하였다. 적용한 SRC-OBC의 등가화 모델의 수식적 분석을 통해 제안한 회로의 동작영역을 도출하여 결과로 얻어진 동작영역에서 제안한 회로의 부하에 따른 효율을 기존 주파수 제어 방법과 비교 분석을 통하여 적용한 제어 방법의 타당성을 검증한다.

1. 서론

OBC의 부하는 Li-ion계 배터리로 충전시 과전압이 인가되면 열화 및 폭발 현상을 일으키기 때문에 일반적으로 배터리 팩의 전압이 낮을 경우 정전류 (Constant Current, CC)로 충전을 하다가 일정 전압이상이 충전되면 정전압 (Constant Voltage, CV) 모드로 충전하는 CC-CV 제어를 수행하게 된다. 기존의 3.3kW SRC-OBC 토폴로지에서는 주파수만을 제어하여 CV모드로 충전을 하였다^[1]. 하지만 주파수만을 가변하는 제어 방법의 경우 경부하시 스위칭 주파수가 급격히 증가하여 스위칭 손실이 증가하게 되며 이는 전체 시스템 효율이 줄어드는 문제점이 있다.

본 논문에서는 기존의 풀-브리지 구조의 SRC-OBC 회로에 주파수와 듀티를 같이 제어하는 비대칭 듀티 제어 방법을 적용하여 SRC-OBC의 등가화 모델을 구하고 부하에 따른 반도체 소자의 손실을 계산하여 기존의 주파수 제어 방법과 효율 분석을 통해 제어 방법의 타당성을 검증한다.

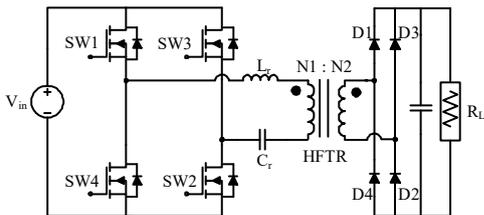


그림 1 3.3kW SRC-OBC 회로도
Fig. 1 3.3kW SRC-OBC Circuit

2. 본론

2.1 시스템 구성

본 논문에서 분석할 3.3kW SRC-OBC 시스템의 구성은 그림 1에서 볼 수 있듯이 정전압 DC입력 전압원, 풀-브리지 형 SRC, 다이오드 정류기로 구성되어 있다. 부하 배터리는 저항 (R_L) 로 표현하였으며 구성된 시스템에 적용된 SRC의 주요 입출력 사양과 반도체 스위칭 소자의 목록은 표 1과 같으며 본 논문에서는 데드타임 (Dead time)을 고려하지 않은 CV모드만을 분석한다.

표 1 SRC의 시스템 파라미터
Table 1 System Parameter of SRC

Parameter	Value	Parameter	Value
$P_{o,max}$	3.3 [kW]	V_{in}	380 [V_{dc}]
V_{out}	400 [V]	$N_1:N_2(N_T)$	19:26(1,368)
L_r	75 [μ H]	C_r	66 [nF]
R_L	48.48~338 [Ω]	MOSFET	SPW47N60C3
DIODE	DSEI60-06A		

2.2 SRC 등가회로

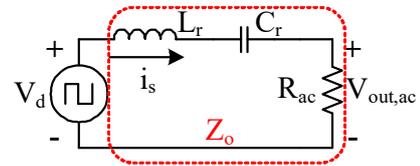


그림 2 SRC 등가회로
Fig. 2 Equivalent circuit of SRC

SRC의 등가회로는 그림 2와 같이 공진 네트워크 L_r , C_r 과 부하 R_L 을 트랜스포머 1차측으로 환원한 등가저항 R_{ac} 로 구성되며 R_{ac} 의 값은 식 (1)로 표현된다^[2].

$$R_{ac} = \frac{8R_L}{\pi^2 N_T^2} \quad (1)$$

등가회로의 입력전압 V_d 는 SRC회로의 스위치1, 2와 스위치 3, 4가 상보적인 동작을 하기 때문에 V_m 의 크기를 가지는 구형파로 나타낼 수 있다. 등가 입력전압 V_d 를 푸리에 급수로 표현하면 식 (2)와 같다.

$$V_d = V_{in} \cdot (2D-1) + \sum_{h=1}^{\infty} \left\{ \frac{V_{in}}{\pi h} 2\sin(2\pi h D) \cos(h\omega t) \right. \\ \left. + \frac{V_{in}}{\pi h} (2-2\cos(2\pi D)) \sin(h\omega t) \right\} \quad (h=1, \dots, \infty) \quad (2)$$

입력전압 V_d 는 DC성분과 고조파성분으로 이루어져있으며 SRC 등가회로는 직렬로 연결된 R_L , L_r , C_r 에 의해 대역통과 필터 역할을 하며 소자의 크기에 따라 차단주파수와 통과대역이 결정된다. 따라서 입력전압 V_d 의 DC성분은 필터링되므로 무시할 수 있다. 또한 경부하조건시 듀티 D 가 0.25~0.5인 구간에서 전달 함수 방정식을 계산한 결과 3차 이상의 출력 고조파의 성분은 입력 기본파 성분의 5%보다 작아 본 논문에서는 1, 2차 고조파 성분을 고려하여 입력전압 V_d 를 식 (3)과 같이 나타내었다. 기본파 외에 2차 고조파도 고려함으로써 등가회로의 입력 전압 및 전류를 보다 정확한 수식으로 표현할 수 있었다.

$$V_d = \frac{4V_{in}}{\pi} \cos\alpha \sin(\omega t + \alpha) + \frac{2V_{in}}{\pi} \cos\beta \sin(2\omega t + \beta) \quad (3)$$

α 와 β 는 각각 $0.5\tan^{-1}(-\tan(2\pi D))$, $0.5\tan^{-1}(-\tan(4\pi D))$ 와 같으며 V_d 와 등가 임피던스 Z_o 의 관계로 등가회로의 전류 i_s 를 표현할 수 있다. 결과적으로 V_a , V_d , i_s 의 파형을 부하에 따라서 그림 3과 같이 나타낼 수 있으며 $t=0$ 일 때 전류 i_s 의 크기로 영전압 스위칭 (Zero Voltage Switching, ZVS) 영역을 확인할 수 있다.

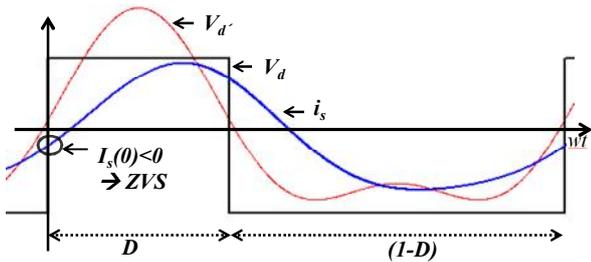


그림 3 등가 SRC회로의 입력 전압, 전류 파형
Fig. 3 Waveforms in equivalent circuit of SRC

2.3 반도체 소자 손실

본 논문에서는 370W~3,300W 까지 $D=0.25, 0.35, 0.5$ 에 대하여 위에서 구한 SRC 등가 회로의 계산값과 반도체 소자의 특성을 통해 손실을 계산하였다.

MOSFET에서 발생하는 손실은 도통 손실 ($P_{cond,FET}$), 출력 기생 커패시터에 의한 손실 ($P_{coss,FET}$), 스위칭 손실 ($P_{sw,FET}$)로 나뉘어진다. 스위칭 손실의 턴-온 손실은 공진에 의한 ZVS의 영향으로 무시할 수 있기 때문에 턴-오프 손실만을 고려하였으며 각각의 손실은 식 (4), (5), (6)과 같이 구할 수 있다.

$$P_{cond,FET} = I_{s(on)}^2 \cdot R_{ds(on)} \cdot \frac{t_{on}}{T_s} \quad (4)$$

$$P_{sw,FET} = \frac{1}{2} V_{in} \cdot I_s \cdot f_{sw} \cdot t_f \quad (5)$$

$$P_{coss,FET} = \frac{1}{2} C_{oss} \cdot V_{in}^2 \cdot t_f \cdot f_{sw} \quad (6)$$

SRC-OBC 2차측의 정류회로의 다이오드와 MOSFET의 역병렬다이오드에 의한 손실은 도통손실 ($P_{cond,diode}$) 과 스위칭 손실 ($P_{sw,diode}$)로 나뉘어지며 도통손실과 스위칭 손실은 각각 식 (7), (8)과 같이 구할 수 있다.

$$P_{cond,diode} = \frac{1}{T} \int_{t_{on}}^{t_{off}} v_F(t) \cdot i_s(t) dt \quad (7)$$

$$P_{sw,diode} = \left(\frac{V_{f(off)} \cdot I_{rm} \cdot t_a}{2} + \frac{V_o \cdot I_{rm} \cdot t_f \cdot t_b}{2} \right) \cdot f_{sw} \quad (8)$$

2.4 손실 및 효율 분석

부하와 듀티에 따른 반도체 스위칭 소자들의 손실 결과는 그림 4와 같다. ZVS동작을 하는 $D=0.25, 0.35, 0.5$ 에 대해서 효율 분석을 하였는데 경부하일수록 비대칭 제어방법을 사용할 때 반도체 소자 손실을 줄여서 효율을 증가시킬 수 있었다. 단, $D=0.25$ 인 경우는 600W이상에서 ZVS동작을 할 수 없었다. 약 370W출력일 때 $D=0.25$ 로 비대칭 제어를 하게 될 경우 $D=0.5$ 인 대칭제어를 할 때에 비해 약 3%의 효율이 증가하는 것을 확인할 수 있으며, $D=0.35$ 일 경우는 대칭제어를 할 때에 비해 전 부하 영역에서 약 1~2%의 효율이 증가하는 것을 확인할 수 있었다.

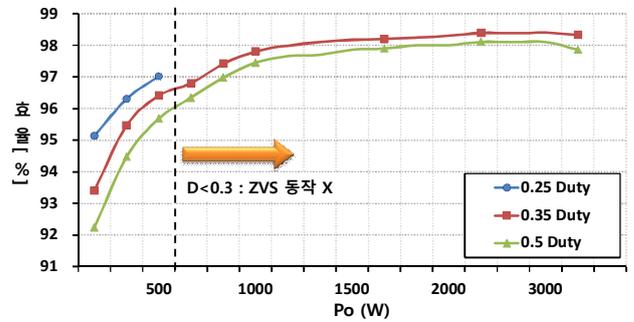


그림 4 듀티 및 부하에 따른 효율
Fig. 4 Efficiency for different output power and duty cycle

3. 결론

본 논문에서는 3.3kW SRC-OBC에 비대칭 듀티 제어방법을 적용한 등가 회로를 통해 전압과 전류값을 푸리에 급수를 이용하여 수식적 기반을 가진 수치를 구하여 ZVS 동작 영역을 확인하였다. 또한 이 값들을 통해 주요 반도체 소자의 손실을 분석하고 그 결과를 통해 비대칭 듀티 제어 방법의 적합성을 보였다. 비대칭 듀티 제어 방법을 하게 될 경우 추가적인 소자 없이 기존 주파수만을 제어하는 대칭 제어 방법에 비해 전 부하영역에서 시스템 효율을 1%~3% 정도 향상시킬 수 있다.

본 연구는 2012년도 지식경제부의 재원으로 한국에너지 기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다.
(No. 20104010100630-12-1-000)

참고 문헌

- [1] 김종수, "전기자동차용 탑재형 충전기의 공진 Network 최적 설계에 관한 연구", 성균관대학교 대학원 박사논문, 2011.
- [2] R. L. Steigerwald, "A comparison of half-bridge resonant converter topologies", IEEE Trans. Power. Electron., Vol. 3, No. 2, pp. 174-182, 1988, April.